

Politechnika Śląska
Wydział Automatyki, Elektroniki i Informatyki



Projektowanie Urządzeń Cyfrowych - projekt
**„1. Zaprojektować urządzenie do porządkowania wyników
skoków w dal”.**

Studia niestacjonarne, sem. VI / NS1, EiT3/E1, rok akad. 2021/2022

Prowadzący: prof. dr hab. inż. Edward Hryniewicz, prof. em.

Autor: **Damian Śnieguła**

SPIS TREŚCI

1. ZAŁOŻENIA

2. SCHEMAT BLOKOWY UKŁADU

3. OPIS DZIAŁANIA

4. PROJEKT POSZCZEGÓLNYCH BLOKÓW

4.1. BLOK PAMIĘCI RAM

4.2. BLOK REJESTRÓW 1 i 2 ORAZ LICZNIKA ADRESU

4.3. BLOK MULTIPLESERÓW GRUPOWYCH 1 i 2

4.4. BLOK KOMPARATORÓW

4.5. BLOK UKŁADU STEROWANIA SORTOWANIEM

5. SCHEMAT IDEOWY UKŁADU

6. PŁYTKA DRUKOWANA

7. INTERFEJS UŻYTKOWNIKA

8. BILANS MOCY

9. ŹRÓDŁA

10. ZAŁĄCZNIKI

10.1. KARTA PROJEKTU

1. ZAŁOŻENIA

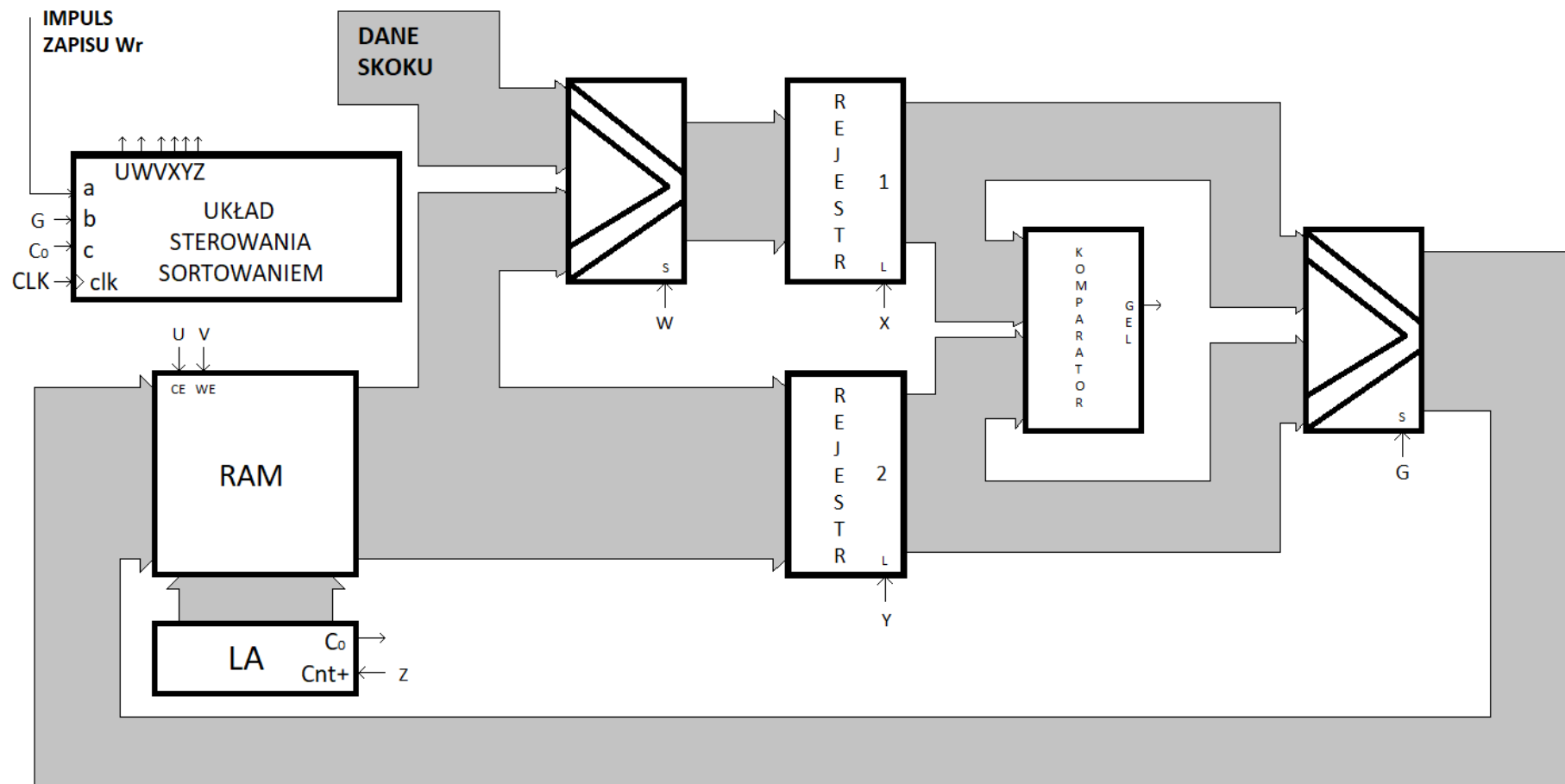
Celem projektu jest zaprojektowanie urządzenia do porządkowania wyników skoków w dal.

Dane do urządzenia napływają z systemu pomiaru długości skoku (format wyniku skoku: m.cm,cm np. 6.32). Wraz z wynikiem skoku przesyłany jest impuls zapisu (*Wr*). Długość skoku jest zakodowana za pomocą kodu BCD.

Aktualny rekord świata w skoku w dal należy do Mike'a Powella i wynosi on 8,95 m. Dlatego więc długość skoku będzie przedstawiana za pomocą 3 dekad 4-bitowych (12 bitów) z użyciem kodu BCD. Wynik będzie mieścił się w przedziale 0 - 9.99m (0 -999cm).

Zwykle, w konkursie skoków w dal bierze udział od kilku do kilkunastu zawodników, więc przyjmujemy 4 bity (16 wyników) dla adresu pamięci RAM.

2. SCHEMAT BLOKOWY UKŁADU



Rysunek 1. Schemat blokowy układu.

3. OPIS DZIAŁANIA

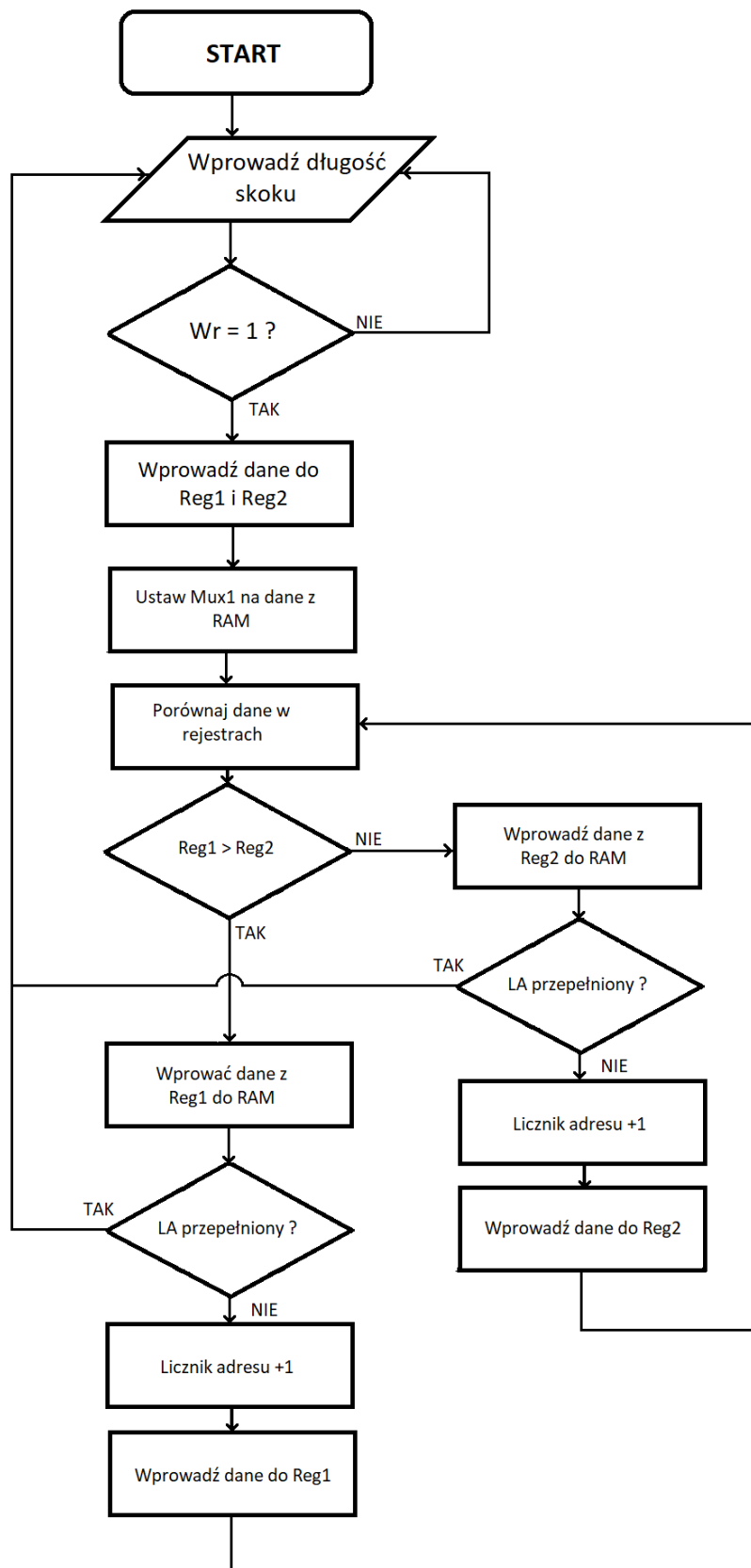
Wprowadzamy długość skoku za pomocą 12 bitów w kodzie BCD:

- > Bity 9-11 ilość metrów
- > Bity 4-8 ilość dziesiątek centymetrów
- > Bity 0-3 ilość jedności centymetrów

Następnie za pomocą sygnału *Wr* wartość ta oraz aktualnie odczytana z pamięci RAM zostają zatrzaśnięte w rejestrach *Reg1* i *Reg2*. Komparator na podstawie porównania decyduje, z którego rejestru wartość ma być wpisana do pamięci RAM. Następnie licznik adresu inkrementuje się, a wartość spod tego adresu zatrzaśkuje się w rejestrze, z którego ostatnio została pobrana większa wartość do pamięci RAM. Ponownie wracamy do porównania i tak cały proces trwa aż do momentu uzyskania przepełnienia licznika adresu.

Największy wynik będzie znajdować się pod adresem 0x0h, natomiast najmniejszy pod adresem 0xfh.

Układ korzysta z zewnętrznego generatora sygnału zegarowego, którego częstotliwość powinna znajdować się w zakresie 200Hz - 2MHz.



Rysunek 2. Sieć działań układu.

4. PROJEKT POSZCZEGÓLNYCH BLOKÓW

4.1 BLOK PAMIĘCI RAM

Blok ten składa się z trzech pamięci RAM 74F219A. Układy te połączono w sposób taki, aby uzyskać łącznie 12 bitów do zapisu i odczytu. Ze względu na problem znalezienia odpowiedniego układu (osobna linia wejść zapisu i odczytu niezanegowanych) zdecydowano się na użycie układów w technologii TTL.

Tabela stanów		
$\sim\text{CE}$	$\sim\text{WE}$	TRYB PRACY
0	1	ODCZYT
0	0	ZAPIS
1	-	BLOKADA

Tabela 1. Tabela stanów 74F219A.

4.2 BLOK REJESTRÓW 1 i 2 ORAZ LICZNIKA ADRESU

Bloki rejestrów składają się z trzech liczników 4516. Układy te połączono sposób taki, aby uzyskać łącznie 12 bitów na wejściu i wyjściu.

Blok licznika adresu składa się z jednego licznika 4516
Układy 4516 wykonane są w technologii CMOS.



Tabela stanów					
CL	$\sim\text{CI}$	U/ $\sim\text{D}$	PE	R	TRYB PRACY
-	1	-	0	0	NIE LICZY
	0	1	0	0	LICZY W GÓRĘ
	0	0	0	0	LICZY W DÓŁ
-	-	-	1	0	WPIS
-	-	-	-	1	RESET

Tabela 2. Tabela stanów 4516.

4.3 BLOK MULTIPLEKSERÓW GRUPOWYCH 1 i 2

Bloki te składają się z trzech układów 4019. Układy te połączono w sposób taki, aby uzyskać łącznie 12 bitów na wejściu i wyjściu. W celu uzyskania żadanego działania układu, za pomocą inwertera 74HC04 zanegowano jedno z wejść sterujących. Przełączanie odbywa się poprzez podawanie wspólnego stanu logicznego na wejścia. Układy te wykonane są w technologii CMOS.

Tabela stanów		
S1	S2	Wyjście
0	1	$Y = A$
1	0	$Y = B$

Tabela 3. Tabela stanów 4019.

4.4 BLOK KOMPparatorÓW

Blok ten składa się z czterech układów 4063. Układy te połączono równolegle, aby móc porównać dwie wartości 12-bitowe. W projekcie wykorzystujemy tylko stan wyjścia G. Układy te wykonane są w technologii CMOS.

Tabela stanów			
	A>B	A=B	A<B
G	1	0	0
E	0	1	0
L	0	0	1

Tabela 4. Tabela stanów 4063.

4.5 BLOK UKŁADU STEROWANIA SORTOWANIEM

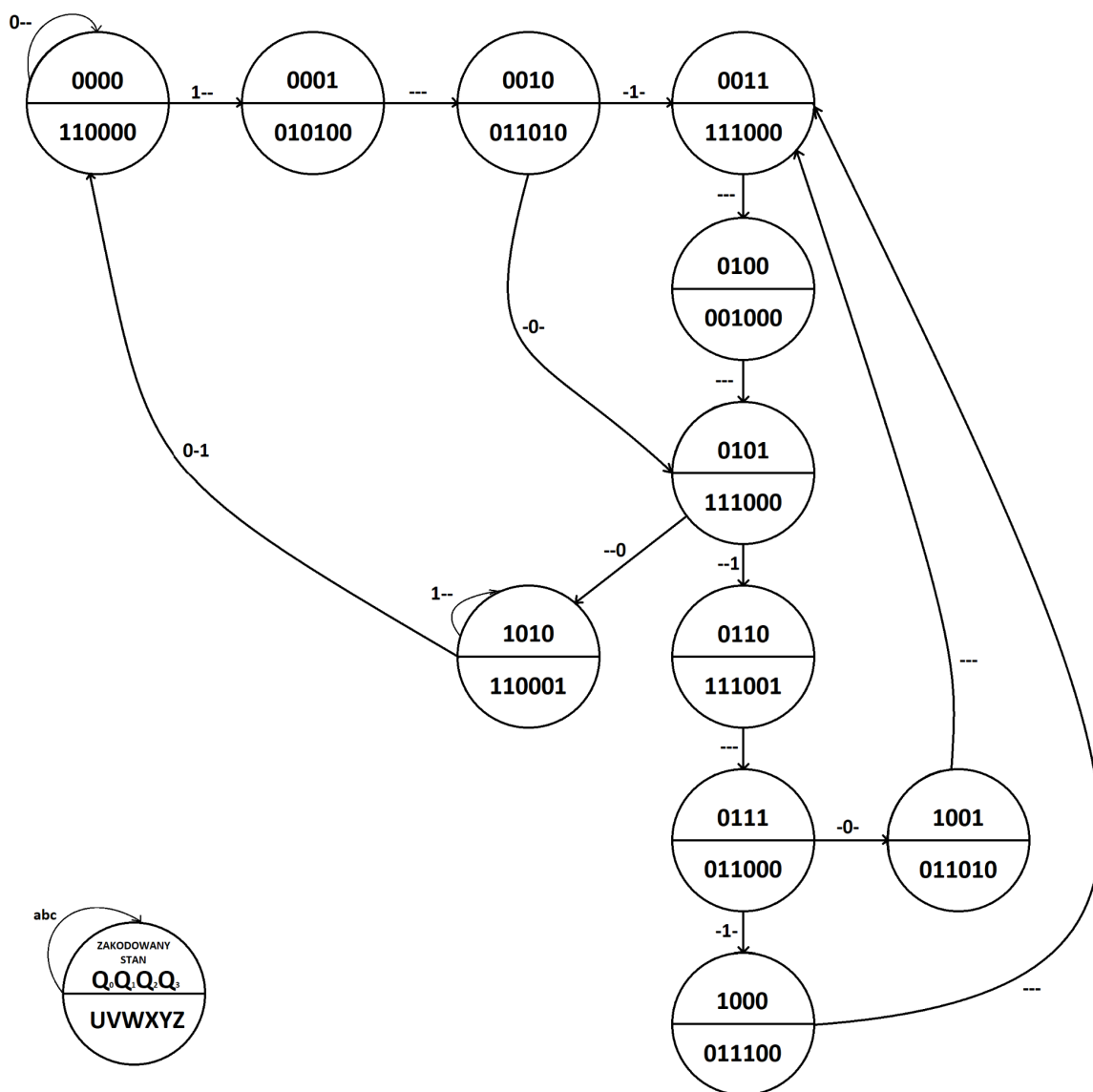
W celu sterowania prawidłowym sortowaniem wyników zdecydowano się stworzyć synchroniczny układ sekwencyjny. Wyznaczono funkcje wzbudzeń dla przerzutników JK. Następnie zrealizowano funkcje, otrzymując odpowiednie formuły, na podstawie których zbudowano układ.

W skład układu wchodzi następujące elementy:

Element	Typ	Ilość (ilość bramek)
Przerzutnik JK x2	4027	2 (4)
NOT x6	74HC04	1 (3)
AND 2x4	74HC08	4 (13)
AND 3x3	74HC11	3 (8)
AND 4x2	74HC21	8 (15)
OR 2x4	74HC32	2 (5)
OR 3x3	74HC4075	3 (7)
OR 4x2	74HC4072	2 (3)
NAND 3x3	74HC10	1

Tabela 5. Lista elementów układu sterowania sortowaniem.

ZAKODOWANY GRAF STANÓW UKŁADU STEROWANIA SORTOWANIEM



Rysunek 3. Graf stanów układu sterowania sortowaniem.

Wyznaczenie funkcji wzbudzeń dla $Q^3Q^2Q^1Q^0$

$q^3q^2q^1$	q^0abc															
	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000
000	0000	0000	0000	0000	0001	0001	0001	0001	0010	0010	0010	0010	0010	0010	0010	0010
001	0101	0101	0011	0011	0011	0011	0101	0101	0100	0100	0100	0100	0100	0100	0100	0100
011	0111	0111	0111	0111	0111	0111	0111	0111	1001	1001	1000	1000	1000	1000	1001	1001
010	0101	0101	0101	0101	0101	0101	0101	0101	1010	0110	0110	1010	1010	0110	0110	1010
110	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
111	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
101	0000	0000	0000	0000	1010	1010	1010	1010	—	—	—	—	—	—	—	—
100	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011

$Q^3Q^2Q^1Q^0$

Tabela 6. Tablica karnaugh 1.

Wyznaczenie funkcji wyjść UVWXYZ

q^0abc																
$q^3q^2q^1$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000
000	110000	110000	110000	110000	110000	110000	110000	110000	010100	010100	010100	010100	010100	010100	010100	010100
001	011010	011010	011010	011010	011010	011010	011010	011010	111000	111000	111000	111000	111000	111000	111000	111000
011	11101	11101	11101	11101	11101	11101	11101	11101	011000	011000	011000	011000	011000	011000	011000	011000
010	001000	001000	001000	001000	001000	001000	001000	001000	111000	111000	111000	111000	111000	111000	111000	111000
110	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
111	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
101	110001	110001	110001	110001	110001	110001	110001	110001	-	-	-	-	-	-	-	-
100	011100	011100	011100	011100	011100	011100	011100	011100	011010	011010	011010	011010	011010	011010	011010	011010

UVWXYZ

Tabela 7. Tablica karnaugh 2.

Uzyskane formuły algebraiczne:

$$J^3 = \neg q^3 \cdot q^2 \cdot q^1 \cdot q^0 + q^2 \cdot q^0 \cdot \neg b \cdot \neg c + q^2 \cdot q^0 \cdot b \cdot \neg c$$

$$K^3 = \neg q^2 \cdot \neg q^1 + \neg q^0 \cdot \neg a$$

$$J^2 = \neg q^3 \cdot q^1 \cdot \neg a \cdot \neg b + \neg q^3 \cdot q^1 \cdot a \cdot \neg b + \neg q^3 \cdot q^1 \cdot q^0$$

$$K^2 = q^0 \cdot \neg b \cdot \neg c + q^0 \cdot b \cdot \neg c + \neg q^3 \cdot q^1 \cdot q^0$$

$$J^1 = q^0 + q^3$$

$$K^1 = q^0 + \neg q^3 \cdot \neg q^2 \cdot a \cdot \neg b + q^3 \cdot \neg a + \neg q^2 \cdot \neg a \cdot \neg b$$

$$J^0 = q^2 + q^3 \cdot \neg q^2 \cdot \neg q^1 + \neg q^3 \cdot a + \neg q^3 \cdot q^1$$

$$K^0 = \neg q^3 \cdot q^0 \cdot b + \neg q^3 \cdot \neg q^2 + q^2 \cdot \neg q^1$$

$$U = \neg q^3 \cdot \neg q^2 \cdot \neg q^1 \cdot \neg q^0 + \neg q^3 \cdot \neg q^2 \cdot q^1 \cdot q^0 + \neg q^3 \cdot q^2 \cdot q^1 \cdot \neg q^0 + \neg q^3 \cdot q^2 \cdot \neg q^1 \cdot q^0 + q^3$$

$$V = \neg q^2 + q^1 + q^0$$

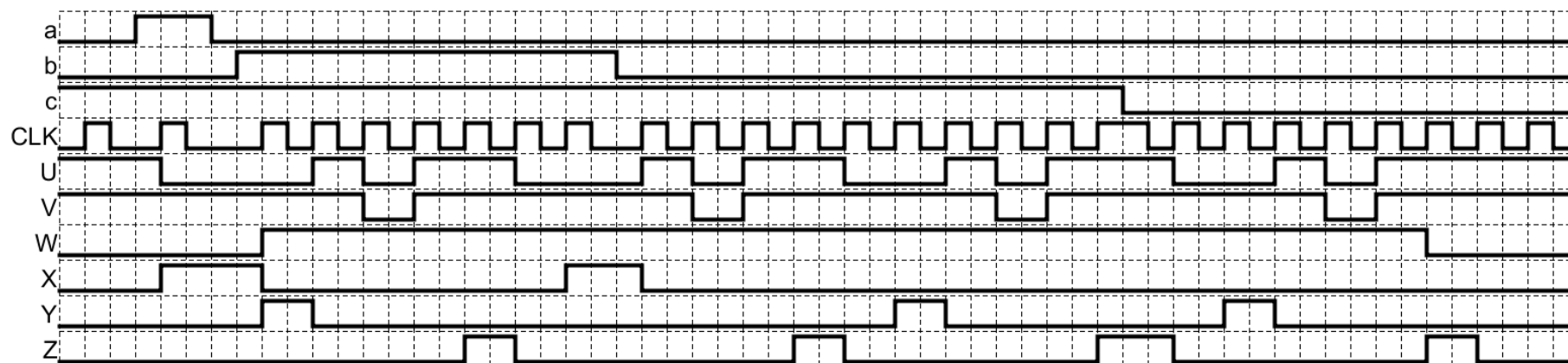
$$W = \neg q^3 \cdot q^1 + q^2 \cdot \neg q^1 + q^3 \cdot \neg q^2 \cdot \neg q^1$$

$$X = \neg q^3 \cdot \neg q^2 \cdot \neg q^1 \cdot q^0 + \neg q^3 \cdot q^2 \cdot q^1 \cdot \neg q^0 + q^3 \cdot \neg q^2 \cdot \neg q^1 \cdot \neg q^0$$

$$Y = \neg q^3 \cdot \neg q^2 \cdot q^1 \cdot \neg q^0 + q^3 \cdot q^0$$

$$Z = \neg q^3 \cdot q^2 \cdot q^1 \cdot \neg q^0 + q^3 \cdot q^1$$

UZYSKANY PRZEBIEG CZASOWY UKŁADU STEROWANIA SORTOWANIEM



Rysunek 4. Przebiegi czasowe układu sterowania sortowaniem.

Przyporządkowanie sygnałów do pozostałych bloków:

- a – Wr (impuls wpisu)
- b – Mux2 (sterowanie blokiem multiplekserów 2 / sygnał G bloku komparatorów)
- c – C0 (sygnał przepełnienia licznika adresu)

- U – RamCE (\sim CE bloku pamięci RAM)
- V – RamWE (\sim WE bloku pamięci RAM)
- W – Mux1 (sterowanie blokiem multiplekserów 1)
- X – Reg1L (wpis do bloku rejestru 1)
- Y – Reg2L (wpis do bloku rejestru 2)
- Z – Cnt+ (inkrementacja licznika adresu)

5. SCHEMAT IDEOWY UKŁADU

Schemat ideowy został podzielony na cztery części:

Pierwsza część: [Rysunek 5. Blok sortowania i pamięci.](#)

Zawiera:

- blok multiplekserów 2
- blok rejestrów 2
- blok pamięci RAM
- blok licznika adresowego.

Druga część: [Rysunek 6. Blok sortowania cd.](#)

Zawiera:

- blok multiplekserów 1
- blok rejestrów 1
- blok komparatorów.

Trzecia część: [Rysunek 7. Blok sterowania.](#)

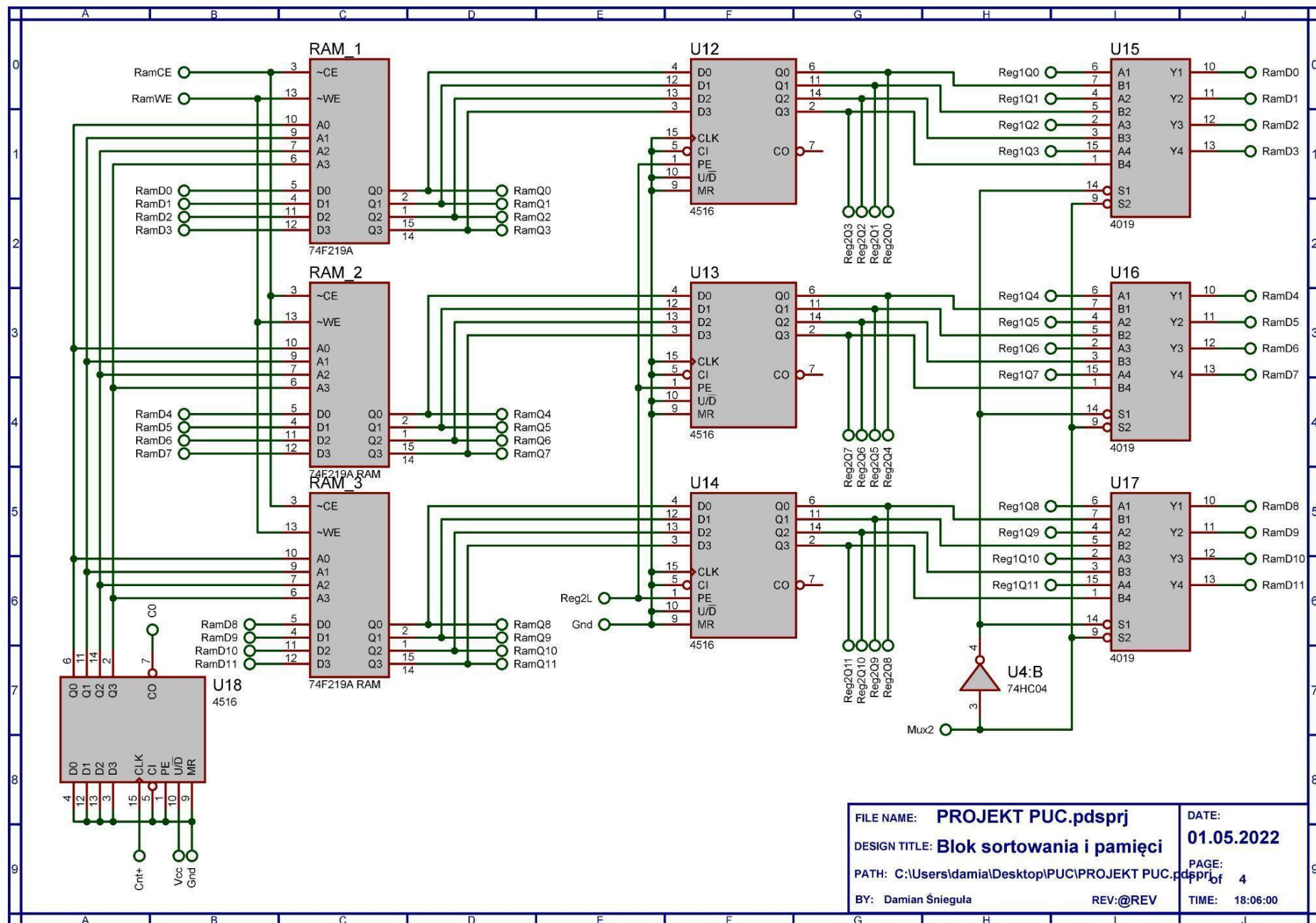
Zawiera:

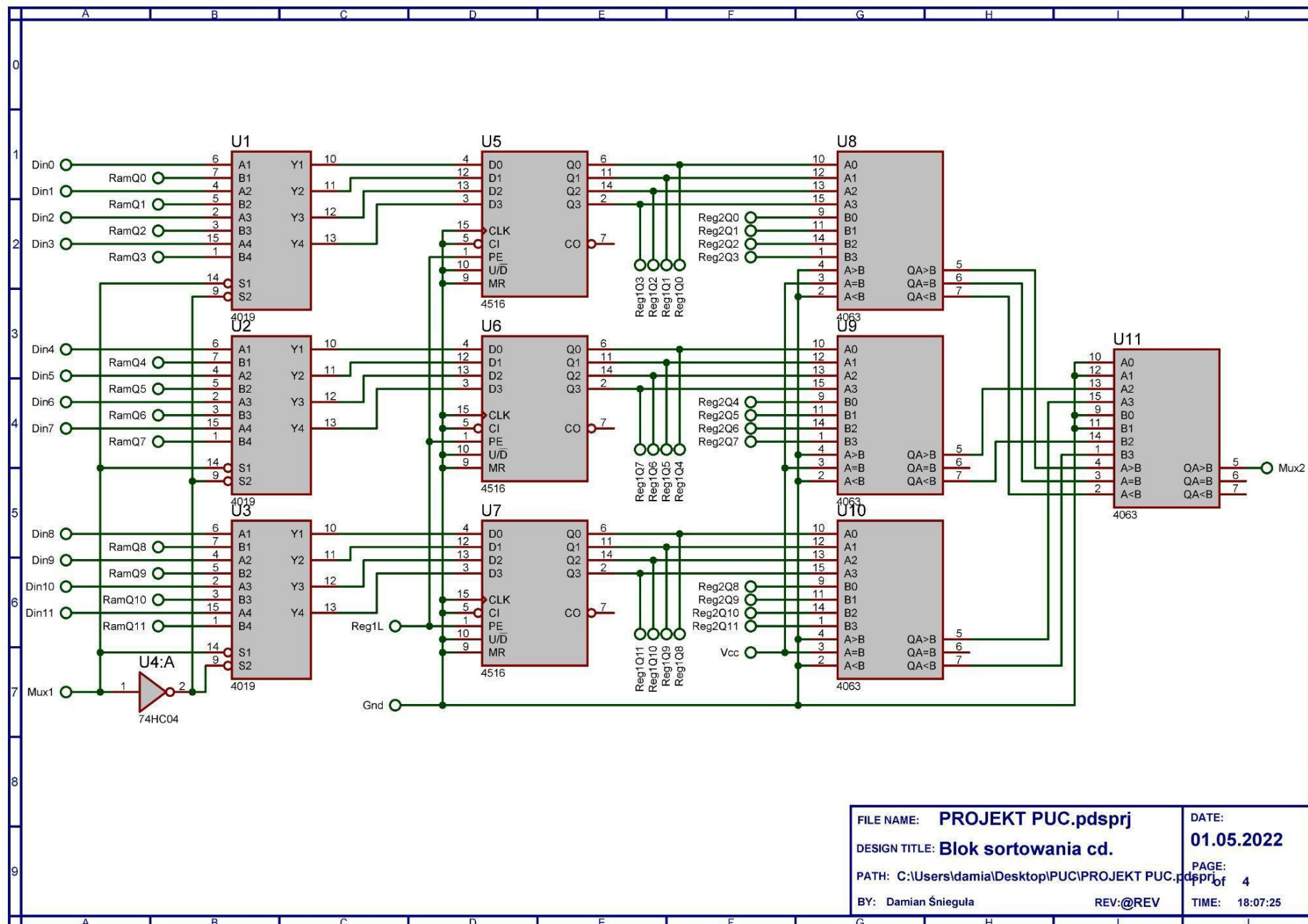
- blok układu sterowania sortowaniem 1/2.

Czwarta część: [Rysunek 8. Blok sterowania cd.](#)

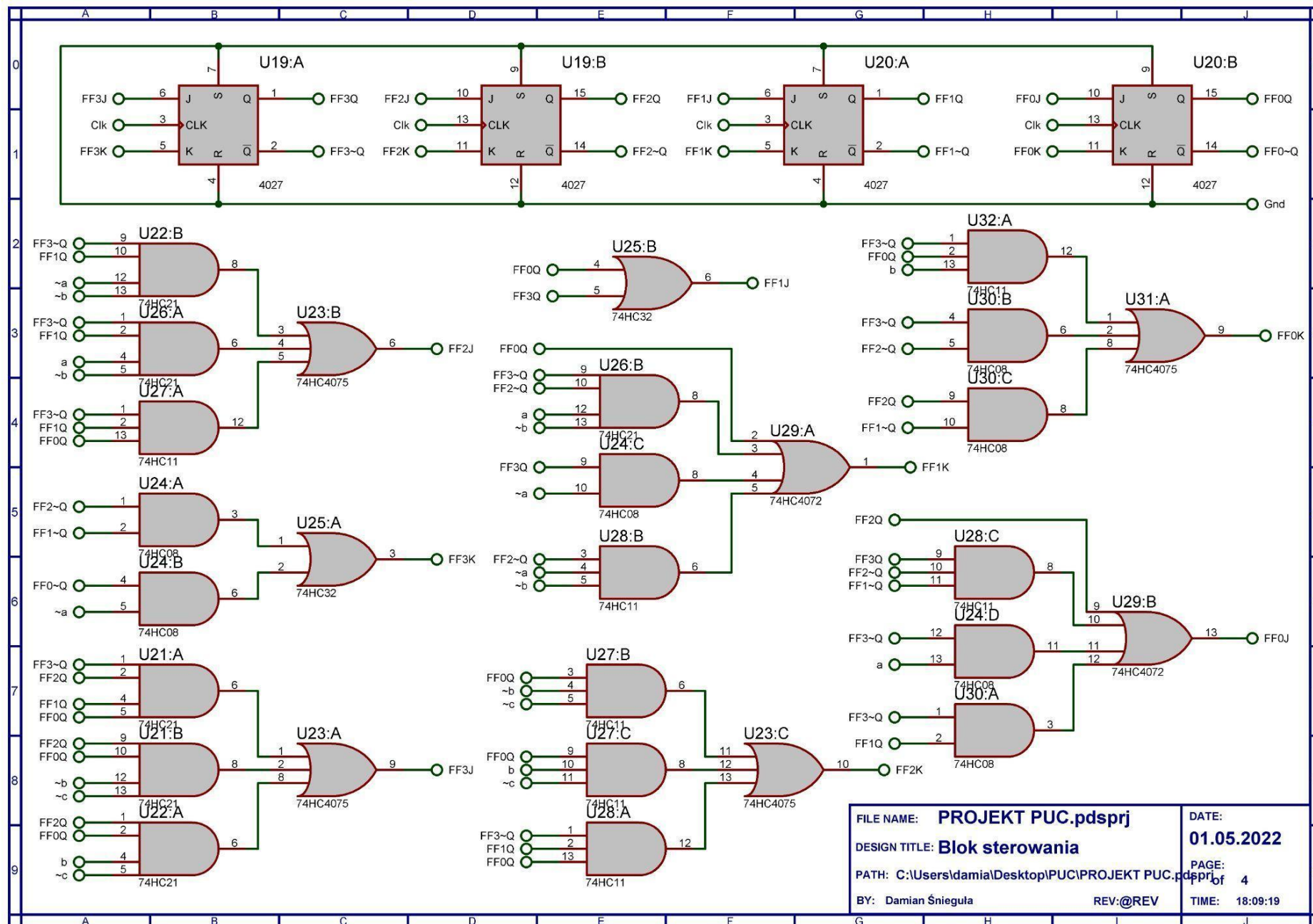
Zawiera:

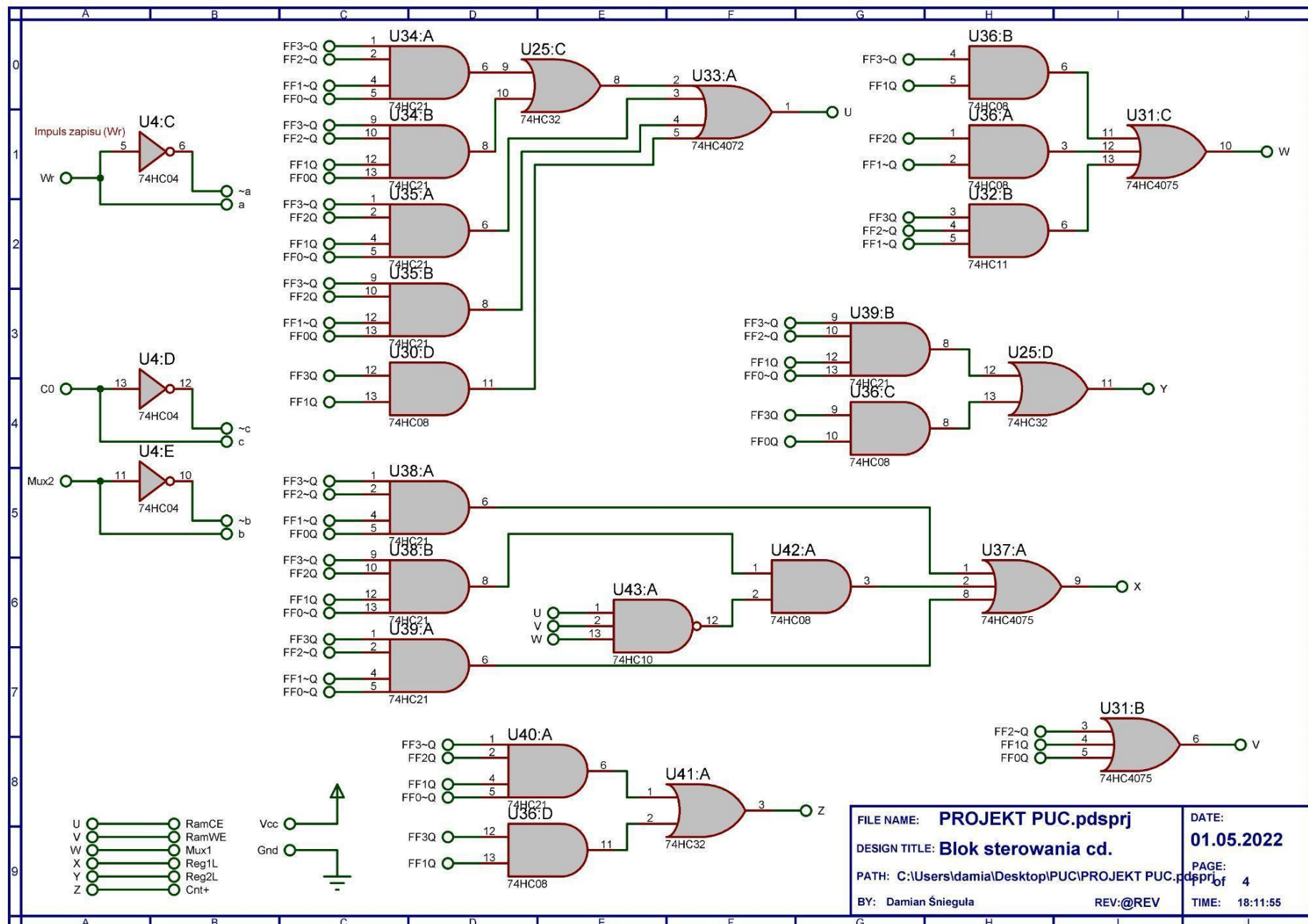
- blok układu sterowania sortowaniem 2/2.





FILE NAME: PROJEKT PUC.pdsprj	DATE: 01.05.2022
DESIGN TITLE: Blok sortowania cd.	PAGE: 4
PATH: C:\Users\damia\Desktop\PUC\PROJEKT PUC.pdsprj	TIME: 18:07:25
BY: Damian Śniegula	REV: @REV



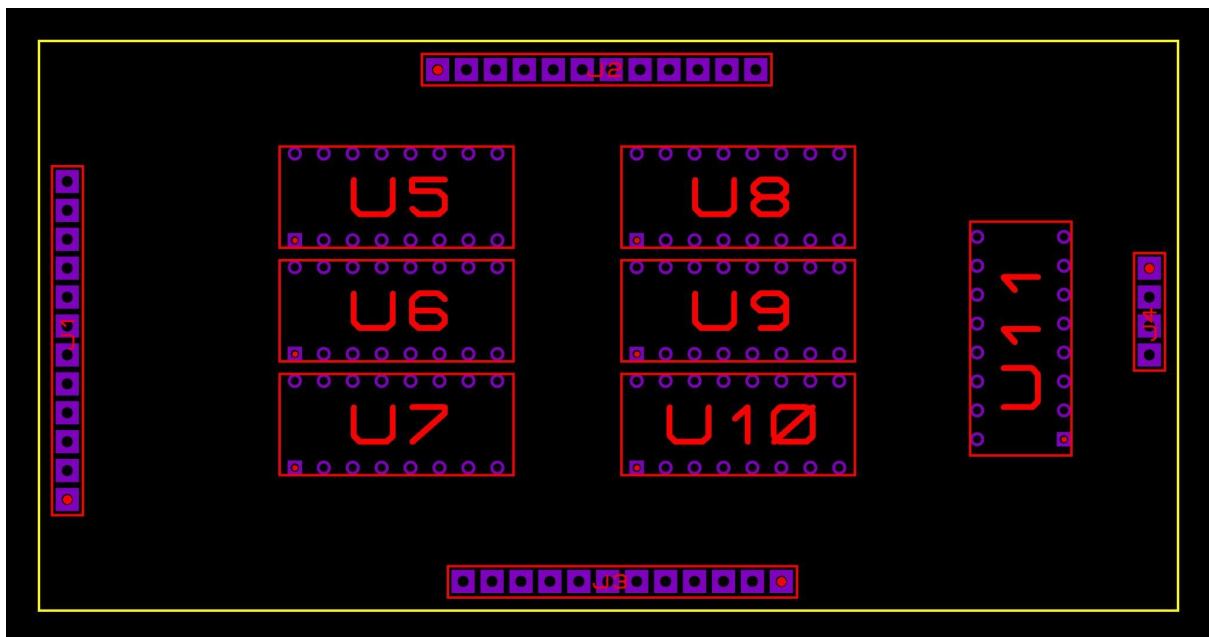


6. PŁYTKA DRUKOWANA

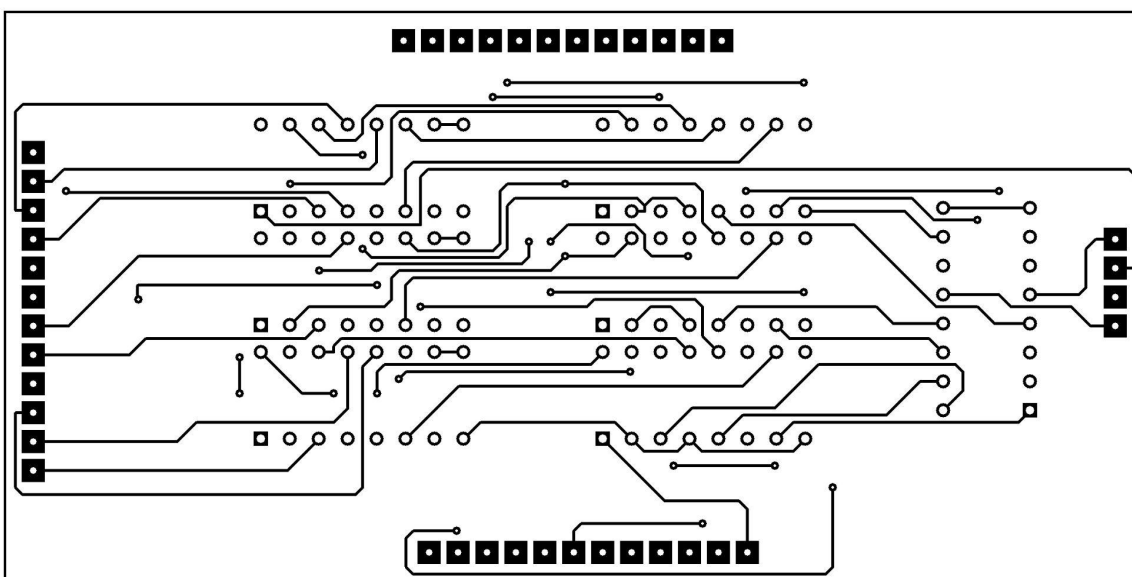
W celu zaprojektowania płytki PCB wybrano fragment z blokiem rejestrów 1 oraz blokiem komparatorów. Płytką została zaprojektowana w postaci modułu o wymiarach 100x50mm.

Oznaczenia na płytce:

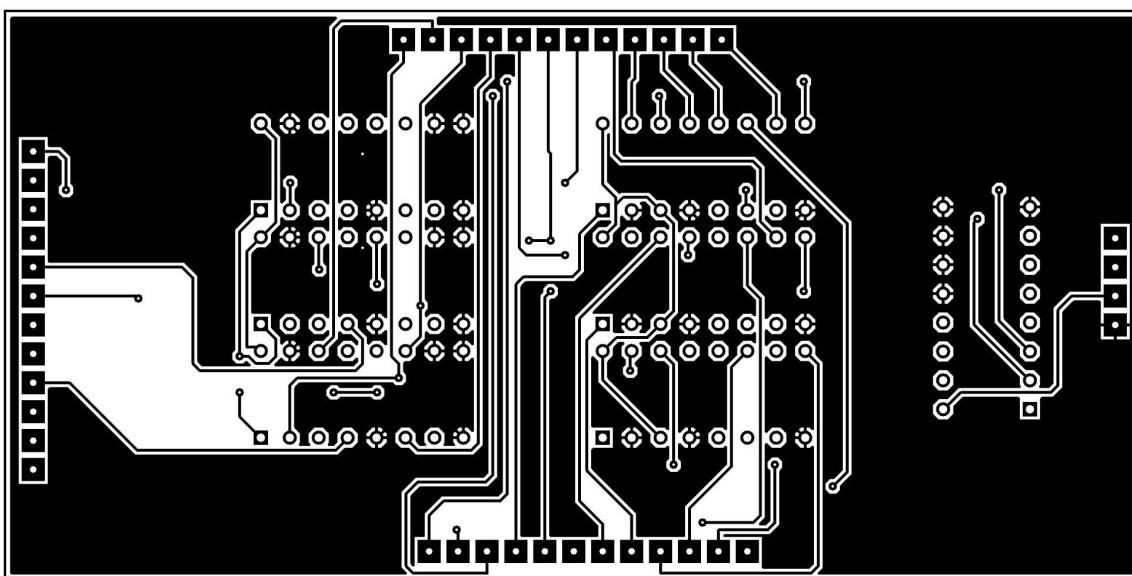
- **J1** - Wejścia danych bloku rejestrów 1
- **J2** - Wyjścia danych bloku rejestrów 1
- **J3** - Wejścia B danych bloku komparatorów
- **J4** - sygnał G komparatora, sygnał PE bloku rejestrów 1, Vcc, Gnd
- **U5, U6, U7** - układ 4516
- **U8, U9, U10, U11** - układ 4063



Rysunek 9. Płytką PCB strona z opisem.



Rysunek 10. Płytki PCB strona elementów TOP.



Rysunek 11. Płytki PCB strona lutowania BOTTOM.

7. INTERFEJS UŻYTKOWNIKA

Aby wprowadzić wynik skoku do pamięci RAM, należy podać na linię Din0-Din11 długość skoku za pomocą 12 bitów w kodzie BCD:

-> Bity 9-11 ilość metrów

-> Bity 4-8 ilość dziesiątek centymetrów

-> Bity 0-3 ilość jedności centymetrów

Następnie potwierdzamy wprowadzenie danych za pomocą sygnału Wr.

Aby wprowadzić kolejny wynik, należy powtórzyć powyższe kroki pamiętając, że między kolejnym wprowadzeniem danych sygnał *Wr* musi wrócić do stanu niskiego.

W sytuacji, gdy ilość skoków będzie większa niż maksymalna wartość licznika adresu, wtedy najmniejsze wyniki zostaną usunięte.

8. BILANS MOCY

Wszystkie elementy układu poza pamięcią RAM 74F219A, wykonane są w technologii CMOS, dzięki czemu jesteśmy w stanie bardzo ograniczyć zapotrzebowanie energetyczne dla układu. Uzyskany wynik bilansu mocy w dużej mierze zawdzięczamy układowi 74F219A, który jest wykonany w technologii TTL.

Element:	Typ:	I_{DD} / I_{CC} [mA]:	Ilość:	Suma I_{DD} / I_{CC} [mA]:
RAM	74F219A	80	3	240
Licznik	4516	0,005	7	0,035
Multiplekser grupowy	4019	0,001	6	0,006
Komparator	4063	0,005	4	0,02
Przerzutnik JK x2	4027	0,001	2 (4)	0,002
NOT x6	74HC04	0,002	1 (5)	0,002
AND 2x4	74HC08	0,002	4 (13)	0,008
AND 3x3	74HC11	0,002	3 (8)	0,006
AND 4x2	74HC21	0,001	8 (15)	0,008
OR 2x4	74HC32	0,002	2 (5)	0,004
OR 3x3	74HC4075	0,001	3 (7)	0,003
OR 4x2	74HC4072	0,001	2 (3)	0,002
NAND 3x3	74HC10	0,002	1	0,002

Tabela 8. Elementy wykorzystane w układzie.

$$I_{max} = 240,098 \text{ mA}$$

$$P = I_{max} \cdot U_z$$

$$P = 240,098 \cdot 10^{-3} [\text{A}] \cdot 5[\text{V}] = 1,20049 [\text{W}]$$

Wszystkie wykorzystane układy współpracują z napięciem zasilania $U_z = 5[\text{V}]$ więc uwzględniając zapas mocy, układ powinien być zasilany zasilaczem o parametrach:

$$\rightarrow U_z = 5 [\text{V}]$$

$$\rightarrow P = 1,5 [\text{W}]$$

9. Źródła

1. Józef Kalisz (2007). Podstawy elektroniki cyfrowej. WKŁ
2. Dokumentacje techniczne układów: <http://www.eleota.pl/>
3. Dokumentacje techniczne układów: <https://www.alldatasheet.pl/>
4. https://pl.wikipedia.org/wiki/Skok_w_dal

10. Załączniki

10.1 Karta projektu