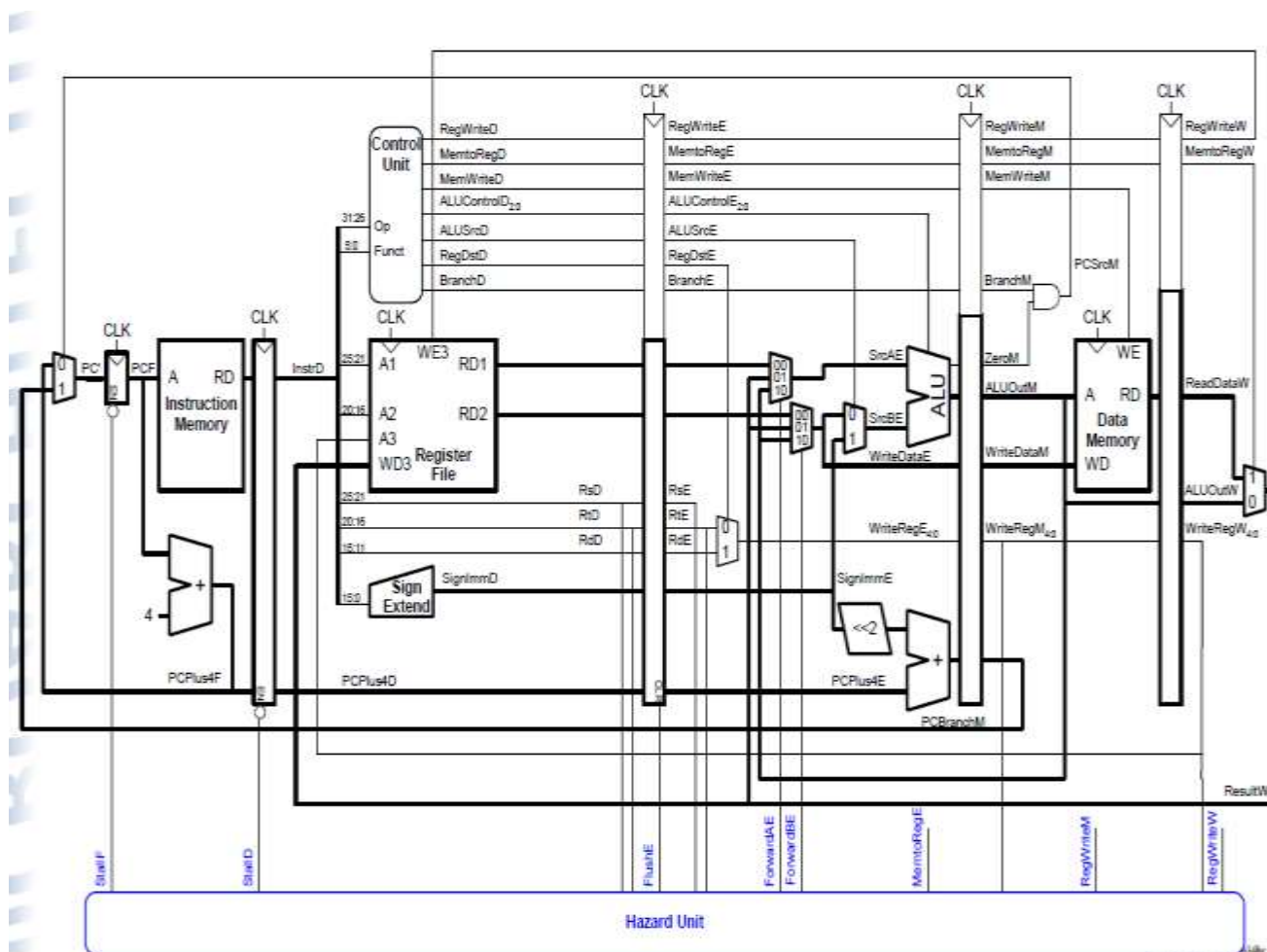


گزارش فاز سوم پروژه MIPS معماری کامپیوتر

هدف این فاز، تبدیل پروسسور multi cycle فاز پیشین به یک پروسسور pipelined است. این پروسسور مطابق شکل زیر، دارای پنج استیج Instruction fetch، Instruction decode، Execution، Memory access و Write back است:



در قدم اول، قطعات مربوط به هر استیج از مازول mips core خارج شده و در مازول‌های جداگانه به نام‌های هر استیج قرار گرفته و در نهایت استیج‌ها در فایل mips core کنار یکدیگر قرار گرفته و به هم متصل شدند. در قدم بعدی، بین هر استیج، رجیسترهای بافر برای ذخیره کردن داده‌های مورد نیاز استیج‌های بعدی قرار داده شدند (ماژول pipe)؛ به صورتی که هر کدام داده ورودی خود را با هر کلاک در خروجی خود قرار می‌دهند مگر آنکه سیگنال stall مربوط به آن pipe فعال باشد. سپس ورودی‌های هر استیج، طوری تغییر داده شد که تنها از بافر مربوط به خود تغذیه شود؛ مگر در موارد jump و write back. در این موارد، تمامی داده‌های مورد نیاز استیج فعلی حتی اگر زودتر آماده شود، در بافرها منتقل می‌شود تا در زمان مناسب همراه بقیه سیگنال‌ها به این استیج بازگردانده شود.

در قدم سوم، از آنجایی که Control unit در فاز برای دستورهای مربوط به Memory و Jal دارای fsm بود، به مازول‌های Signal control و MA_CU شکسته شد. مازول Signal control به صورت یک مدار combinational، سیگنال‌های کنترلی که در مدت اجرای دستور نیستند را تولید می‌کند. سپس این سیگنال‌ها همانند بقیه داده‌ها، در بافرها منتقل می‌شوند تا به مقصد برسند و هر استیج قابلیت استقلال از استیج‌های پیشین خود را داشته باشد. مازول MA_CU به استیج memory access منتقل شد تا کنترل قسمت مموری به درستی انجام گیرد.

در گام نهایی، به دلیل کنترل کردن اختلاف زمانی زیاد بین اجرای استیج memory با بقیه استیج‌ها، مازول hazard unit ایجاد شد تا هنگام تکمیل وظایف مموری، پروسسور را stall کند.