



ELEKTRONICA-ICT

Project Technologie 2023-2024

SYZYGY INTERFACE

Author Miguel Nunez

Abstract

Dit onderzoek concentreert zich op een innovatieve interface, genaamd SYZYGY, en evalueert deze in vergelijking met gevestigde standaarden zoals SPI, QSPI, VITA 57.1 FMC en andere interfaces. We analyseren zorgvuldig de voor- en nadelen, de operationele principes en construeren vervolgens een bescheiden prototype als praktische toepassing. Dit prototype wordt geïntegreerd met het AES-ZUB-1CG-DK-G FPGA-bord van Avnet om de functionaliteit te testen en te evalueren. Het onderzoek beoogt een dieper begrip van SYZYGY te verschaffen, met specifieke aandacht voor zijn prestaties in vergelijking met gevestigde interfaces, en presenteert een praktische demonstratie van de toepasbaarheid ervan op het genoemde FPGA-platform.

Inhoud

Abstract	1
1 Introductie	3
2 SYZYGY interface.....	4
2.1 Overzicht.....	4
2.2 Specificaties	4
2.3 Componenten.....	5
2.3.1 Drager (carrier)	5
2.3.2 Pod.....	6
2.4 Pinouts en signalen.....	6
2.5 Connectoren	7
2.6 Kabels.....	8
2.7 MCU	8
3 Prototype PMOD shield PCB.....	9
3.1 Algemeen.....	9
3.2 Ontwerp.....	9
3.2.1 Pintabellen.....	10
3.2.2 JTAG connector.....	11
4 Resultaat.....	12
5 Discussie	13
6 Conclusie.....	14
7 Bronnen	15
8 Bijlages.....	16

1 Introductie

Dit onderzoek heeft als primaire focus de gedegen analyse van SYZYGy binnen het kader van gevestigde interfaces. Het onderzoek omvat een kritische beoordeling van de voor- en nadelen, alsmede een diepgaande evaluatie van de operationele principes van SYZYGy. Het resultaat van deze analyse manifesteert zich in het ontwerp van een prototype dat dient als tastbare basis voor praktische evaluatie.

De onderzoek scope reikt verder dan enkel de analytische dimensie en omvat tevens de identificatie van toepassingsgebieden waarin SYZYGy uitblinkt. Een dergelijk domein betreft high-performance prototyping, waarbij snelle prototypen worden gerealiseerd door gebruik te maken van vooraf vervaardigde specifieke randapparatuur. In het kader van systeemintegratie en testing wordt benadrukt dat SYZYGy de iteratie kan versnellen en kosten kan reduceren door de samenstelling van complexe systemen uit kleinere bouwstenen mogelijk te maken.

Bovendien wordt SYZYGy beschouwd als een cruciaal element in evaluatiesystemen, waar het dient als een ideaal platform voor het testen van hoogwaardige halfgeleider evaluatieborden. In deze context worden aangepaste testsystemen ontworpen en toegepast om een productieve functionele testomgeving te bewerkstelligen. De veelzijdige toepasbaarheid van SYZYGy wordt in dit onderzoek zorgvuldig belicht, waardoor een holistisch begrip van zijn potentieel en relevantie binnen diverse technologische toepassingen wordt bevorderd. [1]

2 SYZYGY interface

2.1 Overzicht

SYZYGY werd ontwikkeld om de kosten- en prestatiekloof te overbruggen tussen bestaande perifere standaarden zoals Digilent PMOD en FMC (VITA 57.1). Hoewel niet expliciet vereist, is deze standaard het meest relevant voor FPGA-gebaseerde dragers. SYZYGY biedt diverse voordelen, waaronder ondersteuning voor hoge snelheid enkelvoudige en differentiële signalering tot 25 Gbps, het gebruik van compacte, hoog-dichtheid connectoren voor kleine, specifieke randapparatuur, de mogelijkheid om bekabelde externe randapparatuur te ondersteunen met kabel-compatibele connectoren, en de bevordering van kosteneffectieve assemblage via gangbare SMD-technologieën.

De beoogde SYZYGY randapparatuur omvat toepassingen zoals hoge snelheid data-acquisitie (ADC), hoge snelheid DAC, beeldvastlegging, software gedefinieerde radio, video in- en uitvoer, multi-channel I/O en digitale communicatie. Deze veelzijdige reeks toepassingen getuigt van de brede inzetbaarheid van SYZYGY in uiteenlopende technologische contexten.

SYZYGY's doelgerichte toepassingen omvatten de ontwikkeling van high-performance prototypes, evaluatiesystemen voor hoogwaardige halfgeleiders en systemenintegratie en testing. Deze benadering belicht SYZYGY's specifieke relevantie binnen deze domeinen, waarbij het dienst doet als een gestandaardiseerd raamwerk dat tegemoetkomt aan de behoeften van veeleisende toepassingen in het spectrum van FPGA-gebaseerde dragers. [2]

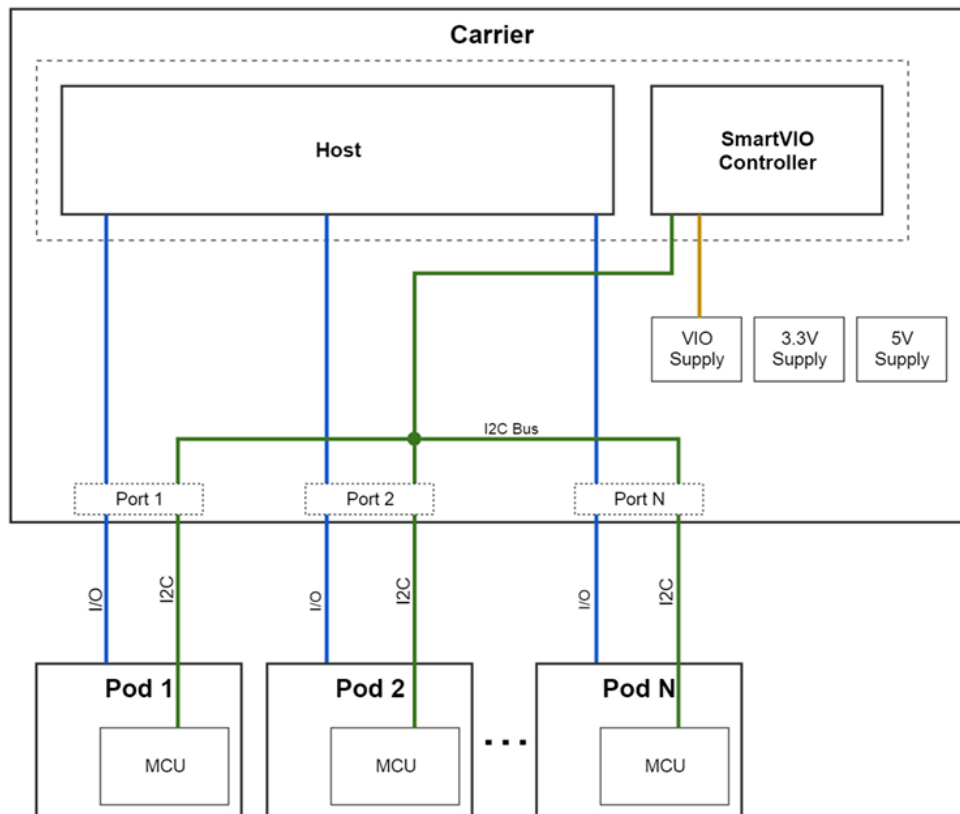
2.2 Specificaties

De SYZYGY-specificatie definieert drie soorten randapparatuur: standaard, transceiver TXR-2 en transceiver TXR4 (zender-ontvanger).

	Standaard SYZGYT	Transceiver SYZGY
40-pin 0.8mm Samtec connector	✓	
40-pin 0.5mm Samtec connector		✓
5V, 3.3V vaste voltages	✓	✓
Programmeerbare VIO (virtual input/output)	✓	✓
MCU voor periferie personalisering en VIO instellingen	✓	✓
8 differentiële paren (of 16 single-ended signalen)	✓	
18 additionele single-ended signalen		✓
12 additionele single-ended signalen	✓	
Dedicated klok inputs/outputs	✓	✓
TXR-2 poorten hebben 4 “zenderontvanger” paren en referentie klok voor hoog-performante I/O		✓
TXR-4 poorten hebben 8 “zenderontvanger” paren en referentie klok voor hoog-performante I/O		✓

2.3 Componenten

Het SYZYGY-systeem omvat twee hoofdcomponenten: dragers (carrier) en pods. De drager integreert een host, een SmartVIO-controller en voedingsspanningslijnen voor één of meerdere pods. Er zijn drie soorten pods gedefinieerd: standaard, transceiver TXR-2 en transceiver TXR4. Een pod wordt verbonden met een poort van hetzelfde type op de drager, hetzij door directe board-to-board verbinding of via een kabel.



Figuur 1: SYZYGY block diagram

2.3.1 Drager (carrier)

Een drager omvat drie functies: een host, voedingen voor randapparatuur en een SmartVIO-controller. De host fungeert als het I/O-eindpunt voor de aan de drager verbonden pods en wordt verwacht een FPGA te zijn. De SmartVIO-controller kan afzonderlijk zijn of geïntegreerd zijn met de host (bijvoorbeeld een FPGA met een geïntegreerde system-on-chip). Een drager bevat één of meer poorten voor het aansluiten van pods. Drie soorten poorten zijn gedefinieerd: standaard, transceiver TXR-2 en transceiver TXR4. Een pod kan rechtstreeks in een poort op een dragerbord worden gestoken, of het kan worden verbonden via een kabel. Poorten zijn verdeeld in VIO-groepen, en elke VIO-groep krijgt een enkele VIO-spanning toegewezen die automatisch configureerbaar is door de SmartVIO-controller.

De SmartVIO-controller fungeert als de I2C-master voor alle verbonden pods. Bij het opstarten haalt de controller de hardware definitie op die is opgeslagen in het niet-vluchtige geheugen van de MCU op elke verbonden pod. Vervolgens configureert de controller VIO met een spanning die compatibel is met alle pods binnen de groep.

2.3.2 Pod

Een pod is een perifere component die via een poort aan een drager wordt bevestigd. Drie soorten pods zijn gedefinieerd: standaard, transceiver TXR-2 en transceiver TXR4. Hoewel de drie typen vergelijkbaar zijn qua pinout en vormfactor, bevatten transceiver pods speciale transceiver-verbindingen naar de host en een connector met differentiële paarafstand voor verhoogde isolatie tussen paren. Mechanisch gezien heeft elk podtype een gedefinieerde breedte, maar er is geen vereiste voor de lengte van een pod of de afstand tot het draagbord bij directe montage. Een standaard pod ondersteunt single-ended en differentiële I/O via een 40-pins connector met een pitch van 0,8 mm. De breedte van een standaard pod is 45 mm. Een transceiver pod ondersteunt single-ended en differentiële transceiver I/O via een 40-pins connector met een pitch van 0,5 mm en differentiële paarafstand (elke derde pinpositie ongebruikt). De breedte van een transceiver pod is 50 mm. Een pod moet een MCU bevatten met niet-vluchtige opslag die wordt gebruikt voor het opslaan van een reeks parameters die de functionaliteit en VIO-vereisten van de pod beschrijven. Wanneer deze aan een drager is verbonden, leest de SmartVIO-controller deze parameters uit en worden ze gebruikt voor het configureren van systeemparameters zoals VIO-spanning.

2.4 Pinouts en signalen

De onderstaande tabellen met pod-pinouts geven de fysieke rangschikking van de pinnen langs de connector aan. Zowel standaard- als transceiver-pods maken gebruik van dual-row connectoren met in totaal 40 pinposities (20 per zijde) plus een centrale grondrug.

Alle vermeldingen van transmit (TX) en receive (RX) zijn relatief ten opzichte van de host (dwz. drager). Het is niet vereist dat een drager alle I/O-pinnen op een poort aansluit, maar de volgende I/O-populatieregels moeten worden nageleefd:

- Op standaard- en transceiver-poorten moeten I/O langs de connector worden gevuld in volgorde van pinnummer. Met andere woorden, lagere ordinale pinnummers moeten worden verbonden voordat hogere ordinale pinnummers.
- Op een standaard poort moeten signalen die in staat zijn tot differentiële I/O eerst worden verbonden, gevolgd door signalen die alleen single-ended zijn.
- Op een standaard poort worden alleen pinnen 5-20 beschouwd als in staat tot differentiële I/O-signalering. [2]

Standaard pod pinout

Pin Num	Signal Name	Pin Num	Signal Name
1	SCL	2	+5V
3	SDA	4	R_GA
5	S0_D0P	6	S1_D1P
7	S2_D0N	8	S3_D1N
9	S4_D2P	10	S5_D3P
11	S6_D2N	12	S7_D3N
13	S8_D4P	14	S9_D5P
15	S10_D4N	16	S11_D5N
17	S12_D6P	18	S13_D7P
19	S14_D6N	20	S15_D7N
21	S16	22	S17
23	S18	24	S19
25	S20	26	S21
27	S22	28	S23
29	S24	30	S25
31	S26	32	S27
33	P2C_CLKP	34	C2P_CLKP
35	P2C_CLKN	36	C2P_CLKN
37	RSVD	38	RSVD
39	VIO1	40	+3.3V

Transceiver TXR-2 pod pinout

Pin Num	Signal Name	Pin Num	Signal Name
1	SCL	2	+5V
3	SDA	4	R_GA
5	RX0P	6	TX0P
7	RX0N	8	TX0N
9	RX1P	10	TX1P
11	RX1N	12	TX1N
13	REFCLKP	14	S0
15	REFCLKN	16	S1
17	S2	18	S3
19	S4	20	S5
21	S6	22	S7
23	S8	24	S9
25	S10	26	S11
27	S12	28	S13
29	S14	30	S15
31	S16	32	S17
33	P2C_CLKP	34	C2P_CLKP
35	P2C_CLKN	36	C2P_CLKN
37	RSVD	38	RSVD
39	VIO1	40	+3.3V

Transceiver TXR-4 pod pinout

Pin Num	Signal Name	Pin Num	Signal Name
1	SCL	2	+5V
3	SDA	4	R_GA
5	RX0P	6	TX0P
7	RX0N	8	TX0N
9	RX1P	10	TX1P
11	RX1N	12	TX1N
13	REFCLKP	14	S0
15	REFCLKN	16	S1
17	S2	18	S3
19	S4	20	S5
21	S6	22	S7
23	S8	24	S9
25	RX3P	26	TX3P
27	RX3N	28	TX3N
29	RX2P	30	TX2P
31	RX2N	32	TX2N
33	P2C_CLKP	34	C2P_CLKP
35	P2C_CLKN	36	C2P_CLKN
37	RSVD	38	RSVD
39	VIO1	40	+3.3V

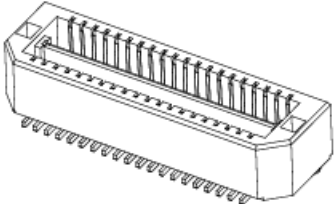
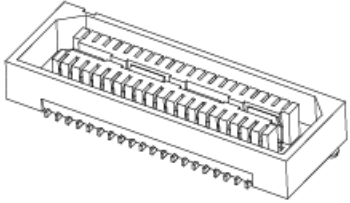
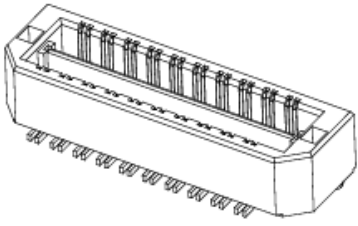
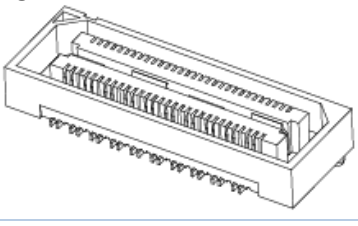
Figuur 2: Poort pinouts

2.5 Connectoren

Standaard pods en poorten maken gebruik van een Samtec 40-pins QTE/QSE verbindingsconnectorset. De QTE/QSE-serie heeft een pitch van 0,8 mm met gelijkmatig verdeelde pinnen en een centrale grondrug.

Transceiver pods en poorten gebruiken een Samtec 40-pins QTH-DP/QSH-DP verbindingsconnectorset. De QTH-DP/QSH-DP serie heeft een pitch van 0,5 mm.

De QSE- en QSH-connectors (aan de zijde van de drager) hebben slechts één optie voor hoogte. De QTE- en QTH-connectors (aan de zijde van de pod) zijn verkrijgbaar in verschillende hoogtes om flexibiliteit te bieden in de hoogte van board-to-board verbindingen. De nominale gekoppelde hoogte voor een SYZYGY-systeem is 5,00 mm. Zie de Samtec-documentatie voor aanvullende opties.

	Connector Part Number	Omschrijving
Standaard Pod	Samtec QTE-020-xx-F-D-A xx = 01 voor 5.00mm nominale hoogte	High-speed grondvlak header terminal, 40-pins, pitch van 0,8 mm. 
Standaard Poort	Samtec QSE-020-01-F-D-A	High-speed grondvlak header socket, 40-pins, pitch van 0,8 mm. 
Transceiver Pod	Samtec QTH-020-01-F-D-DP-A	High-speed grondvlak header terminal, 40-pins, pitch van 0,5 mm, differentiële paar spatiëring. 
Transceiver Poort	Samtec QSH-020-01-F-D-DP-A	High-speed grondvlak header terminal, 40-pins, pitch van 0,5 mm, differentiële paar spatiëring. 

2.6 Kabels

Naast de directe board-to-board verbinding kan een pod ook verbinding maken met een drager via een kabel. De Samtec EQCD kabelserie is compatibel met de QSE/QTE connectorserie en wordt gebruikt voor het verbinden van een standaard pod met een standaard poort. De Samtec HQDP kabelserie is compatibel met de QSH-DP/QTH-DP connectorserie en wordt gebruikt voor het verbinden van een transceiver pod met een transceiver poort. Beide kabelseries zijn verkrijgbaar in elke gewenste lengte.

Voor de standaard poort/pod wordt het gebruik van het kabeltype "Samtec EQCD-020-xx.xx-TBL-STL-1-B" aanbevolen, terwijl voor de transceiver "Samtec HQDP-020-xx.xx-TBL-STL-1B" wordt aanbevolen, waarbij de aanduiding "xx.xx" de lengte van de kabel in inches aangeeft.

2.7 MCU

Elk connector omvat een microcontroller (de Peripheral MCU of pMCU genoemd) voor het opslaan van zijn SYZYG DNA, de kenmerken die de "persoonlijkheid" van een pod vormen. Hieronder vallen gegevens over de SmartVIO-compatibiliteit van het randapparaat (huidige belasting en compatibel VIO-spanningsbereik), evenals optionele informatie zoals de naam van de fabrikant, productnaam en modelnummer, serienummer, enzovoort.

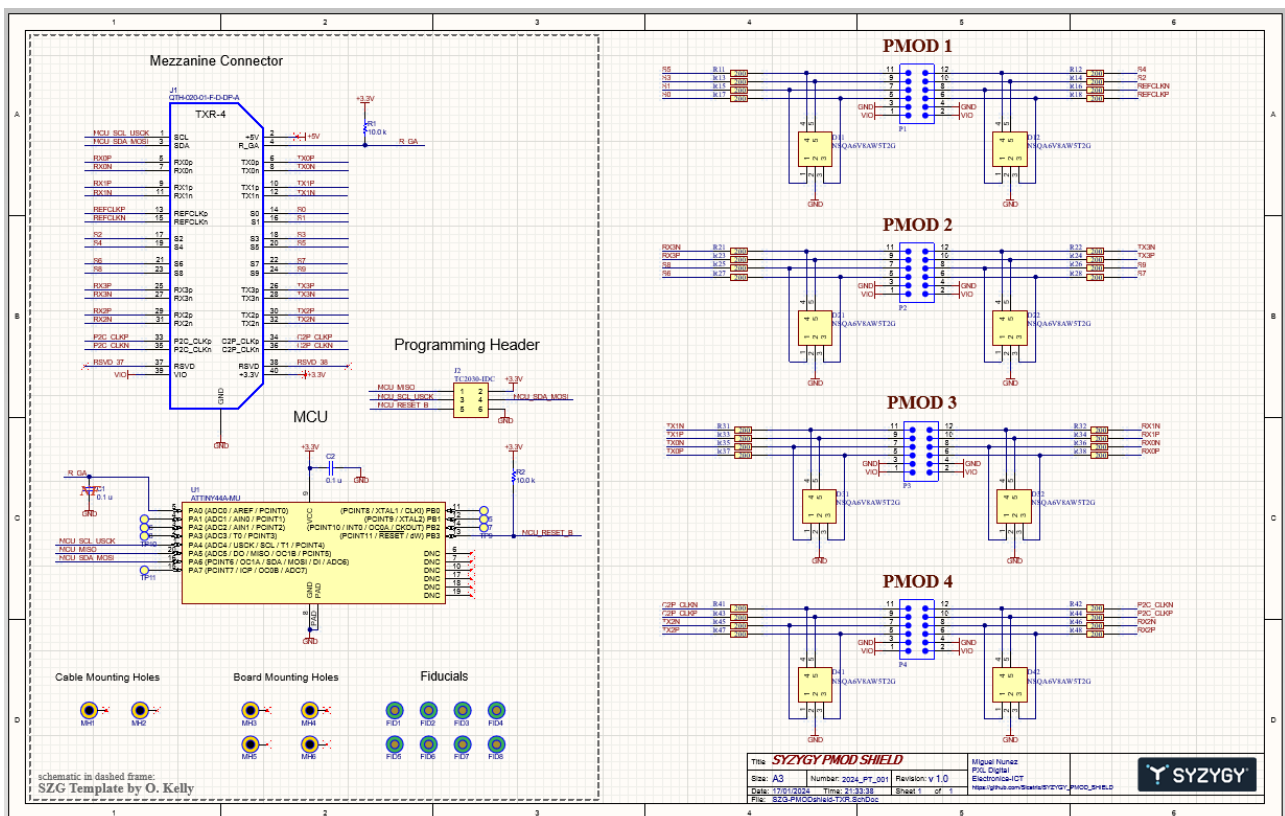
De pMCU communiceert via een I2C-bus met de SmartVIO-controller. Alle pods die zijn aangesloten op een drager delen een gemeenschappelijke I2C-bus. Het I2C-adres van elke pod wordt bepaald door een weerstandsdeler gevormd tussen de drager en de pod. Een pulldown-weerstand R_{GA} is verbonden met elke poort op de drager, waarbij elke poort een unieke weerstandswaarde gebruikt. Op de pod is een 10-k Ω pull-up weerstand aangesloten van R_{GA} naar +3.3V. Het R_{GA} -net is verbonden met een van de pMCU ADC-ingangspinnen, en de resulterende spanning wordt gebruikt om het I2C-adres van de pod te bepalen.

De aanbevolen standaardwaarden voor R_{GA} worden getoond in de SYZYG DNA-specificatie [3]. De tolerantie van de weerstand moet 1% of beter zijn. De aanbevolen pMCU is de Atmel ATtiny44A, een op 8-bits RISC gebaseerd apparaat met 4 KB aan programma-geheugen en 256 bytes aan data EEPROM. De I2C-bus interface naar de pods gebruikt logica van 3,3V. Pull-up weerstanden voor de SDA- en SCL-signalen moeten aanwezig zijn op de drager. Als de I2C-interface naar de SmartVIO-controller op een logische spanning werkt die anders is dan 3,3V, kan een bi-directionele niveau-translator zoals de Texas Instruments PCA9306 worden gebruikt op de drager. Dubbelbreed randapparaten hoeven slechts één pMCU op te nemen. Deze pMCU moet worden verbonden met de I2C- en R_{GA} -lijnen van precies één poort. Hieruit volgt dat beide poorten op een dubbelbreed randapparaat een enkele VIO-spanning moeten gebruiken en dat de drager het randapparaat moet behandelen alsof het dezelfde VIO op beide poorten heeft gespecificeerd. [3]

3 Prototype PMOD shield PCB

3.1 Algemeen

Het ontworpen PCB-shield beschikt over vier PMOD-terminals die zijn geïntegreerd met de SYZYGY-connector en strategisch zijn geplaatst om zowel individuele modules als een volledig PYNQ-Z2-bord van Xilinx te kunnen aansluiten. Om directe aansluiting van het PYNQ-Z2-bord mogelijk te maken, zijn mannelijke connectoren gebruikt in plaats van de gebruikelijke vrouwelijke connectoren.



Figuur 3: schema

3.2 Ontwerp

Dit shieldbord is een apparaat dat een enkele SYZYGY Standard-poort uitsplitst naar 4 Digilent Pmod-connectoren [5].

Elk signaal wordt geleid door een 200Ω-serieweerstand voordat het wordt verbonden met de overeenkomstige pin van de SYZYGY-connector. Dit is om de stroom te verminderen in geval van een kortsluiting om schade aan de FPGA I/O te voorkomen.

Daarnaast wordt elk signaal geleid door een ESD-beschermingsdiode aan de Pmod-zijde van de serieweerstand.

Op de printplaat zelf is een index aangegeven voor elke PMOD-pin met de bijbehorende SYZYGY-pin.

3.2.1 Pintabellen

PMOD 1

PMOD PIN	SYZYGY SIGNAAL	SYZYGY PIN
1	VIO	39
2	VIO	39
3	GND	
4	GND	
5	S0	14
6	REFCLKP	13
7	S1	16
8	REFCLKN	15
9	S3	18
10	S2	17
11	S5	20
12	S4	19

PMOD 2

PMOD PIN	SYZYGY SIGNAAL	SYZYGY PIN
1	VIO	39
2	VIO	39
3	GND	
4	GND	
5	S6	21
6	S7	22
7	S8	23
8	S9	24
9	RX3P	25
10	TX3P	26
11	RX3N	27
12	TX3N	28

PMOD 3

PMOD PIN	SYZYGY SIGNAAL	SYZYGY PIN
1	VIO	39
2	VIO	39
3	GND	
4	GND	
5	TX0P	6
6	RX0P	5
7	TX0N	8
8	RX0N	7
9	TX1P	10
10	RX1P	9
11	TX1N	12
12	RX1N	11

PMOD 4

PMOD PIN	SYZYGY SIGNAAL	SYZYGY PIN
1	VIO	39
2	VIO	39
3	GND	
4	GND	
5	TX2P	14
6	RX2P	13
7	TX2N	16
8	RX2N	15
9	C2P_CLKP	18
10	P2C_CLKP	17
11	C2P_CLKN	20
12	P2C_CLKN	19

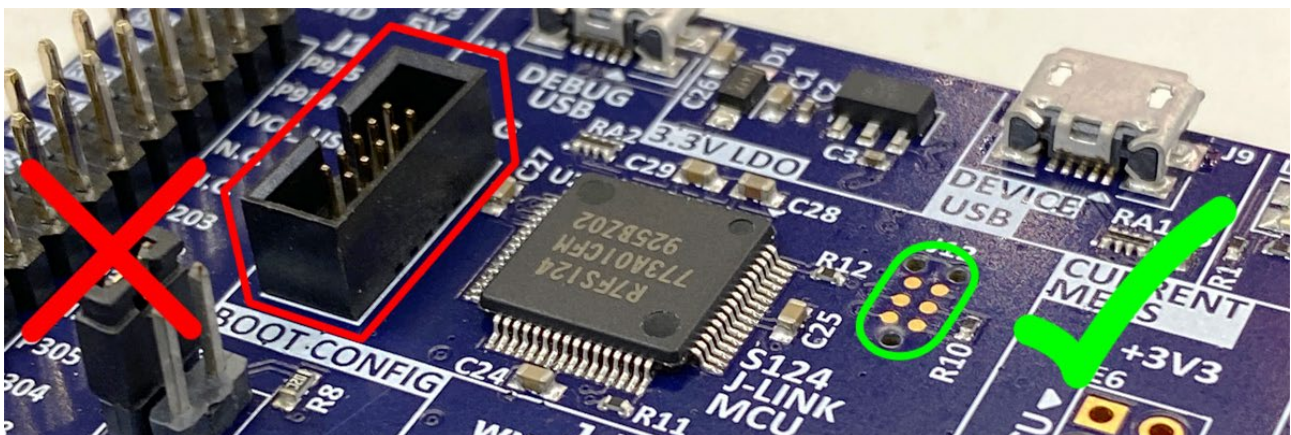
3.2.2 JTAG connector

De programmeerverbinding voor de SYZYGY DNA MCU maakt gebruik van een connectorloze Tag-Connect-header. Een bedrade connector met veerbelaste contacten klemt op het bord en verbindt met de blootgestelde pads op de headers. Het ontwerp van de header van het sjabloon maakt een programmeerverbinding mogelijk vanaf elke zijde van het bord.

De sjabloonborden ondersteunen zowel de TC2030 als de TC2030-NL. Het exacte kabelmodel zal afhangen van de programmeur die u gebruikt, aangezien dit de pinout en connector aan het andere uiteinde van de kabel verandert.[4]

Tag-Connect-kabels bieden een eenvoudige en veilige manier om debuggers, programmeurs en testapparatuur aan te sluiten op uw PCB's, terwijl ruimte en kosten worden bespaard op elk bord.

Onze gepatenteerde connectoren verbinden rechtstreeks met een kleine footprint van pads en gaten in uw PCB. Er is geen verbindingconnector of component nodig; de PCB zelf fungeert als de verbindingconnector. De footprint kan ongeveer de grootte hebben van een 0805-weerstand en heeft, omdat het slechts een footprint is (geen speciale PCB-afwerking vereist), ook geen hoogte. Dit betekent dat Tag-Connect-footprints vaak op de achterkant van een PCB kunnen worden geplaatst of op een locatie waar fysieke ruimte anders beperkt is. [6]



Figuur 4: Tag-Connect vs. klassieke connectoren

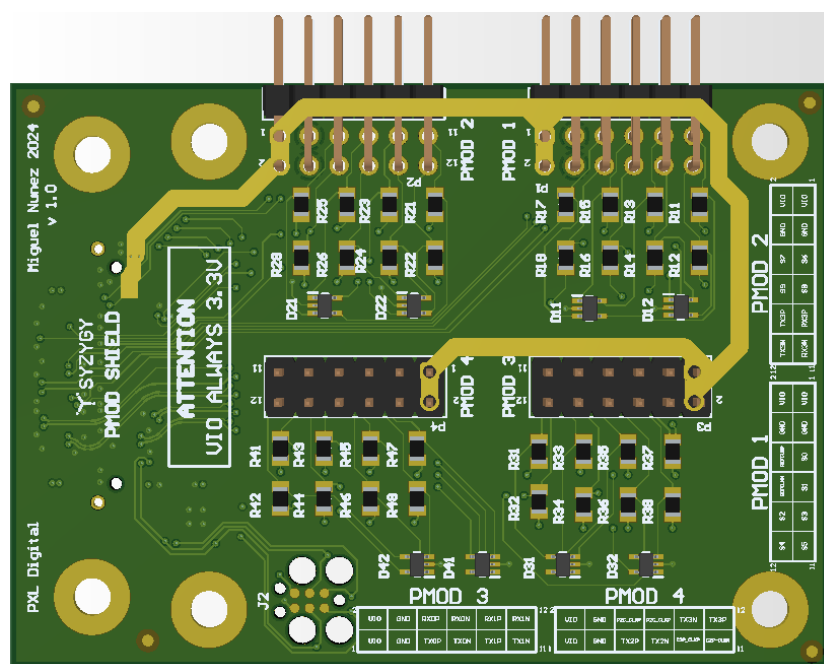
4 Resultaat

Het prototype is slechts ontworpen en nog niet fysiek gerealiseerd, waardoor de operationele functionaliteit niet gegarandeerd kan worden. In theorie zou het mogelijk moeten zijn om met dit ontworpen bord zowel sensormodules als een PYNQ-Z2 via PMOD te verbinden met een andere FPGA die gebruikmaakt van de SYZYGY-interface. Een illustratief voorbeeld hiervan is het ZUBoard (AES-ZUB-1CG-DK-G) van Avnet. Hoewel dit bord op de SYZYGY-website wordt genoemd als drager, wordt er een belangrijke opmerking toegevoegd dat dit product niet voldoet aan het geregistreerde SYZYGY-merk.

XEN7320	Xilinx Artix-7 FPGA development board supporting FrontPanel®, SuperSpeed USB 3.0, and three SYZYGY ports	Opal Kelly
XEN8320	Xilinx Artix UltraScale+ FPGA development platform supporting FrontPanel®, SuperSpeed USB 3.0, and six SYZYGY ports	Opal Kelly
ZUBoard 1CG	Low cost ZU+ MPSoc Dev Board · IMPORTANT: This product <u>IS NOT</u> SYZYGY® Compliant.	AVNET

Figuur 5: vermelding op de website van SYZYGY

De huidige ontwikkelingsstatus betreft een voltooid prototype-ontwerp van de module. Zowel het schematische als het PCB-ontwerp hebben alle vereiste tests, zoals de design rule check, doorstaan en zouden nu kunnen worden ingediend voor een testproductie. Een aandachtspunt bij deze initiële tests is dat zowel de pinnen van 3,3V als die van 5V niet zijn aangesloten en handmatig zijn "gewaived". Dit is een gevolg van de keuze om de VIO-spanning te gebruiken, die over het volledige beschikbare bereik instelbaar is. Het is echter van belang op te merken dat, bij gebruik volgens het PMOD-principe, deze VIO-spanning altijd op 3,3V moet worden ingesteld. In geval van afwijking hiervan moet ervoor worden gezorgd dat de aangesloten hardware op de PMOD-module geschikt is voor de afwijkende spanning.



Figuur 6: bovenaanzicht van het prototype

5 Discussie

De beslissing om het PMOD Shield PCB te ontwikkelen als een interface tussen sensormodules, PYNQ-Z2, en andere SYZYGY-compatibele FPGA's, demonstreert de veelzijdigheid van het SYZYGY-framework. Het gebruik van de verstrekte sjabloon voor dit prototype benadrukt echter eveneens enkele uitdagingen; om een optimale lay-out te verkrijgen, vereiste het aanzienlijke aanpassingen aan de sjabloon. Specifiek waren er wijzigingen nodig vanwege onder andere de afgeronde routing in de sjabloon, suboptimale positionering van de JTAG-connector voor deze toepassing, en een beperkte afmeting van het PCB-oppervlak dat de PMOD-dimensies compliceert.

Al met al biedt de ontwikkeling van het PMOD Shield PCB een boeiende case study voor de implementatie van het SYZYGY-interface in praktische toepassingen. Deze discussie bevestigt niet alleen de potentie van SYZYGY als een gestandaardiseerde verbindingstechnologie, maar benadrukt ook het belang van voortdurende verbeteringen en verfijningen om de efficiëntie en gebruiksvriendelijkheid verder te verbeteren.

6 Conclusie

In deze studie hebben we de ontwikkeling van het PMOD Shield PCB als interface tussen sensormodules, de PYNQ-Z2, en andere SYZYGY-compatibele FPGA's onderzocht. De implementatie van het SYZYGY-framework als basis voor deze interface illustreert de veelzijdigheid en potentie van gestandaardiseerde verbindingsmethoden in FPGA-gebaseerde systemen. Het PMOD Shield PCB, ontworpen als een toepassing van het SYZYGY-framework, belichaamt een modulaire benadering voor het verbinden van verschillende randapparaten met FPGAs, wat een aanzienlijke flexibiliteit en schaalbaarheid biedt.

Hoewel het prototype nog niet fysiek is gerealiseerd, biedt het concept van het PMOD Shield PCB een veelbelovend perspectief voor het aansluiten van diverse randapparaten op SYZYGY-compatibele FPGA's.

Het vervolg van deze studie kan zich concentreren op de initiële fysieke test van het PCB en het programmeren van de MCU voor het aansturen van de connector. Indien de module naar behoren functioneert, kan het nodig zijn om het ontwerp verder te optimaliseren.

7 Bronnen

- [1] K. Opal, “Introducing SYZYGY”, SYZYGY, <https://syzygyfpga.io/> (geraadpleegd op 02/01/2024)
- [2] K. Opal, “SYZYGY Specification”, SYZYGY, Version 1.1.1, Opal Kelly Inc., Oregon, Portland, 2023, <https://syzygyfpga.io/wp-content/uploads/2023/09/Syzygy-Specification-V1p1p1.pdf> (geraadpleegd op 04/01/2024)
- [3] K. Opal, “SYZYGY DNA Specification”, SYZYGY, Version 1.1, Opal Kelly Inc., Oregon, Portland, 2018, <https://syzygyfpga.io/wp-content/uploads/2020/05/Syzygy-DNA-Specification-V1p1.pdf> (geraadpleegd op 10/01/2024)
- [4] SYZYGYfpga, “pcb-templates”, github rep, <https://github.com/SYZYGYfpga/pcb-templates> (geraadpleegd op 23/12/2023)
- [5] Digilent, “Digilent Pmod Interface Specification 1.2.0”, revision 10-05-17, Digilent, Pullman, 2017, https://digilent.com/reference/_media/reference/pmod/pmod-interface-specification-1_2_0.pdf (geraadpleegd op 12/01/2024)
- [6] Tag-Connect, website, <https://www.tag-connect.com/> (geraadpleegd op 23/12/2023)

8 Bijlages

- Assamblage tekeningen PCB : Assembly Drawings_SZG-PmodSchild.pdf
- 3D model van de pcb : SZG-PMOD-shield_3D_model.step
- Datasheets :
 - Connectoren Wurth : 61301221021.pdf & 61301221121.pdf
 - ESD beschermings diodes OnSemi : NSQA6V8AW5T2_D-2318163.pdf
- Altium files met schema, pcb ontwerp, footprints en BOM : SYZYGYPMOD_Schild (17-01-2024 21-47-45).zip

Alle files zijn tevens te vinden op mijn github pagina onder deze repo :

https://github.com/Sicatriz/SYZYGY_PMOD_SHIELD