RISC-V Tabanlı İşlemci Tasarımı

Mehmet Çolak, Arda Alhan, Erdem Şentürk

Fenerbahçe Üniversitesi

Bilgisayar Mühendisliği

İstanbul, Türkiye

e-mail: { mehmet.colak, arda.alhan, erdem.senturk }@fbu.edu.tr,

Text

Description automatically generated

*Özetçe*—Başlangıç tasarımı verilen bir RISC-V CPU’sunun ALU ve instruction decoder bloklarını SystemVerilog dilinin özelliklerinden yararlanarak tasarlayıp, bu tasarımın doğrulama çalışmasını yapmak.

*Abstract*— Designing the ALU and instruction decoder blocks of an initially designed RISC-V CPU by using the features of the SystemVerilog language and making the verification work of this design.

# Giriş

Projenin genel amacı RISC-V temelli, başlangıç tasarımı verilmiş bir CPU'nun tasarım eksikliklerini tamamlayıp bu CPU'yu en temel düzeyde çalışabilir hale getirmek. Ve bu CPU'yu test etmek.

# Sistem Mimarisi

Proje tasarımının eksikleri ALU ve Instruction decoder olmak üzere iki bloktan oluşmaktadır. ALU bloğu bünyesinde 11 işlem ya da fonksiyon bulundurmalıdır.

A picture containing text

Description automatically generatedALU bloğunun yapabilmesi gereken işlem ya da fonksiyonlar aşağıdaki gibidir.

Table

Description automatically generatedInstruction decoder bloğu ise kendisine gönderilen verinin okunup işleme alınabilmesi için 32 bitlik instruction word’e sahip olmalıdır. İstenilen tasarım aşağıdaki gibi olmalıdır.

Table

Description automatically generated Aynı zaman aldığı veriyi decode ederek ilgili kısımla etkileşime girmelidir.

Bu iki bloğun tasarımı boyunca Xilinx Vivado Design Suite uygulaması kullanılmıştır. Ve bu bloklar SystemVerilog donanım dili ile yazılmıştır.

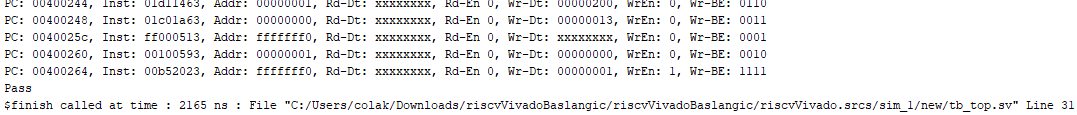
# Kullanılan Yazılım

Başlangıç tasarımında verilen testbench bloğu, tasarımın son halinin sorunsuz çalışıp çalışmadığını test ediyor.

Graphical user interface, text, application

Description automatically generatedİlgili tasarım bölünü:

Yapılan test sonucunda tasarımımızın sorunsuz çalıştığını uygulamanın verdiği çıktıdan anlayabiliyoruz.

Uygulamanın verdiği çıktı:

# Sonuçlar

Geliştirilen tasarım en temek matematiksel işlemleri ve bazı mantıksal işlemleri gerçekleştirebilmektedir. Bu proje ile RISC-V temelli bir CPU’nun nasıl çalıştığını, bu CPU için gereken tasarım bloklarının SystemVerilog dili ile nasıl tasarlanabileceğini ve son olarak Xilinx Vivado Design Suite uygulamasının nasıl kullanıldığı öğrenilmiş oldu.

##### Proje Ekibi

##### Mehmet Çolak:

##### 10.07.2001 yılında Kadıköy'de doğdu. 2019 yılında Kadıköy Nazmi Arıkan Fen Bilimleri Temel Lisesi'nden mezun oldu. Şu anda Fenerbahçe Üniversitesi Bilgisayar Mühendisliği bölümünde lisans eğitimi almakta. C, C++, C# ve Python dillerle ilgilenmektedir. 190301022

Erdem Şentürk:

09.05.2000 yılındı İstanbul'da doğdu.2019 yılında İstek Bilge Kağan Lisesinden mezun oldu. Şu anda Fenerbahçe Üniversitesi Bilgisayar Mühendisliği bölümünde lisans eğitimi almakta. C, C++ ve Python dilleriyle ilgileniyor. 190301009

Arda Alhan:

18.05.2001 yılında doğdu. 2019 yılında Eyüp Anadolu Lisesi’nden mezun oldu. Şu an da Fenerbahçe Üniversitesi Bilgisayar Mühendisliği bölümünde Lisans eğitimi almakta. C, C#, Python dilleriyle ve Flutter ile ilgileniyor. 190301020

Çalışmanın video linki: <https://www.youtube.com/watch?v=5rcOpZ2GI0k>

Çalışmanın github linki:<https://github.com/Siencer/Fenerbah-e-niversitesi-RISC-V-Tabanl-lemci-Tasar-m->

##### Kaynaklar

1. tevent.tc