

Costruzione di un circuito 1-bit full adder e circuiti logici “OR” e “AND” in logica positiva

4° turno tavolo 5

Stefano Doria 0001093903

Giuseppe Luciano 0001077643

Aprile 2025

1 Abstract

2 Introduzione

In elettronica digitale una variabile elementare, chiamata variabile logica o variabile binaria, può assumere solamente due possibili valori e la tensione viene utilizzata come grandezza per definire gli stati logici alti e bassi. Nell'algebra di Boole vengono definite tre operazioni logiche elementari: AND, OR e NOT. Mentre il NOT inverte lo stato di una variabile logica, l'AND, ossia l'operatore prodotto indicato con \cdot la cui tavola di verità è visibile in 1, e l'OR, L'operatore somma indicato con $+$ con tavola di verità mostrata in 2, necessitano di due variabili in ingresso per restituire una condizione binaria in uscita.

A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Tabella 1: *La tabella mostra la tavola di verità del AND*

A	B	$A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Tabella 2: *La tabella mostra la tavola di verità del OR*

Per realizzare le due operazioni con un circuito si può usare una famiglia logica chiamata Diode Logic, che come suggerito dal nome, si basa sull'impiego di diodi. Come riferimento si assume che quando la differenza di potenziale applicata ai capi di tali dispositivi sia inferiore al valore di riferimento, assunto per convenzione $V = 0.7 \text{ V}$, prossimo al valore di soglia del diodo al silicio (V_γ), allora il dipolo si comporta come una resistenza dell'ordine del $\text{M}\Omega$, impedendo il passaggio di corrente nel ramo in cui è collocato. Nel caso contrario quando la d.d.p. ai capi del diodo è superiore al valore di riferimento allora quest'ultimo si comporta come una resistenza trascurabile, dell'ordine delle decine di Ω , in serie ad un generatore di tensione pari alla V_γ . Questo è dovuto al potenziale di contatto fra le due giunzioni

del semiconduttore con drogaggio differente che si attesta sui valori precedentemente presentati. Per una trattazione più completa del funzionamento delle giunzioni p-n si rimanda a [6773080]. Per quanto appena osservato risulta allora chiaro che la Fig ?? e Fig ?? realizzano le tavole di verità rispettivamente del AND e del OR. Per quanto concerne la tensione in uscita per la porta OR si può dimostrare che vale la seguente relazione.

$$V_{OUT} = (V_{GEN} - V_{\gamma}) \frac{R}{R_G - R} \quad (1)$$

Dove V_{GEN} è la tensione del generatore, R_G è la resistenza interna del generatore e R la resistenza visibile in ???. Si osserva quindi attenuazione del segnale in ingresso che può essere ridotta scegliendo una resistenza R grande rendendo $\frac{R}{R_G - R} \simeq 1$, dilatando però il tempo necessario affinché l'uscita cambi stato in seguito al cambiamento di stato di ingresso. Si è realizzato e testato inoltre un circuito Full-Adder, ossia un dispositivo logico in grado di svolgere la somma binaria. A differenza degli Half-Adder, questi dispositivi, oltre a prendere in ingresso i due numeri da sommare, hanno anche la possibilità di considerare un eventuale riporto proveniente da un operazione precedente. Presentano quindi tre diversi terminali di ingresso, due per i numeri da sommare, denominati A e B, ed uno per il riporto (*Carry in*), e due terminali di uscita, uno per la somma (*S*) e l'altro per il riporto (*Carry out*). La tavola di verità di questi dispositivi è visibile in Tab ??:

A	B	C_I	S	C_O
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tabella 3: La tabella mostra la tavola di verità di un full adder. La prime tre colonne corrispondono ai agli stati logici delle variabili logiche di ingresso (A), (B) e carry in (C_I), mentre le ultime due i terminali di uscita della somma (S) e del carry out (C_O).

Si osserva che

$$S = \bar{C}_i \bar{A} B + \bar{C}_i A \bar{B} + C_i \bar{A} \bar{B} + C_i A B \quad (2)$$

$$C_O = \bar{C}_i A B + C_i A \bar{B} + C_i \bar{A} B + C_i A B \quad (3)$$

È possibile poi semplificare queste espressioni, la dimostrazione è presente in Appendice ??, ottenendo:

$$S = C_i \oplus A \oplus B \quad (4)$$

$$C_O = A B + C_i (A + B) \quad (5)$$

Dove \oplus è l'OR esclusivo (EXOR), operazione analoga al OR ma con la differenza che restituisce un valore nullo quando sia A che B valgono uno. È possibile verificare la

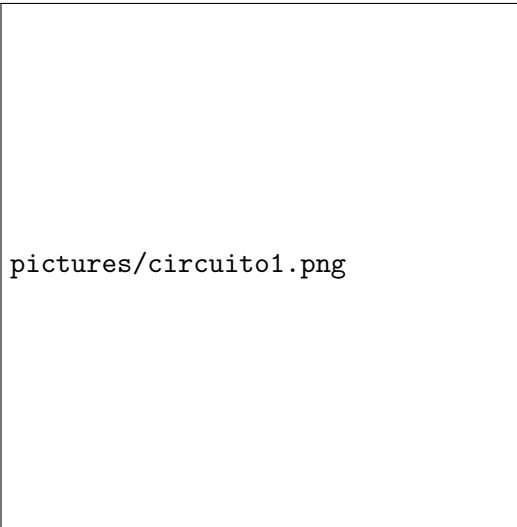


Figura 1: Schema del circuito tosatore a due livelli usato.

correttezza della relazione poiché $S=1$ quando, per $A=0$, B e C_I sono diversi e quindi $\text{EXOR}(B, C_I)=1$ oppure $A=1$ e B e C_I sono uguali, di conseguenza $\text{EXOR}(B, C_I)=0$. Invece $C_O=1$ quando $C_I=1$ ed A e B sono diversi, riconducibile ad AND fra C_i e EXOR tra A e B , oppure A e B sono uguali ad uno, corrispondente ad un AND fra A e B . Un possibile modo per realizzare quanto il relativo circuito è mostrato in Fig ???. Nonostante la correttezza del risultato sul piano logico un circuito così realizzato nasconde delle problematiche nella non simultaneità di variazione dello stato dalle due uscite, per ovviare a tale ritardo si possono usare dei circuiti sommatore più complessi la cui trattazione esula dai nostri scopi, per maggiori informazioni si faccia riferimento a [full Adder].

Ci si è poi concentrati sulla creazione di circuiti logici OR e AND in logica positiva mediante l'impiego di diodi al silicio. Queste due operazioni sono, insieme al NOT, per convenzione, le tre operazioni logiche fondamentali dell'algebra di Boole

3 Metodo sperimentale

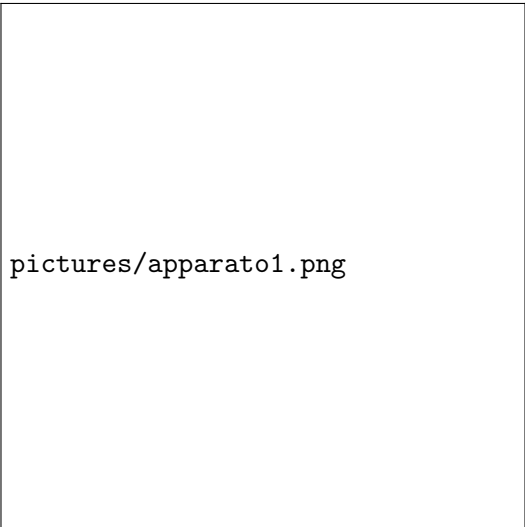


Figura 2: L'immagine mostra l'apparato sperimentale impiegato, con l'oscilloscopio, il multimetro, la breadboard e il generatore di tensione con anche il generatore di funzioni.

4 Risultati

4.1 Dati

Utilizzando il multimetro si è misurata la differenza di potenziale ai capi dei potenziometri nella configurazione impiegata per le valutazioni sulla semi-ampiezza ed i tempi di risalita; i valori impostati erano di (-2.0020 ± 0.0070) V e (2.0010 ± 0.0070) V. Invece, per la valutazione dell'onda asimmetrica, il valore della d.d.p in uno dei due rami con i diodi è stato fissato a (1.5000 ± 0.0060) V. Per tutte queste misure, l'incertezza è stata calcolata come da specifiche strumentali sommando 1 digit a 0.3% sulla lettura, con un fondo-scala da 6 V e una risoluzione di 0.001 V.

Lo stato logico basso è di (89.50 ± 0.37) mV, mentre quello alto è stato di (3.967 ± 0.021) V

A	B	A+B
0	0	109.80 ± 0.43 mV
0	1	4.029 ± 0.021 V
1	0	4.039 ± 0.021 V
1	1	4.026 ± 0.021 V

Tabella 4: La tabella riassume le misure di tensioni ottenute per L'OR con circuito integrato.

A	B	AB
0	0	$240.00 \pm 0.82 \text{ mV}$
0	1	$239.40 \pm 0.82 \text{ mV}$
1	0	$235.20 \pm 0.81 \text{ mV}$
1	1	$3.589 \pm 0.019 \text{ V}$

Tabella 5: La tabella riassume le misure di tensioni ottenute per l'AND con circuito integrato nella prima porta considerata.

A	B	AB
0	0	$248.90 \pm 0.85 \text{ mV}$
0	1	$260.80 \pm 0.88 \text{ mV}$
1	0	$251.30 \pm 0.85 \text{ mV}$
1	1	$3.584 \pm 0.019 \text{ V}$

Tabella 6: La tabella riassume le misure di tensioni ottenute per l'AND con circuito integrato nella seconda porta considerata.

A	B	$A \oplus B$
0	0	$261.70 \pm 0.89 \text{ mV}$
0	1	$4.945 \pm 0.026 \text{ V}$
1	0	$4.960 \pm 0.026 \text{ V}$
1	1	$298.6 \pm 1.0 \text{ mV}$

Tabella 7: La tabella riassume le misure di tensioni ottenute per L'EXOR con circuito integrato nella prima porta considerata.

A	B	$A \oplus B$
0	0	$259.40 \pm 0.88 \text{ mV}$
0	1	$4.979 \pm 0.026 \text{ V}$
1	0	$4.979 \pm 0.026 \text{ V}$
1	1	$299.2 \pm 1.0 \text{ mV}$

Tabella 8: La tabella riassume le misure di tensioni ottenute per L'EXOR con circuito integrato nella seconda porta considerata.

A	B	C_i	S	C_o
0	0	0	$263.00 \pm 0.89 \text{ mV}$	$86.80 \pm 0.36 \text{ mV}$
0	0	1	$4.973 \pm 0.026 \text{ V}$	$85.40 \pm 0.36 \text{ mV}$
0	1	0	$4.979 \pm 0.026 \text{ V}$	$85.40 \pm 0.36 \text{ mV}$
0	1	1	$296.90 \pm 0.99 \text{ mV}$	$4.069 \pm 0.021 \text{ V}$
1	0	0	$4.979 \pm 0.026 \text{ V}$	$84.70 \pm 0.35 \text{ mV}$
1	0	1	$297.00 \pm 0.99 \text{ mV}$	$4.072 \pm 0.021 \text{ V}$
1	1	0	$263.30 \pm 0.89 \text{ mV}$	$4.069 \pm 0.021 \text{ V}$
1	1	1	$4.977 \pm 0.026 \text{ V}$	$4.072 \pm 0.021 \text{ V}$

Tabella 9: La tabella mostra le misure di tensione relative alla tavola di verità del full adder.

A	B	$A + B$
0	0	$400.0 \pm 1.3 \text{ mV}$
0	1	$3.037 \pm 0.016 \text{ V}$
1	0	$3.036 \pm 0.016 \text{ V}$
1	1	$3.067 \pm 0.016 \text{ V}$

Tabella 10: La tabella riassume le misure di tensioni ottenute per il circuito OR realizzato con i diodi.

A	B	$A \cdot B$
0	0	$640.0 \pm 2.0 \text{ mV}$
0	1	$673.0 \pm 2.1 \text{ mV}$
1	0	$672.0 \pm 2.1 \text{ mV}$
1	1	$5.008 \pm 0.026 \text{ V}$

Tabella 11: La tabella riassume le misure di tensioni ottenute per il circuito AND realizzato con i diodi.

5 Conclusioni

6 Appendice

?? Partendo da:

$$\begin{aligned} S &= \bar{C}_i \bar{A} B + \bar{C}_i A \bar{B} + C_i \bar{A} \bar{B} + C_i A B \\ &= \bar{C}_i (\bar{A} B + A \bar{B}) + C_i (A B + \bar{A} \bar{B}) \\ &= \bar{C}_i (A \oplus B) + C_i (A \odot B) \\ &= \bar{C}_i (A \oplus B) + C_i \overline{(A \oplus B)} \\ &= C_i \oplus A \oplus B \end{aligned} \tag{6}$$

Invece per il carry out

$$\begin{aligned} C_O &= \bar{C}_i A B + C_i A \bar{B} + C_i \bar{A} B + C_i A B \\ &= A B (\bar{C}_i + C_i) + C_i (\bar{A} B + A \bar{B}) \\ &= A B + C_i (A \oplus B) \end{aligned} \tag{7}$$