

מעבדה במבוא למעגלים

דוח 4

Introduction to Transistors

שמות המגישים + ת"ז:

רותם סילם | 206663437

עדי גרין | 324965946

תאריך הגשה:

במקרה שלנו, $13=6+7=G$.

$$\text{gate width of } W = 240 + G \cdot 10 = 370 \text{ [nm]} = 0.37 \mu\text{m}$$

השער המינימלי של הרכיבים 18nmos, 18pmos הוא $0.42 \mu\text{m}$. אנחנו קיבלנו $0.37 \mu\text{m}$, שהוא יותר קטן מהערך המינימלי המותר, ולכן נשתמש בערך הדיפולטיבי $0.42 \mu\text{m}$.

1. (10 pts) In the report, draw a symbol of an NMOS and a symbol of a PMOS transistors. Where are the Source, Drain, Gate and Bulk nodes?



ברכיב NMOS: חיבור מתח נמוך בSOURCE, חיבור מתח גבוה בDRAIN.

ברכיב PMOS: חיבור מתח נמוך בDRAIN, חיבור מתח גבוה בSOURCE (הVDD).

2. (10 pts) In this lab we would like to simulate transistors by themselves, but like they are used in a CMOS circuit. What node/s should be the input of the transistors? What node/s should be the output? What node/s should be fixed, and what are their voltage values (of the fixed node/s, in terms of VDD or 0)?

• **GATE** - שולט על פתיחת התעלה בין Source ל-DRAIN.

Gate NMOS = "פותח שער" למעבר אלקטרונים כשיש מספיק מתח חיובי ("יפתח" עבור: $V_{GS} > V_{TH}$)

Gate PMOS = פותח שער כשהוא מספיק "שלילי" יחסית ל-Source ("יפתח" עבור: $V_{SG} > |V_{TH}|$)

• **DRAIN** - הפלט של המעגל.

NMOS - כיוון זרימת אלקטרונים: מה- SOURCE ל- DRAIN (כלומר כיוון הזרם מה- DRAIN ל- SOURCE)

PMOS - כיוון זרימת חורים: מה- DRAIN ל- SOURCE.

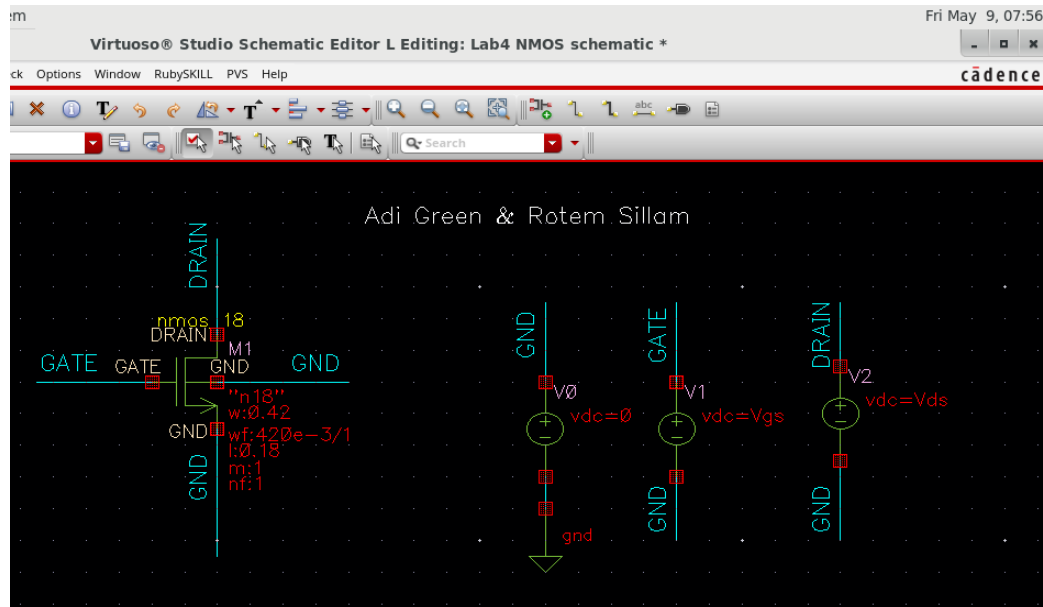
• **SOURCE, BULK** - חיבורים קבועים.

ב NMOS - אנו קובעים שהמתחים על SOURCE ועל BULK מחוברים לאדמה כלומר ערכם הינו 0 וולט.

ב PMOS - אנו קובעים שהמתחים על SOURCE ועל BULK מחוברים למתח VDD.

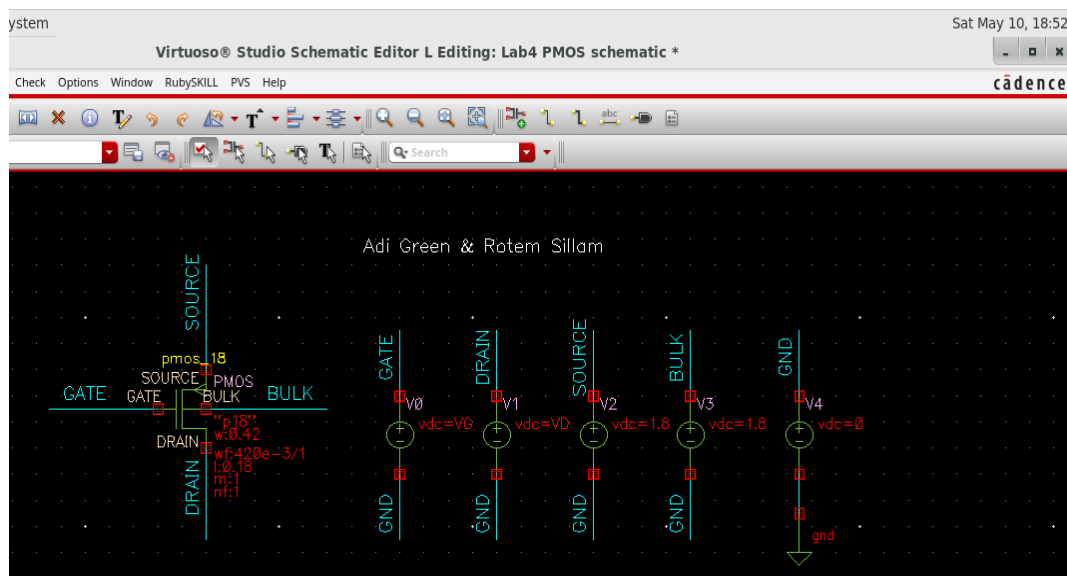
3. (15 pts) Create a test bench for the following devices: nmos 18, pmos 18. If the gate width you set is under the minimum, use the minimum width. Connect the transistor's terminals according to your answer on item 2.

- יצרנו קובץ בשם "NMOS" על מנת לייצר את הרכיב:
 - השתמשנו ברכיב "18 nmos" ולכן $VDD=1.8V$.
 - כפי שאמרנו סעיף 2, SOURCE ו-BULK מחוברים לאדמה.
 - קראנו למתח על GATE בשם "VGS" מכיוון ש- $VGS=VG-VS=VG-0=VG$, ולכן $VGS=VG$.
 - קראנו למתח על DRAIN בשם "VDS" מכיוון ש- $VDS=VD-VS=VD-0=VD$, ולכן $VDS=VD$.



• PMOS

- יצרנו קובץ בשם "PMOS" על מנת לייצר את הרכיב.
- השתמשנו ברכיב "18 pmos" ולכן $VDD=1.8V$.
- כפי שאמרנו סעיף 2, SOURCE ו-BULK מחוברים ל- VDD .
- את המתח על GATE סימנו ב- VG . את המתח על ה-DRAIN סימנו ב- VD .



4. (25 pts) run a DC sweep simulation on VDS (For NMOS, VSD for PMOS) between 0 and VDD for 5 values of VGS (VSG) between $0.1 \cdot VDD$ and VDD. Show and explain the IDS (ISD) current of each transistor (including the different regions: cutoff, linear, saturation).

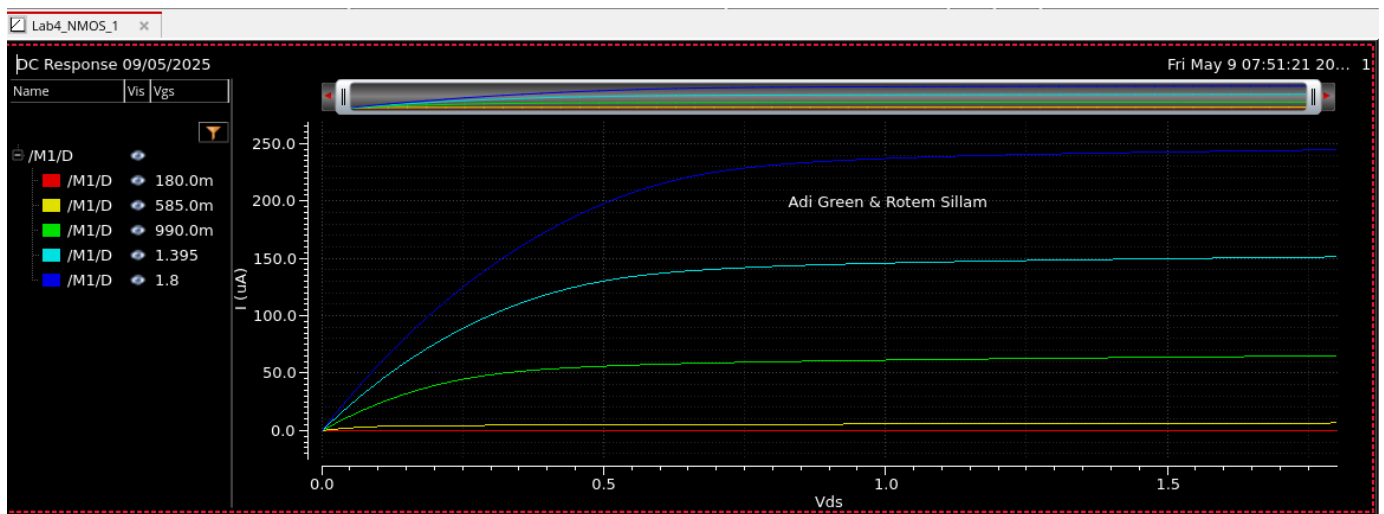
רכיב NMOS:

הרצנו את הסימולציה על המתח VDS שנע בין 0 ל- $VDD=1.8V$

נעשה זאת עבור 5 ערכים של המתח VGS בין 0.18V עד המתח 1.8V בקפיצות של 0.405V, כך שקיבלנו בדיקה על הערכים: 0.18, 0.585, 0.99, 1.395, 1.8 (יחידות volt לחמישתם).

ובדקנו איך הזרם IDS משתנה בהתאם לכך.

נזכיר כי כפי שהסברנו סעיף 3, עבור mos בעל חיבור הארקה ל-SOURCE מתקיים: $VGS=VG$, $VDS=VD$.



נחלק לתחומים:

<p>כאשר המתח של ה-GATE קטן ממתח הסף, הרכיב mos כמעט כבוי לגמרי, יש זרם מאד נמוך, אפסי (זליגה). ניתן לראות זאת בעקומות של המתחים 0.18V, 0.585V, ו (עקומה צהובה ואדומה) כמעט אין זרם.</p>	<p><u>Cut-off</u></p> $V_{GS} < V_{TH}$ $I_{DS} = 0$
<p>כאשר המתח של ה-GATE גדול ממתח הסף, ובנוסף המתח VDS קטן מהמתח VDSAT (מתקיים: $VDSAT = VGS - V_{TH}$), אז הרכיב mos נמצא במצב לינארי. ניתן לראות את התחום הזה בגרפים כאשר השיפוע של הגרף נשאר קבוע, כלומר הזרם עולה ביחס לינארי למתח VDS. נשים לב כי ככל שהמתח VGS יותר גדול כך תחום הלינאריות גדול יותר, מאחר שדרוש מתח VDS יותר גדול על מנת "לצאת" מאזור זה.</p>	<p><u>LINEAR</u></p> $V_{GS} > V_{TH}$ $V_{DS} < V_{DSAT}$ $I_{DS} = K_n((V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2)$
<p>כאשר המתח של ה-GATE גדול ממתח הסף, ובנוסף המתח VDS גדול מהמתח VDSAT או נמצאים במצב של סאטורציה- מצב שבו שכבת המחסור מגיעה לגודלה המרבי, ולכן הזרם כמעט קבוע. ניתן לראות זאת בגרף כאשר העקומה מתיישרת (הזרם מתייצב על ערך כמעט קבוע). ככל שהמתח VGS יותר קטן, כך הרכיב נכנס למצב סטורציה יותר מהר, מאחר שדרוש VDS יותר קטן כדי להיכנס למצב זה.</p>	<p><u>Saturation</u></p> $V_{GS} > V_{TH}$ $V_{DS} > V_{DSAT}$ $I_{DS} = \frac{1}{2}K_n(V_{GS} - V_{TH})^2$

רכיב PMOS:

מבדיקה עם מתרגל, למרות שהתבקשנו לעשות סימולציה על VSD, נריץ את הסימולציה על המתח VD, ובמקום לבחור ערכים ל-VSG, נבחר ערכים עבור VG וזאת מכיוון שאנחנו רוצים להראות התנהגות מסוימת כתלות בערכים שאנחנו משנים. הSource הוא ערך קבוע, ולכן הוא לא ישפיע על ההתנהגות הכללית.

עבור pmos בעל חיבור VDD ל-SOURCE מתקיים:

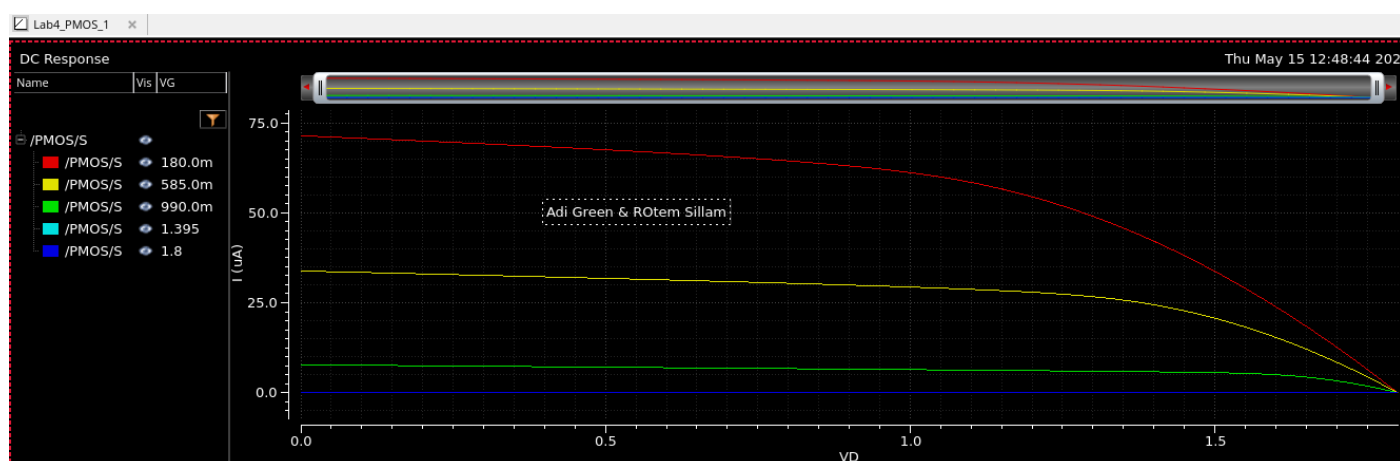
$$VSG = V_{source} - V_{gate} = 1.8v - V_{gate}$$

$$VSD = V_{source} - V_{drain} = 1.8v - V_{drain}$$

ולכן הרצנו את הסימולציה על המתח VD שנע בין 0 ל-1.8v VDD

נעשה זאת עבור 5 ערכים של המתח VG בין 0.18v עד המתח 1.8v בקפיצות של 0.405v, כך שקיבלנו בדיקה על הערכים: 1.8, 1.395, 0.99, 0.585, 0.18 (יחידות volt לחמישתם).

ובדקנו איך הזרם ISD משתנה בהתאם לכך.



<p>בשאלה זו אנחנו משנים את Vgate, כלומר ככל Vgate גדל, כך VSG קטן וכך גם הזרם קטן. כאשר המתח של ה-VSG קטן ממתח הסף (Vth), הרכיב pmos כמעט כבוי לגמרי, יש זרם מאד נמוך, אפסי (זליגה). ניתן לראות זאת שבעקומות הכחולה והתכלת של המתחים 1.395, 1.8 וולט-כמעט אין זרם.</p>	<p>:Cut-off</p> $V_{SG} < V_{TH} $ $I_{DS} = 0$
<p>כאשר המתח VSG גדול ממתח הסף, ובנוסף המתח VSD קטן מהמתח VDSAT (מתקיים: $V_{DSAT} = V_{SG} - V_{TH}$), אז הרכיב pmos נמצא במצב לינארי. ניתן לראות את התחום הזה בגרפים כאשר השיפוע של הגרף נשאר קבוע, כלומר הזרם עולה ביחס לינארי למתח VD. נשים לב בהתאמה לערך מתח source קבוע, כי ככל שהמתח VSG יותר גדול (כלומר ככל שVG יותר קטן) כך תחום הלינאריות גדול יותר, מאחר שדרוש מתח VSD יותר גדול על מנת "לצאת" מאזור זה (ככל שVD יותר קטן, כך נקבל מתח VSD יותר גדול).</p>	<p>:LINEAR</p> $V_{SG} > V_{TH} $ $V_{SD} < V_{DSAT}$ $I_{SD} = K_n((V_{SG} - V_{TH})V_{SD} - \frac{1}{2}V_{SD}^2)$
<p>כאשר המתח VSG גדול ממתח הסף, ובנוסף המתח VSD גדול מהמתח VDSAT או נמצאים במצב של סאטורציה- מצב שבו שכבת המחסור מגיעה לגודלה המרבי, ולכן הזרם כמעט קבוע. ניתן לראות זאת בגרף כאשר העקומה מתיישרת (הזרם מתייצב על ערך כמעט קבוע). ככל שהמתח VSG יותר קטן (כלומר VG יותר גדול), כך הרכיב נכנס למצב סטורציה יותר מהר, מאחר שדרוש VSD יותר קטן כדי להיכנס למצב זה.</p>	<p>:Saturation</p> $V_{SG} > V_{TH} $ $V_{SD} > V_{DSAT}$ $I_{SD} = \frac{1}{2}K_n(V_{SG} - V_{TH})^2$

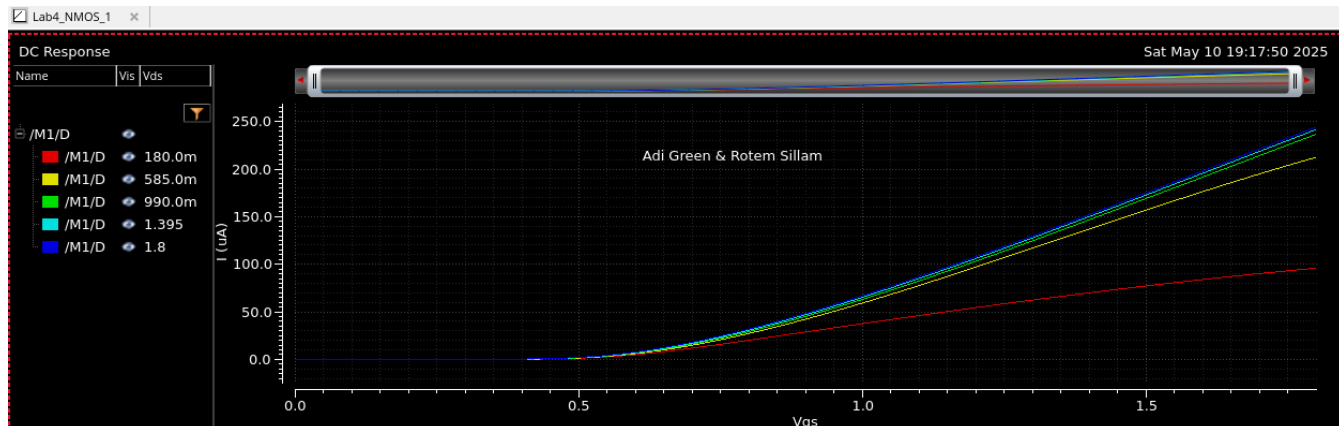
5. (25 pts) run a DC sweep simulation on VGS (VSG) between 0 and VDD for 5 values of VDS (VSD) between $0.1 \cdot VDD$ and VDD. Show and explain the IDS (ISD) current of each transistor.

• עבור NMOS:

הפעם הרצנו סימולציית DC על VGS עבור ערכי VDS שונים (בחרנו ערכים זהים לערכים שבחרנו בסעיף 4 עבור VGS, ובדקנו איך הזרם IDS משתנה בהתאם לכך).

בהתאם למה שרשמנו סעיף קודם, גם כאן ניתן לראות שהגרף מתחיל ממצב cut-off ולאחר מכן עובר למצב ליניארי (המעבר קורה כאשר $VGS > V_{TH}$ ובנוסף $VDS < VGS - V_{TH}$).

ניתן לראות כי אנו לא מגיעים לערך קבוע, כלומר לא מגיעים למצב של סטורציה. אם היינו בוחרים ערך VDD (שזהו הערך הגבוה ביותר של המתח VDS) גדול יותר, היינו יכולים להגיע למצב של סטורציה.



• עבור PMOS:

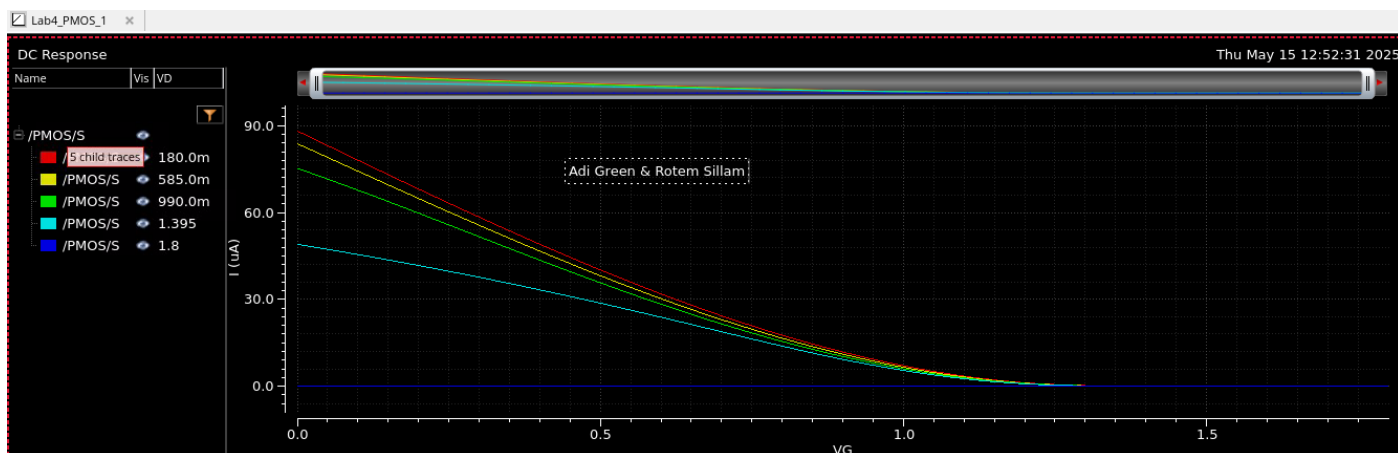
פה הרצנו סימולציית DC על VG עבור ערכי VD שונים.

נקבל את אותן מסקנות עבור NMOS.

ניתן לראות שעבור ערכי VG יותר ויותר גדולים, הגרף נכנס למצב cut-off וזאת מכיוון שהמתח VSG קטן, ואז מתקיימת הנוסחה $VSG < |V_{th}|$.

בשאר הגרף אנחנו בקירוב במצב ליניארי (המעבר קורה כאשר $|V_{th}| < VSG < |V_{th}| + VSD$ בנוסף $VSD < VSG - |V_{th}|$).

אם היינו בוחרים ערך VDD (שזהו הערך הגבוה ביותר של המתח VSD) גדול יותר, היינו יכולים להגיע למצב של סטורציה באופן מובהק.

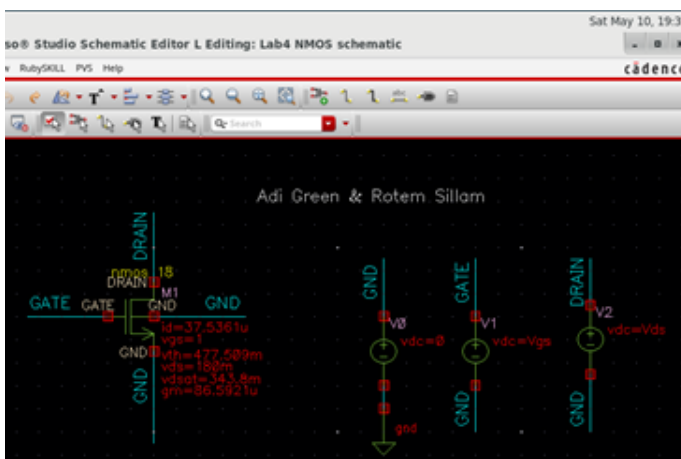


6. (15 pts) Evaluate the threshold voltage of each transistor and compare them in a table (according to the parameter extraction section in the lab's booklet).

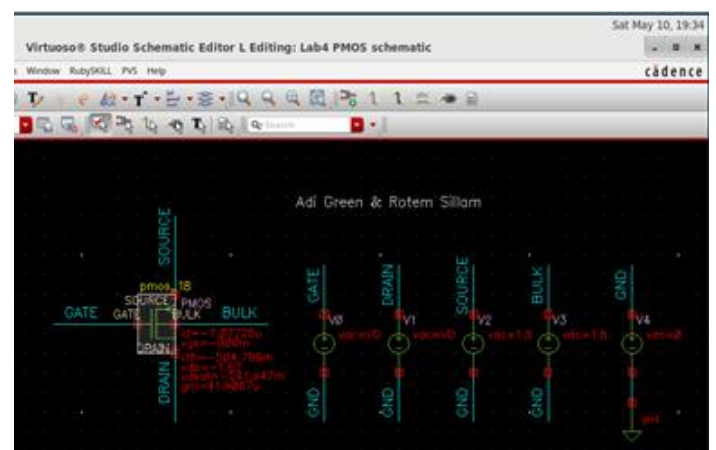
נרצה לבדוק מה ערכי Threshold של כל טרנזיסטור. הרצנו לפי ההגדרה שיש בשאלה 5 עבור כל משתנה. בסימולציית dc סימנו בוי את save dc operating point, והרצנו את הסימולציה. לאחר שהיא סיימה לרוץ עשינו קליק ימני על הנתונים dc operating points -> annotation -> pmos/nmos, וקיבלנו ליד כל טרנזיסטור (באדום) את הנתונים שלו, ביניהם גם נתון הthreshold (כתוב vth).

Threshold voltage	
477.509mV	NMOS 18
-504.798mV	PMOS 18

NMOS 18:



PMOS 18:



טרנזיסטור NMOS מתחיל להוליך זרם כאשר מפעילים מתח חיובי VGS ("פותח את התעלה").

נושאי המטען הם אלקטרונים, והם נעים מה Source ל Drain (כלומר הזרם זורם מה Drain ל Source).

כאשר מעלים את המתח VGS, בשלב מסוים הטרנזיסטור מתחיל להוליך – והנקודה הזו מוגדרת כ V Threshold - מתח הסף. ניתן לראות שהזרם מתחיל (מתחיל הפיצול בין הצבעים של העקומות) בערך בנקודה של Vth שמצאנו.

טרנזיסטור PMOS פועל בכיוון ההפוך ל NMOS.

הוא מתחיל להוליך כאשר ה-Gate במתח שלילי ביחס ל-Source (כלומר VSG שלילי).

נושאי המטען הם חורים, והם נעים מה Source ל Drain (כאשר זהו גם כיוון הזרם).

כאשר מעלים (בערך מוחלט) את המתח VSG, בשלב מסוים הטרנזיסטור מתחיל להוליך (התעלה נפתחת) – והנקודה הזו מוגדרת כ V Threshold - מתח הסף.