

מעבדה במבוא למעגלים

דוח 6

CMOS Gates

שמות המגישים + ת"ז:

רותם סילם | 206663437

עדי גריין | 324965946

תאריך הגשה:

1. Please design a schematic of the following gates in CMOS topology (Fig 6.1): $\alpha = (0, \text{NAND}2, 1, \text{NOR}2)$ where the "2" means the number of inputs to the gates, i.e. 2 is the minimum. Use the β from the assignment parameters. Show proper operation (transient simulation with all 4 possible inputs).

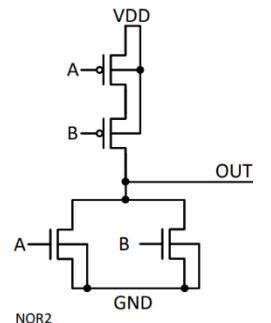
$$\alpha = 13 \bmod 2 = 1$$

$\beta = 2 + 0.2\alpha = 2.2 \Rightarrow \text{Set } \beta \text{ for the PMOS}$

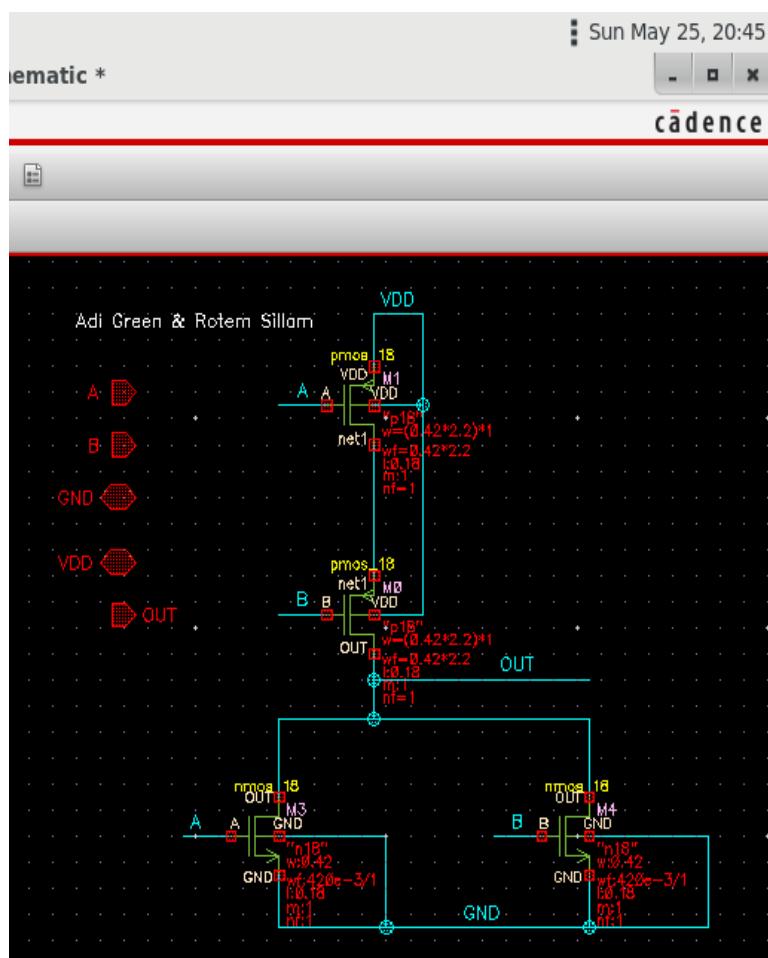
מאתה ש- $\alpha=1$, אנו צריכים ליצור את השער NOR2.

פתחנו תיקיה בשם "Lab6", וקובץ בשם "NOR".

יצרנו את NOR2 לפי התמונה המצורפת מהמטלה:



הכפלנו את ה- β -היפולטובי של PMOS (שהוא 0.42) ב-2.2 (0.42 * 2.2).



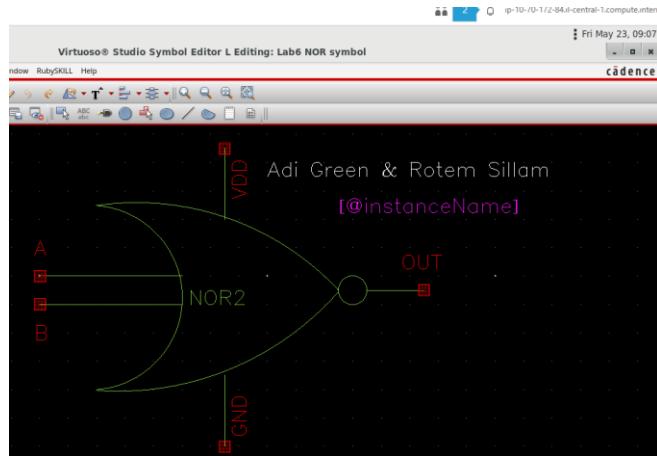
הגדרנו את הפינים:

A,B- input

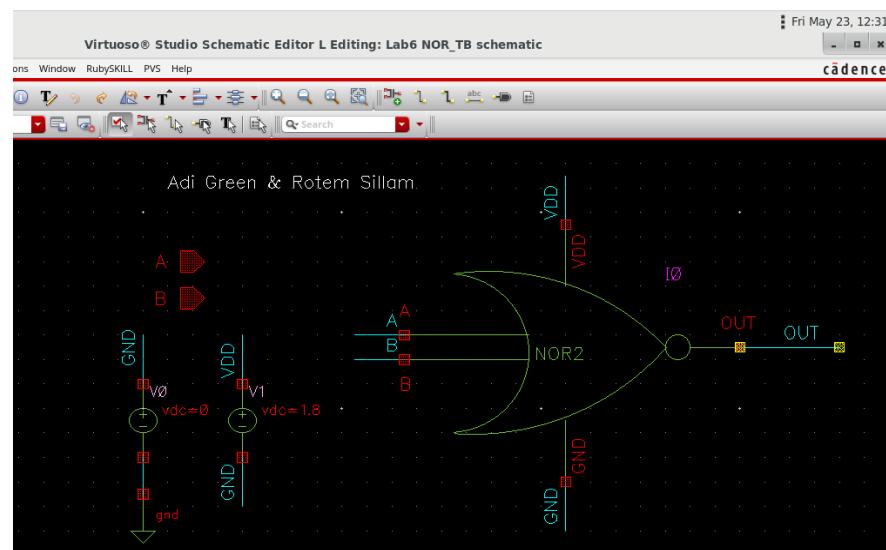
OUT-output

GND,VDD-input and output

יצרנו symbol לمعالג:



יצרנו קובץ חדש "NOR_TB", בשביל Test Bench. קבענו את VDD להיות 1.8v, מאחר ש: $VDD = 1.5 + \frac{G \text{ mod } 10}{10} = 1.5 + \frac{13 \text{ mod } 10}{10} = 1.8v$, וכן נוכל להכניס את הכניסות הלוגיות. חיבורנו פינים ל-A, B OUT.



יצרנו קובץ vec, ע"י כתיבת הפקודה "ב-טראינר .terminal code vec_file.vec"

```

vec_file.vec
project > tower > users > sillamr > ws > vec_file.vec
1 #Adi Green & Rotem Sillam
2 radix 1 1
3
4 io i i
5
6 vname A B
7
8 tunit ps
9
10 trise 5
11 tfall 5
12
13 vih 1.8
14 vil 0
15
16 voh 1.8
17 vol 0
18
19 0 0 0
20 200 1 0
21 400 0 0
22 600 0 1
23 800 1 1
24
--
```

כמויות הביטים לכל כניסה, במקרה שלנו לכל כניסה יש ביט
1 1 radix 0/1 - אחד שאינו
0 0 - מגדיר שככל הפענים הם קליטים
i o - מגדיר ששמות הפענים (לפי הסדר זהה)
vname A B - מגדיר שיחידת הזמן בקובץ היא פיקו שניות .
tunit ps - מגדיר שיחידת הזמן בקובץ היא פיקו שניות .
trise 5 - זמן העליה הינו 5 פיקו שניות
tfall 5 - זמן הירידה הינו 5 פיקו שניות

הגדרת המתחים של הכניסה הנמוכה והגבוהה בהתאם:
vih 1.8, vil 0

הגדרת המתחים של היציאה הנמוכה והגבוהה בהתאם:
voh 1.8, vol 0

קביעת הזמן שבם הסיגנלים ישתנו, כאשר העמודה הראשונה משמאל מייצגת את זמני השינוי בפיקו לשניות, העמודה השנייה מייצגת את הערכים הלוגים ב-A, והעמודה השלישית את הערכים הלוגים ב-B.

עשינו סימולציה של tran עם זמן עצירה של 100ns.

"באו את הקובץ vec, ע"י: setup -> simulation files ->vector files ->vec_file.vec
ונוסיף לסימולציה את הסיגנלים A,B,OUT.



זהו הגרף שקיבלנו.
ניתן לראות כי אכן קיבלנו את שער NOR כי שרצינו לקבל.
עבור שער זה, אנו מקבלים מתח גבוה ביציאה, כלומר $V_{out}=V_{DD}=1.8V$, רק עבור $A=B=0$.
העלויות והירידות אינן חדות ומידיות, מאחר שמדובר ברכיבים פיזיים ולכן יש זמן שההיה, (נסביר בפירוט בהמשך).

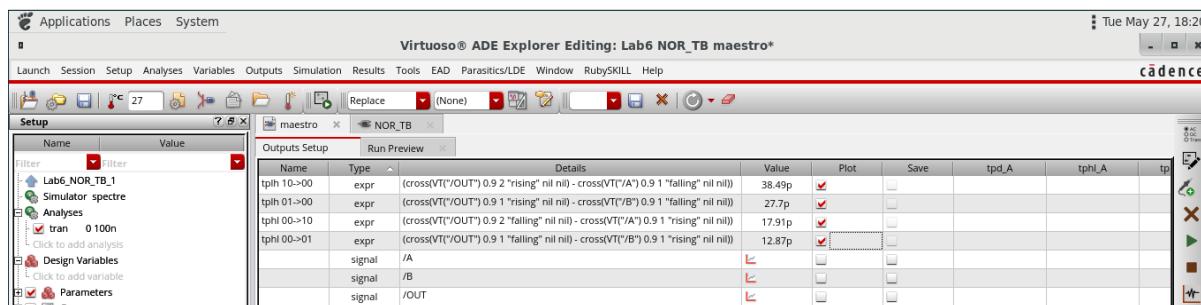
A	B	$A \downarrow B$
0	0	1
0	1	0
1	0	0
1	1	0

2. Using simulations, calculate the t_{phl} and t_{plh} of the gate for all possible transitions (use VEC file, you can ignore 00 to 11 and vice versa), and show them in a table in descending order (highest value first). For each value, write the corresponding transitions. Explain the differences.

שינו את קובץ vec, כך שיהיה כל המעברים האפשריים של עליה לירידה ולהיפך ב-*Vout* (חו"מ-00->11, ולהיפך), וזאת על מנת לחשב את הזמןים t_{plh}, t_{phl} כפ"י שנדרשו.

```
vec_file.vec •
project > tower > users > sillamr > ws > vec_file.vec
1 #Adi Green & Rotem Sillam
2 radix 1 1
3
4 io i i
5
6 vname A B
7
8 tunit ps
9
10 trise 5
11
12 tfall 5
13
14 vih 1.8
15 vil 0
16
17 voh 1.8
18 vol 0
19
20 0 0 0
21 200 0 0
22 400 0 1
23 600 0 0
24 800 1 0
25 1000 0 0
--
```

"באו את הנוסחות מה-calculateor"



כפי שהסבירנו במעבדה הקודמת:
זמן t_{plh} - זה הזמן שלוקח לצאתו ממתח נמוך למתח גבוה. זהו ההפרש בין הזמן שלוקח ל-*Vout* לעבור את ה-50% כאשר הוא עולה ממתח נמוך לגובה, לבין הזמן שלוקח לחוזק ל-*Vin* לעבור את ה-50% כאשר הוא יורד ממתח נמוך.
זמן t_{phl} - זה הזמן שלוקח לצאתו ממתח גבוה למתח נמוך. זהו ההפרש בין הזמן שלוקח ל-*Vout* לעבור את ה-50% כאשר הוא יורד ממתח גובה לנמוך, לבין הזמן שלוקח לחוזק ל-*Vin* לעבור את ה-50% כאשר הוא עולה ממתח נמוך לגובה.
את החישוב הזה נעשה באמצעות הפונקציה שהגדירנו עבורי `calculator`, כאשר היא משתמשת בפונקציית `cross` המחזירה את הזמן שבו האות חוצה את הערך שהגדירנו לו (אנחנו הגדרנו לו $VDD \cdot 0.5 = 0.9V$), ואת כיונו (כיוון עלייה או ירידה בהתאם לנדרש).

לשים לב כי כתבנו 2 לפני rising/falling של *Vout*, הסיבה היא שזאת הפעם שנייה ש-*Vout* יורד/עליה.

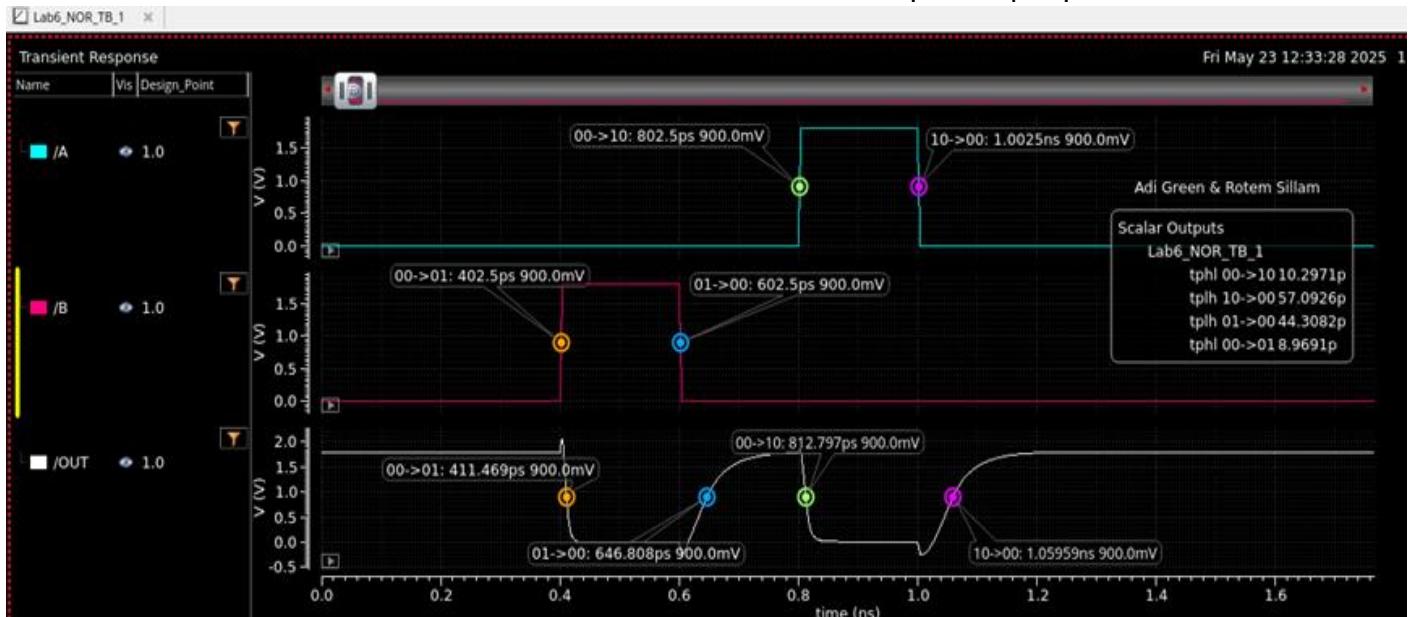
ניתן לראות את הנקודות של ה

- 01<-00 tphi
- 00<-01 tpjh
- 10<-00 tpjh
- 00<-10 tpjh

VDD*0.5=0.9V.

הנקודות הכתומות הן:
 הנקודות הכהולות הן:
 הנקודות הירוקות הן:
 הנקודות הסגולות הן:

חסבנו ידנית את הפרשיהם בין הנקודות ואכן יצאו תשובות זהות לתשובות של ה-calculator:



נשוו את הזמן:

tphi 10->00	expr	(cross(VT("/OUT") 0.9 2 "rising" nil nil) - cross(VT("/A") 0.9 1 "falling" nil nil))	38.49p
tphi 01->00	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil) - cross(VT("/B") 0.9 1 "falling" nil nil))	27.7p
tphi 00->10	expr	(cross(VT("/OUT") 0.9 2 "falling" nil nil) - cross(VT("/A") 0.9 1 "rising" nil nil))	17.91p
tphi 00->01	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil) - cross(VT("/B") 0.9 1 "rising" nil nil))	12.87p

כפי שניתן לראות, הזמנים של tpjh יותר גדולים מהזמןם של tphi. ישנו 2 סיבות:

1. כפי שאמרנו, tpjh זה הזמן שבו האות יורד מ-High ל-Low, ולכן NMOS פורק את הקבל לIRQ. הזמן tpjh זהו

זמן שבו האות עולה מ-Low ל-High, ולכן PMOS טוען את הקבל מה-VDD.

כפי שראינו במעבדה הקודמת, הזרמים ב-NMOS ו-PMOS מאוזנים כאשר beta שווה בקירוב ל-3.7. במקרה שלנו,

beta=2.2, ולכן NMOS חזק יותר (הרינו במעבדה הקודמת שככל שהערך של beta קטן יותר מערך ה-beta של המיצב המאוזן-NMOS חזק יותר).

אחר-Sh-NMOS חזק יותר, הזרם שלו חזק יותר ולכן פורק יותר מההטינה של PMOS

2. ניתן לראות שבשער NOR, רכיב NMOS מחוברים במקביל ורכיב PMOS מחוברים בטו. בטו יש צורך לבדוק כי

שני הרכיבים דולקים והתעליה יותר ארוכה (מחוברים ביחד), ולכן הזמן יותר אליו. במקביל, מספיק שאחד מהרכיבים

דלווק ויש יותר מסלולים לעبور דרכם, ולכן הזמן יותר מהיר.

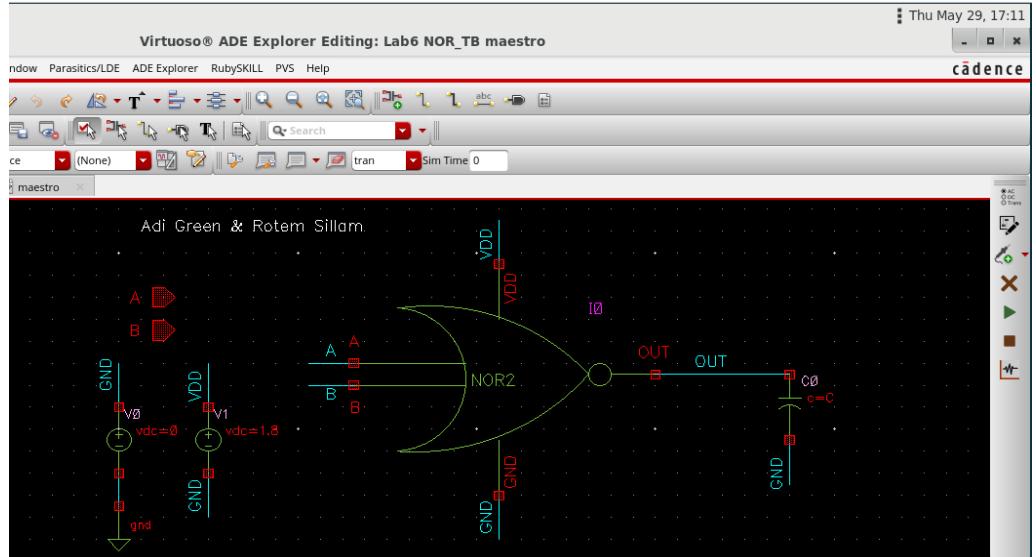
ולכן רכיבי ה-S-NMOS יותר מהירים מרכיבי ה-PMOS.

בנוספ', כפי שניתן לראות, הזמן שכאשר הערך של A משתנה (0->10 ולהיפך), יותר גדולים מהזמןם של B מאשר (00->01 ולהיפך).

הסיבה היא שרכיבי ה-PMOS, כפי שניתן לראות, רכיב הכניסה של A יותר רחוק פיזית מה-tso מאשר רכיב הכניסה של B, ולכן יקח לו יותר זמן להגיע ל-out.

ברכיבי NMOS, אין הבדל במרקם הפיזי מה-OUT, ולכן לא אמור להיות הבדל בזמן המשום שהם מחוברים במקביל. ואכן קיבלנו הבדל של כ-5 פיקו, בغالל שגיאות זניחות. (בדיקה עם מתרגל, זה אכן נכון).

3. Add a capacitor at the output of the gate. Calculate the dynamic energy for each transition from before that changed the output for 10 different values of capacitance from 1[fF] to 100[fF], and find the worst one. Make sure to set period long enough so the biggest capacitor will be fully charged. Also, calculate the static power for each input state. Explain. In the lecture we saw $E_{dynamic} = CL * VDD^2$, does it match the results? Proof.

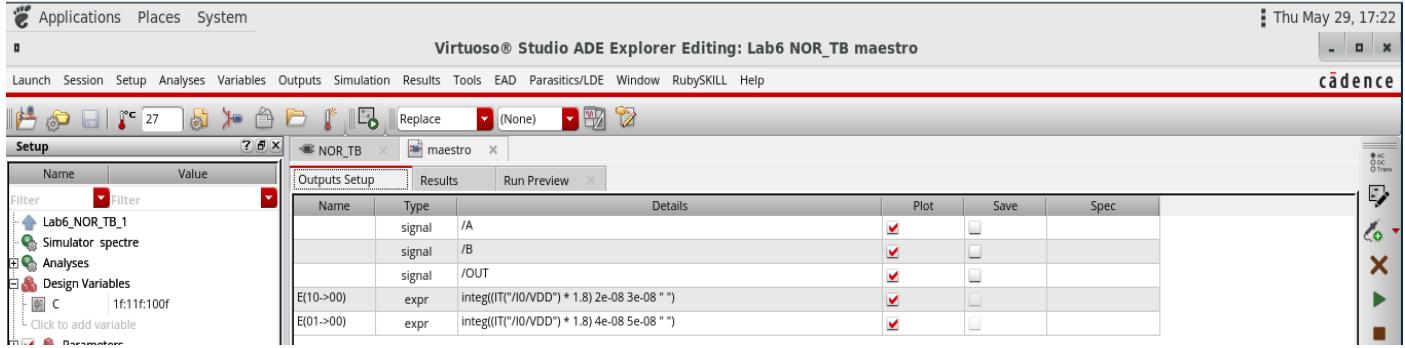


```
project > tower > users > sillamr > ws > vec_file.vec
1 #Adi Green & Rotem Sillam
2 radix 1 1
3
4 io i i
5 vname A B
6 tunit ps
7 trise 5
8 tfall 5
9 vih 1.8
10 vil 0
11 voh 1.8
12 vol 0
13 0 0 0
14 10000 1 0
15 20000 0 0
16 30000 0 1
17 40000 0 0
25
```

הגדרכנו לקבל שקוופץ עבור 10 ערכים שונים בין 1f ל-100nf כנדרש. בperiment הזרם בVDD הינו אפסי (זילגה) ולכן בודקים את האנרגיה רק בעליות של Vout, כלומר בטעינת הקבל.

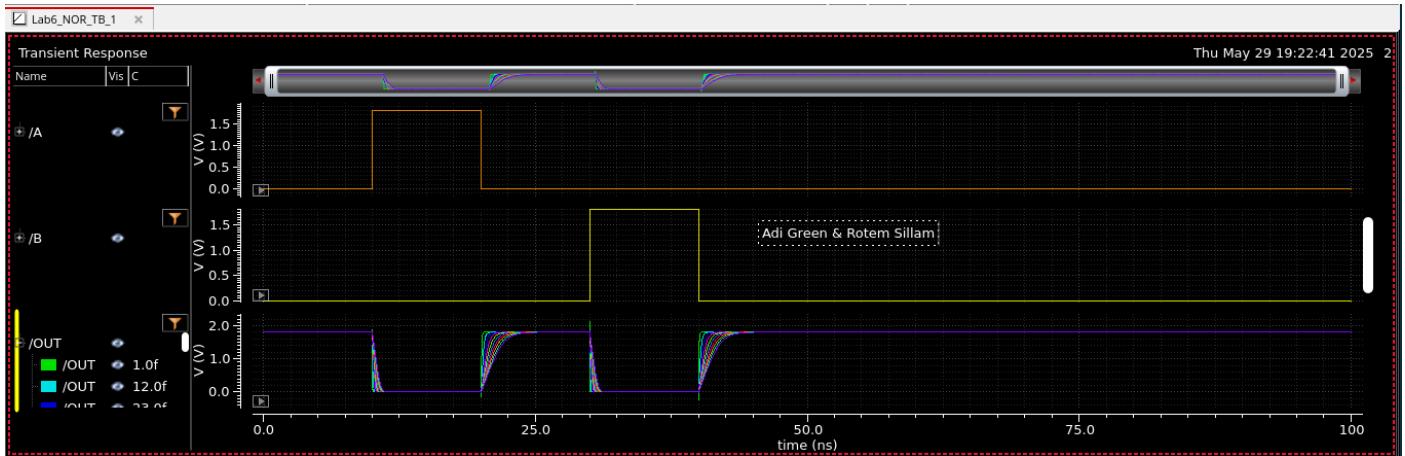
זמן סיום (sec)	זמן התחלתה (sec)	Output change (volt)	Input change (AB->AB) כניסות מתנה לאו'
30n	20n	0->1	10->00
50n	40n	0->1	01->00

הגדreno 2 פונקציות לחישוב האנרגיה הדינמית בטעינה (בחרנו זמנים בהתאם: D שולמו בהרצאה: $I_{VDD} * VDD$)



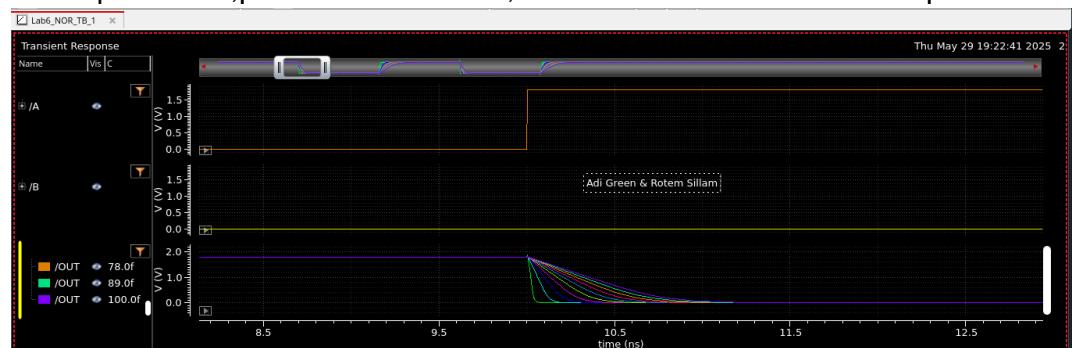
קיבלו את הגרף הבא:

- בהתחלת ראיינו שעבור הזמנים ששםנו בסעיף הקודם, לא קיבלנו עبور כל קיבול הגעה ל VDD (התמלאות קבל), אך שינו בקובץ `vec` לזמןים יותר גדולים כדי הגיעו למתח זה.

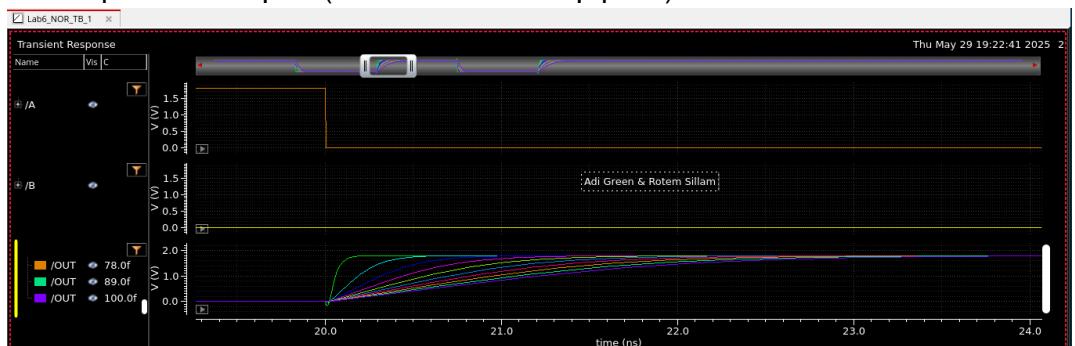


ניתן לראות שיש התנהוגות שונה עבור פריקה וטעינה (יצא שלא בהכרח סימטריים). זה נובע מכך ששסומק אחראי על טעינה, יסומח על פריקה, ויש שינוי בנתונים שלהם.

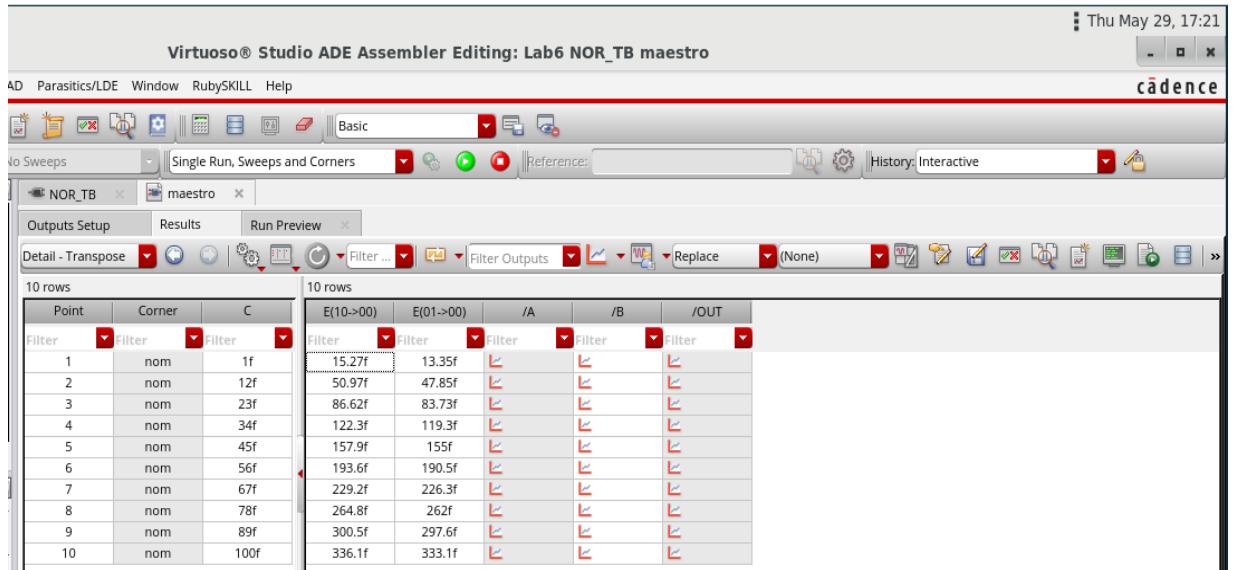
בירידה - ניתן לראות שככל שאנו מגדילים את C , השיפוע نهاיה יותר מתון, ככלומר הפקה גדול.



בעליה – ככל שאנו מגדילים את C , השיפוע نهاיה יותר חד, ככלומר הפקה קטן. ככלומר נצפה לקבל את האנרגיה הדינמית הגדולה ביותר עבור C הגדול ביותר (C הקטן ביותר הוא גרווע). ניתן לראות שמתוקים לפי הנתונים בטבלה הבאה.



קיבלו עבור 2 העליות שלנו את הנתונים הבאים:



נציג בטבלה על מנת להציג את התוצאות שקיבלו מהוירטואוזו, ביחס לنتائج שקיבלו עבור חישוב יידי של E לפני הנוסחה הנתונה:

$$E_{dynamic} = C * VDD^2$$

הנתונים שייצאו עבור (E(10->00))

VDD[v]	C[F]	E(10->00) virtuoso [J]	Edaynamic [J] חישוב יידי -	delta = Evirtuoso - יידי
1.8	1.00E-15	1.53E-14	3.24E-15	1.20E-14
1.8	1.20E-14	5.10E-14	3.89E-14	1.21E-14
1.8	2.30E-14	8.66E-14	7.45E-14	1.21E-14
1.8	3.40E-14	1.22E-13	1.10E-13	1.21E-14
1.8	4.50E-14	1.58E-13	1.46E-13	1.21E-14
1.8	5.60E-14	1.94E-13	1.81E-13	1.22E-14
1.8	6.70E-14	2.29E-13	2.17E-13	1.21E-14
1.8	7.80E-14	2.65E-13	2.53E-13	1.21E-14
1.8	8.90E-14	3.01E-13	2.88E-13	1.21E-14
1.8	1.00E-13	3.36E-13	3.24E-13	1.21E-14

הנתונים שייצאו עבור (E(01->00))

VDD[v]	C[F]	E(01->00) virtuoso [J]	Edaynamic [J] חישוב יידי -	delta = Evirtuoso - יידי
1.8	1.00E-15	1.34E-14	3.24E-15	1.01E-14
1.8	1.20E-14	4.79E-14	3.89E-14	8.97E-15
1.8	2.30E-14	8.37E-14	7.45E-14	9.21E-15
1.8	3.40E-14	1.19E-13	1.10E-13	9.14E-15
1.8	4.50E-14	1.55E-13	1.46E-13	9.20E-15
1.8	5.60E-14	1.91E-13	1.81E-13	9.06E-15
1.8	6.70E-14	2.26E-13	2.17E-13	9.22E-15
1.8	7.80E-14	2.62E-13	2.53E-13	9.28E-15
1.8	8.90E-14	2.98E-13	2.88E-13	9.24E-15
1.8	1.00E-13	3.33E-13	3.24E-13	9.10E-15

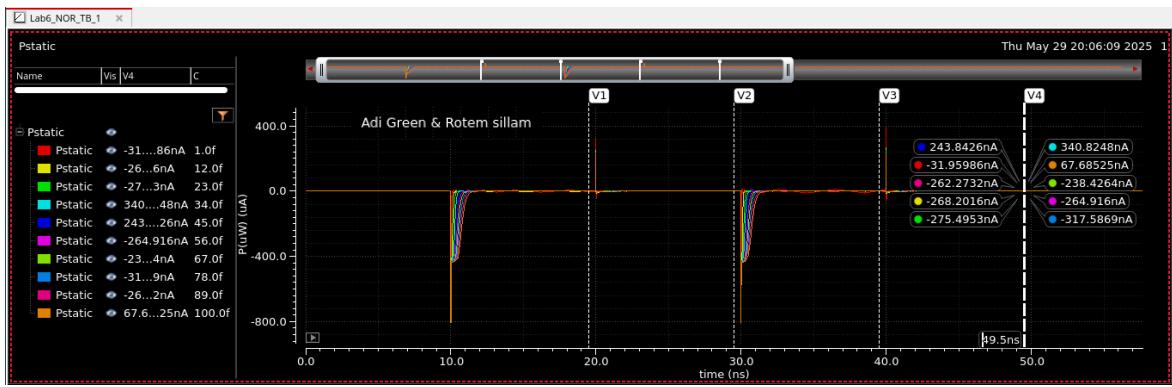
ניתן לראות כי ישנו הבדל בין החישוב הידי לבין המאסתור בקירוב של (J[01->00]) עבור (E(01->00)) וקרובה של (J[1f->00]) עבור (E(10->00)). הסיבה לכך שאנו לא מקבלים בדיקות אונרגיה בשנייהם, היא שישנם זרמי זילגה וקיבולים פרזיטיים המשפיעים על האנרגיה הכוללת של המערכת, שהנוסחה $E_{dynamic} = C * VDD^2$ לא לוקחת בחשבון.

הספק סטטי:

- הספק זה קיים משום שיש זרם זליגה (לא נקלט זרם 0 גם כשהרכיב לא עובד). הספק זה מחושב באמצעות הנוסחה:

$$P_{static} = I_{GND} * VDD = I_{GND} * 1.8$$





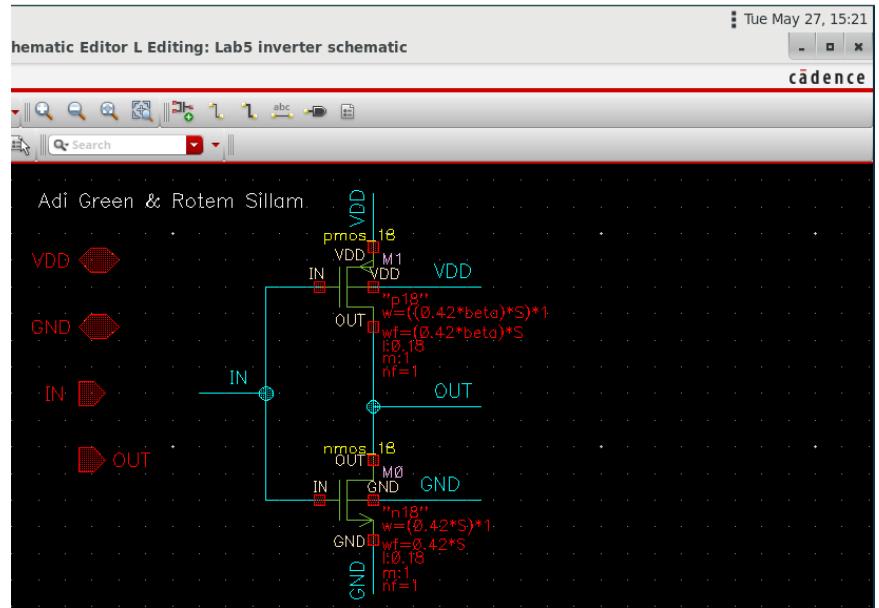
Inputs(AB)	max value(W)
00->10	509.0898 n
10->00	218.2955 n
00->01	3652.645 n
01->00	340.8248 n

הטבלה ניתן לראות שערך הזרם המרבי (שהוא מקור ההספק הדינמי) משתנה בהתאם לשינוי במצב הכניסות.

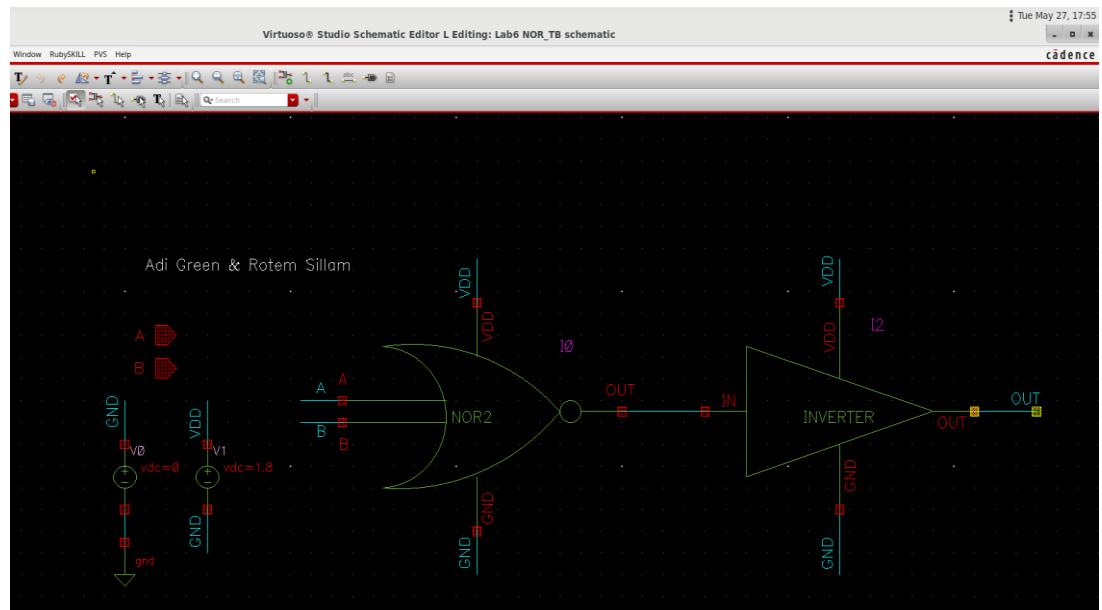
הסיבה לפערים הללו נובעת מהשונות בكمות הטרנזיסטורים הפעילים ובנתיב הזרם בעת כל מעבר. כאשר יותר טרנזיסטורים מסוג NMOS פעילים בו זמן קצר, הזרם שזורם גדול יותר, ולכן ההספק המחשב באמצעות $I/V_L = p$ יהיה גבוה יותר.

4. Now remove the capacitor and add an Inverter from Lab 5. What gate did we created? Adjust the Inverter so we have a parameter("S") that multiply the minimum gate width both in the nMOS and pMOS, similarly to what we did in Lab 5. Calculate tpd for your gate(NAND or NOR) for a single transition, for 10 values of S from 1-10. Explain the results.

ניתן לראות שהוספנו פרמטר S לשומך ולסומח כפי שהתבקשנו. כשריצ' את האנליזה, נגדיר שהוא ירוץ מ1 עד 10, בנסיבות של 1 ננדראש.



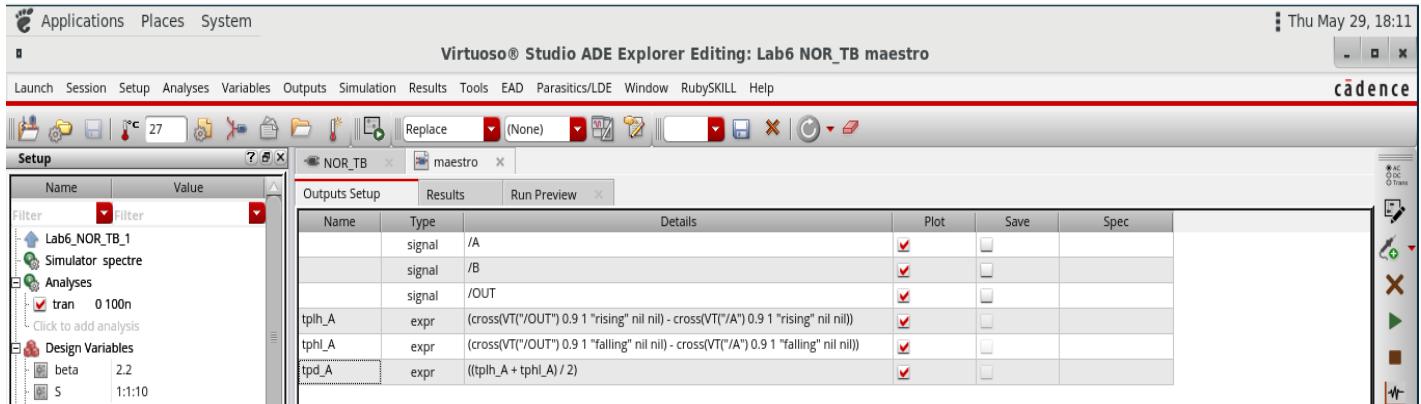
לחבר NORgate שבניו ונמבחן את הקבל.



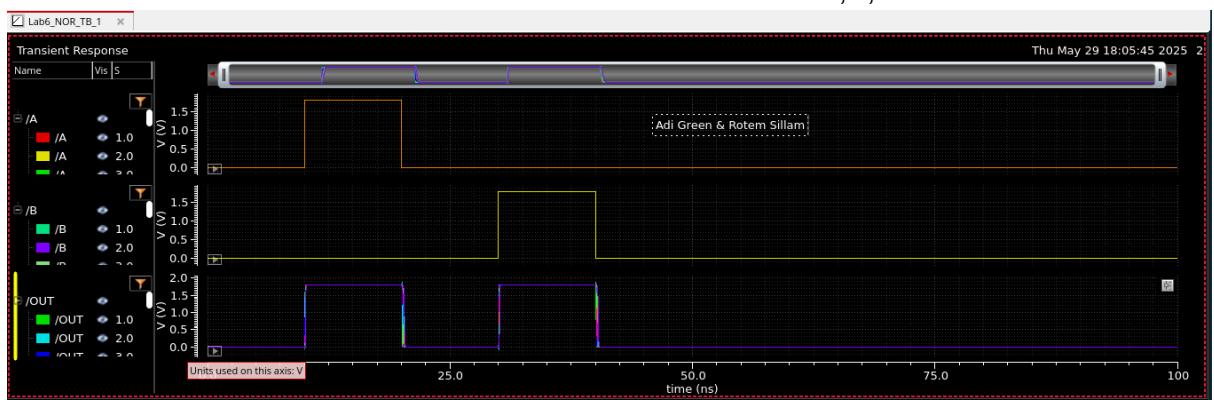
```

project > tower > users > sillamr > ws > vec_file.vec
1 #Adi Green & Rotem Sillam
2
3 radix 1 1
4
5 io i i
6
7 vname A B
8
9 tunit ps
10
11 trise 5
12
13 tfall 5
14
15 vih 1.8
16 vil 0
17
18 voh 1.8
19 vol 0
20
21 0 0 0
22 10000 1 0
23 20000 0 0
24 30000 0 1
25 40000 0 0
26

```



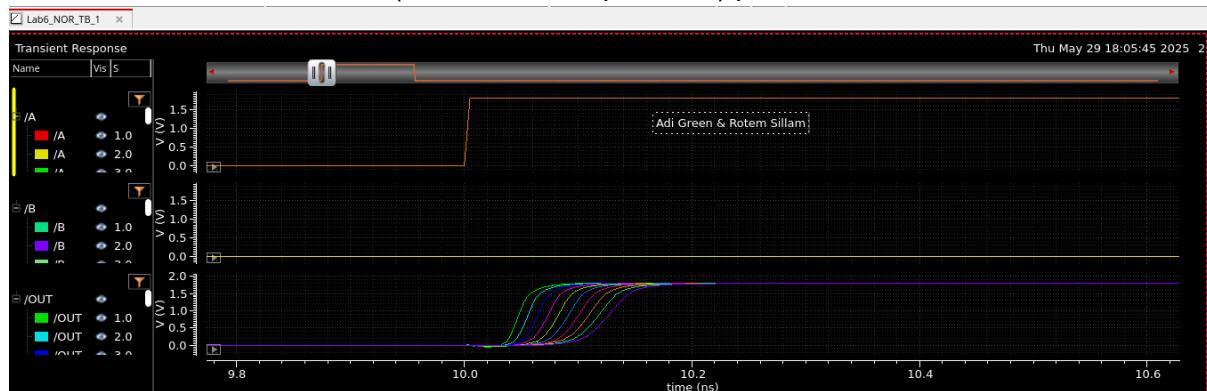
הಡפנו גרפים של הכניסות A, B, והמוצא Vout התלוי בהם:



ניתן לראות שקיבלנו שער OR:

A	B	Vout
0	0	0
1	0	1
0	1	1
1	1	1

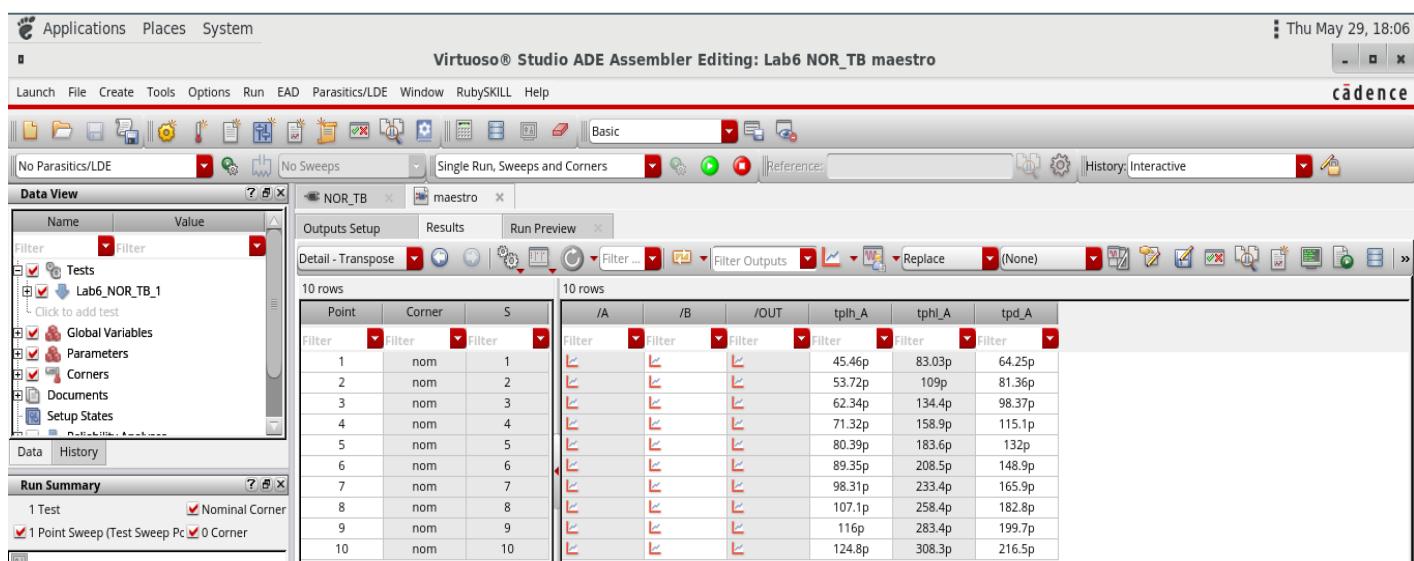
בנוסף ניתן לראות שבמוצא אנחנו מקבלים מספר שיפורים שונים כתלות בס שהכנסנו. עליה: ככל ש- S גדול יותר השיפור יותר מתון (כלומר $\frac{1}{S}$ גדול ככל ש- S גדול).



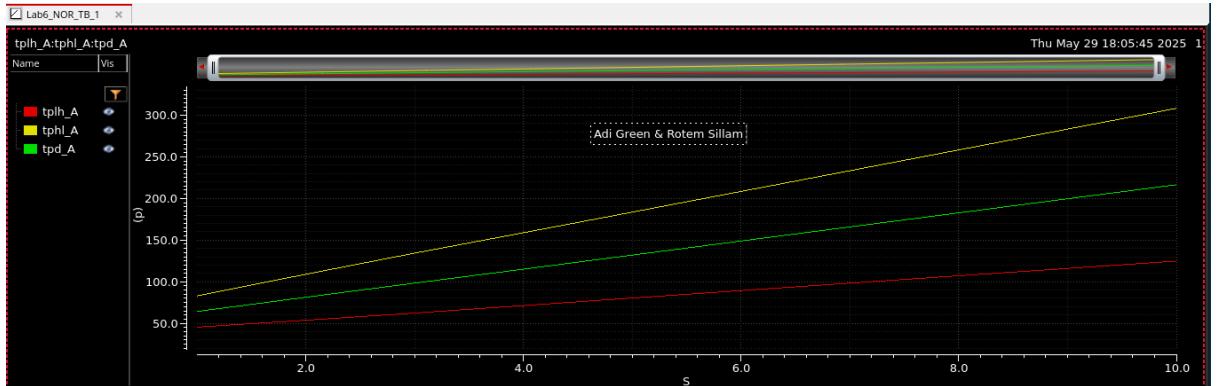
ירידה: כל שגדול יותר השיפוע מטען יותר (כלומר מה שגדל כל שגדל)



נבער הכניסה A נחשב את $tphl$, ו- $tphl$ (מתוך V_{out} חוצה את 0.9 קלומר את $DD/2$ בפעם הראשונה כתוצאה מהכניסה A). לאחר מכן נחשב את tpd : $\frac{tphl+tphl}{2}$



ניתן לראות שקיבלנו גרף של t_{pd} זה הממוצע של t_{phl} , $t_{phl,A}$ כתלות ב- C (בנוסף להשתנותו של t_{pd}).



מסקנות:

כאשר ערך S עולה, נראה שיש עלייה בזמן t_{pd} . תופעה זו נובעת מהרחבת ה-S-MOS וה-PMOS (הכפלנו ב-width finger את הרוחב פי S , כלומר ככל ש- S גדול, רוחב כל טרנזיסטור גדול).

מתקיים trade-off:

- הגדלת רוחב הטרנזיסטור מפחיתה את ההתקנות שלו, כלומר תאפשר זרימה יותר גדולה/מהירה של זרם, וכתוצאה

$$R_{on} \propto \frac{1}{W}$$

- מצד שני מתקיים עלייה בקיול של הטרנזיסטור כתוצאה מהרחבתו. כאמור לפי מה שלמדנו בהרצאה, ההתקנות

$$C \propto W$$

קיובל גבוה יותר מאריך את זמן הטעינה והפריקה של הקיבול, ובכך מאט את תגובת המעגל.

- ניתן לראות בשלב זה שהגדלת W תשפייע יותר על הקיבול של הטרנזיסטור (יחס ישר) מאשר על ההתקנות. נוסף על כך, בשער NOR ה-Pmos -ים מחוברים בטור.

מבחינת התקנות - ההתקנות היא כmo $\frac{1}{R}$ ולכן חיבור בטור רק יקטין את ההתקנות הכללית. כאמור נקבל באמצעות שהקיובל יותר מושפע מההגדלה של W .

$$t_{pd} = 0.69R_{eq}(C_{int} + C_{ext})$$

$$t_{pd} = 0.69R_{NOR2}(C_{NOR2} + S * C_{inverter})$$

ובמקרה שלנו:

