

מעבדה במבוא למעגלים

דוח 4

Introduction to Transistors

שמות המציגים + ת"ז:

רותם סילם | 206663437

עדי גryn | 324965946

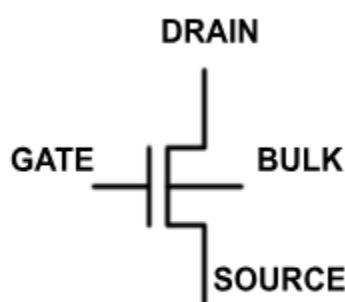
תאריך הגשה:

במקרה שלנו, $G=7+6=13$

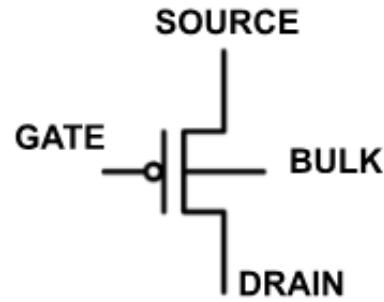
$$\text{gate width of } W = 240 + G \cdot 10 = 370 \text{ [nm]} = 0.37 \mu\text{m}$$

השער המינימלי של הרכיבים 18 nmos הוא 0.42 μm , אנחנו קיבלנו 0.37 μm , שהוא יותר קטן מהערך המינימלי המותר, ולכן נשתמש בערך הדיפולטיבי 0.42 μm .

1. (10 pts) In the report, draw a symbol of an NMOS and a symbol of a PMOS transistors. Where are the Source, Drain, Gate and Bulk nodes?



NMOS



PMOS

ברכיב NMOS: חיבור מתח נמוך ב-SOURCE, חיבור מתח גבוה ב-DRAIN.

ברכיב PMOS: חיבור מתח נמוך ב-DRAIN, חיבור מתח גבוה ב-SOURCE (ב-HDD).

2. (10 pts) In this lab we would like to simulate transistors by themselves, but like they are used in a CMOS circuit. What node/s should be the input of the transistors? What node/s should be the output? What node/s should be fixed, and what are their voltage values (of the fixed node/s, in terms of VDD or 0)?

• Gate - שולט על פתיחת התעללה בין Source ל-Drain.

$V_{GS} > V_{TH}$ = "פותח שער" למעבר אלקטטרוניים כדי מספיק מתח חיובי ("יפתח" עברו:

$V_{SG} > |V_{TH}|$ = פותח שער כשהוא מספיק "שלילי" יחסית ל-Source ("יפתח" עברו: |

• Drain - הפלט של המעגל.

- NMOS - כיוון זרימת אלקטטרונים: מה- SOURCE ל- DRAIN (כלומר כיוון הזרם מה- DRAIN ל-

(SOURCE

. DRAIN SOURCE ל- DRAIN).

- PMOS - כיוון זרימת חורים: מה- DRAIN SOURCE ל- DRAIN.

• Connections between SOURCE, BULK and GATE.

ב NMOS - אנו קובעים שהמתיחסים על SOURCE ועל BULK מחוברים לאדמה כלומר ערכם הינו 0 וולט.

ב PMOS - אנו קובעים שהמתיחסים על SOURCE ועל BULK מחוברים למתח VDD.

3. (15 pts) Create a test bench for the following devices: nmos 18, pmos 18. If the gate width you set is under the minimum, use the minimum width. Connect the transistor's terminals according to your answer on item 2.

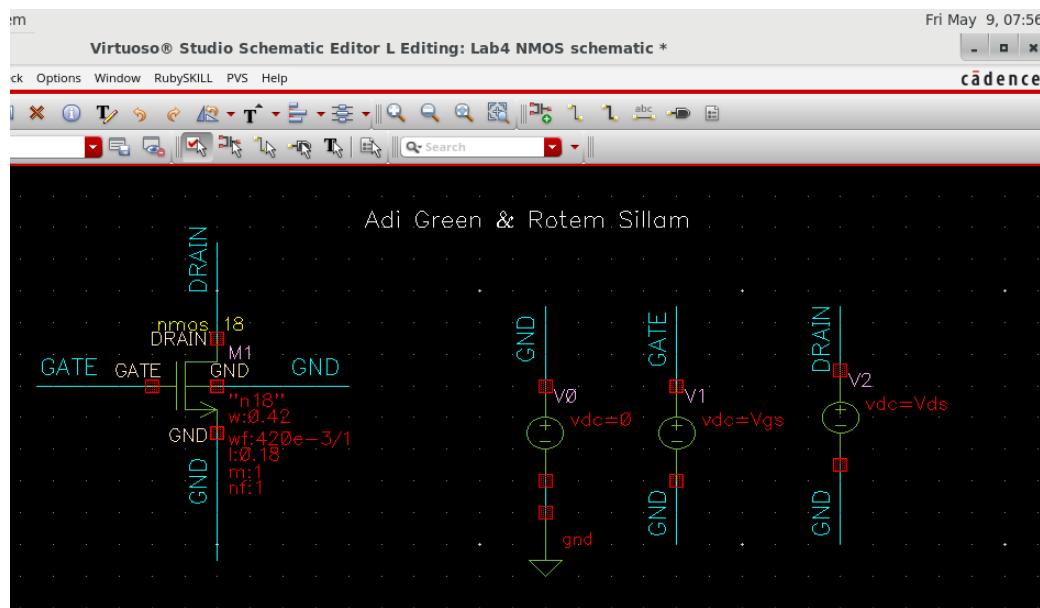
• יצרנו קובץ בשם "NMOS" על מנת ליצר את הרכיב:

- השתמשנו ברכיב "nmos 18" ולקן $VDD=1.8v$

○ כפי שאמרנו סעיף 2 BULK-SOURCE ו-GATE מחוברים לאדמה.

○ קראנו למתח על GATE בשם "VGS=VG-VS=VG-0=VG" מכיוון ש- $VGS=VG-VS=VG-0=VG$, ולכן G

○ קראנו למתח על DRAIN בשם "VDS=VD-VS=VD-0=VD" מכיוון ש- $VDS=VD-VS=VD-0=VD$, ולכן D



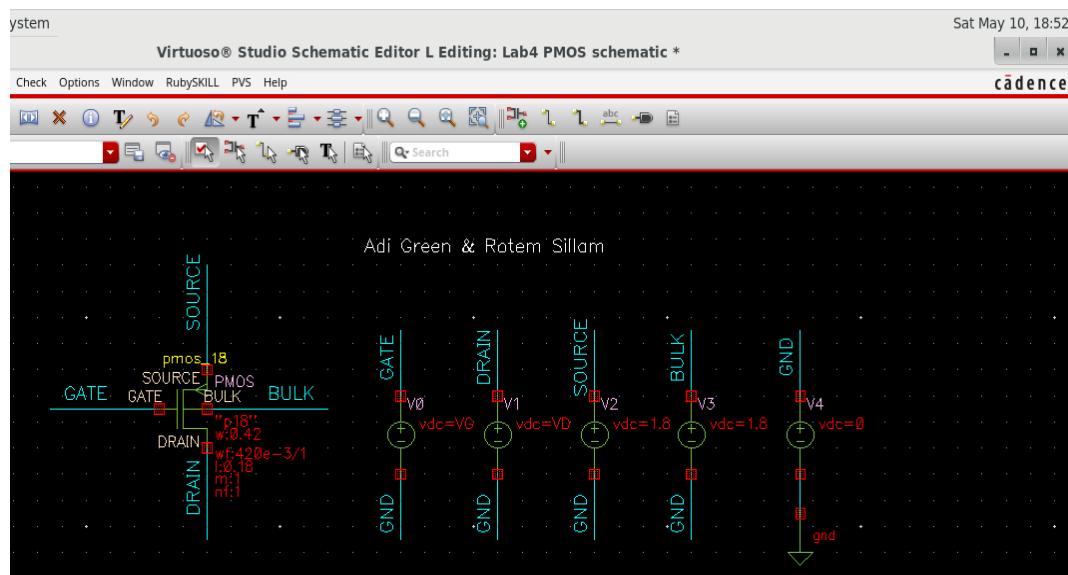
:PMOS •

• יצרנו קובץ בשם "PMOS" על מנת ליצר את הרכיב.

- השתמשנו ברכיב "pmos 18" ולקן $VDD=1.8v$

○ כפי שאמרנו סעיף 2 BULK-SOURCE ו-GATE מחוברים ל-GND.

○ את המתח על GATE סימנו ב- VG . את המתח על DRAIN סימנו ב- VD



4. (25 pts) run a DC sweep simulation on VDS (For NMOS, VSD for PMOS) between 0 and VDD for 5 values of VGS (VSG) between $0.1 \cdot VDD$ and VDD. Show and explain the IDS (ISD) current of each transistor (including the different regions: cutoff, linear, saturation).

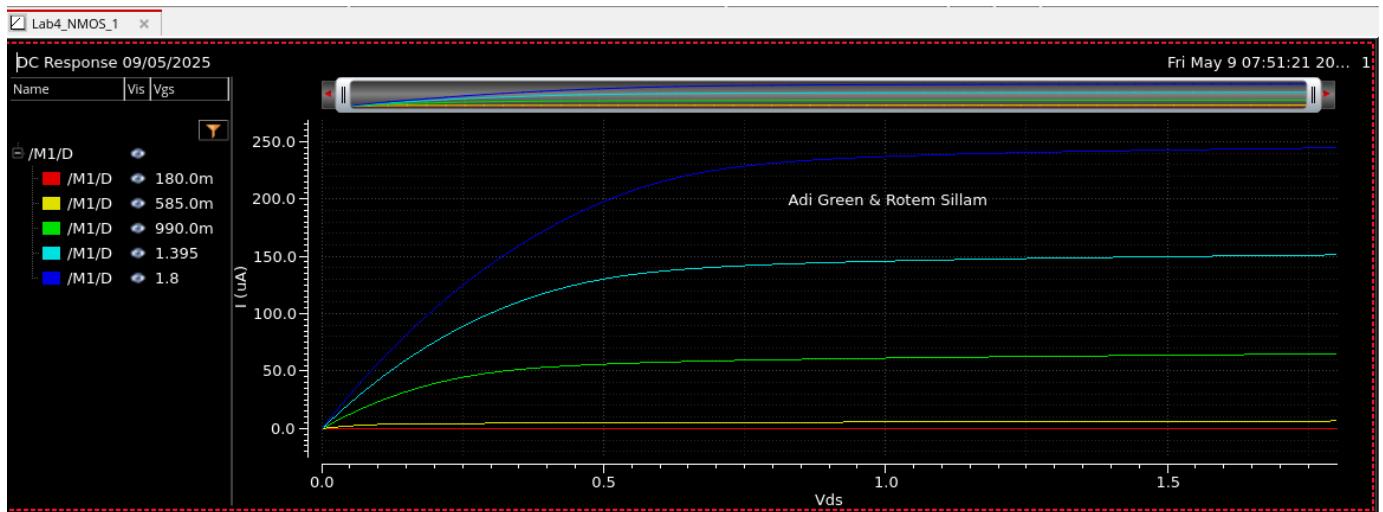
רכיב NMOS:

הרצינו את הסימולציה על המתח VDS שנע בין 0 ל- $VDD = 1.8$ v.

נעשה זאת עבור 5 ערכים של המתח VGS בין 0.18 v עד המתח 1.8 v בקפיצות של 0.405 v, כך שקיבלונו בדיקה על הערכים: 1.8, 1.395, 0.99, 0.585, 0.18 (יחידות volt לחמישתם).

ובדקנו איך הזרם IDS משתנה בהתאם לכך.

זכיר כי כפי שהסבירנו סעיף 3, עבור סוסוח בעל חיבור הארקה ל-SOURCE מתקיים: $VGS = VG$, $VDS = VD$.



חלוק לתחומים:

כאשר המתח של ה-GATE קטן מתח הסף, הרכיב SOSUCH כמעט כבוי לגמרי, יש זרם מאד נמוך, אפסי (ליגה). ניתן לראות זאת בעקבות של המתחים 0.18 v, 0.585 v, 0.99 v (עקומה צהובה ואדומה) כמעט אין זרם.

Cut-off

$$V_{GS} < V_{TH}$$

$$I_{DS} = 0$$

כאשר המתח של ה-GATE גדול מתח הסף, ובנוסף המתח VDS קטן מהמתוך $V_{DSAT} = V_{GS} - V_{TH}$ (מתקיים: $H_VDSAT = V_{GS} - V_{TH}$), אז הרכיב SOSUCH נמצא במצב לינארי. ניתן לראות את התמונה זהה בגרפים כאשר השיפוע של הגраф נשאר קבוע, ככלומר הזרם עולה ביחס לנדרי למתח VDS. נשים לב כי ככל שהמתח V_{GS} יותר גדול כך תחומי הלינאריות גדול יותר, לאחר שדרוש מתח V_{DS} יותר גדול על מנת "לצאת" מאזור זה.

Linear

$$V_{GS} > V_{TH}$$

$$V_{DS} < V_{DSAT}$$

$$I_{DS} = K_n ((V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2)$$

כאשר המתח של ה-GATE גדול מתח הסף, ובנוסף המתח VDS גדול מהמתוך V_{DSAT} אנו נמצאים במצב של סאטורי-מצב שבו שכבת המחסור מגיעה לגודלה המרבי, ולכן הזרם כמעט קבוע. ניתן לראות זאת בgraf כאשר העקומה מתוישרת (הזרם מתוישר על ערך קבוע). ככל שהמתח V_{GS} יותר קטן, כך הרכיב נכנס למצב סטוריזיה יותר מהר, לאחר שדרוש מתח V_{DS} יותר קטן כדי להיכנס למצב זה.

Saturation

$$V_{GS} > V_{TH}$$

$$V_{DS} > V_{DSAT}$$

$$I_{DS} = \frac{1}{2}K_n(V_{GS} - V_{TH})^2$$

רכיב PMOS:

מבחן עם מטרgal, למטרת שהתקבשנו לעשות סימולציה על VSD, נרים את הסימולציה על המתח DV, ובמקומם לבוחר ערכיהם ל-VSG, נבחר ערכים Über VG ו-זאת מכיוון שאנו שואים להראות התנוגות מסוימות כתלות בערכים שאנו מושנים. ה-Source הוא ערך קבוע, ולכן הוא לא ישפיע על התנוגות הכלליות.

עבור smok בעל חיבור VDD ל-SOURCE מתקיים:

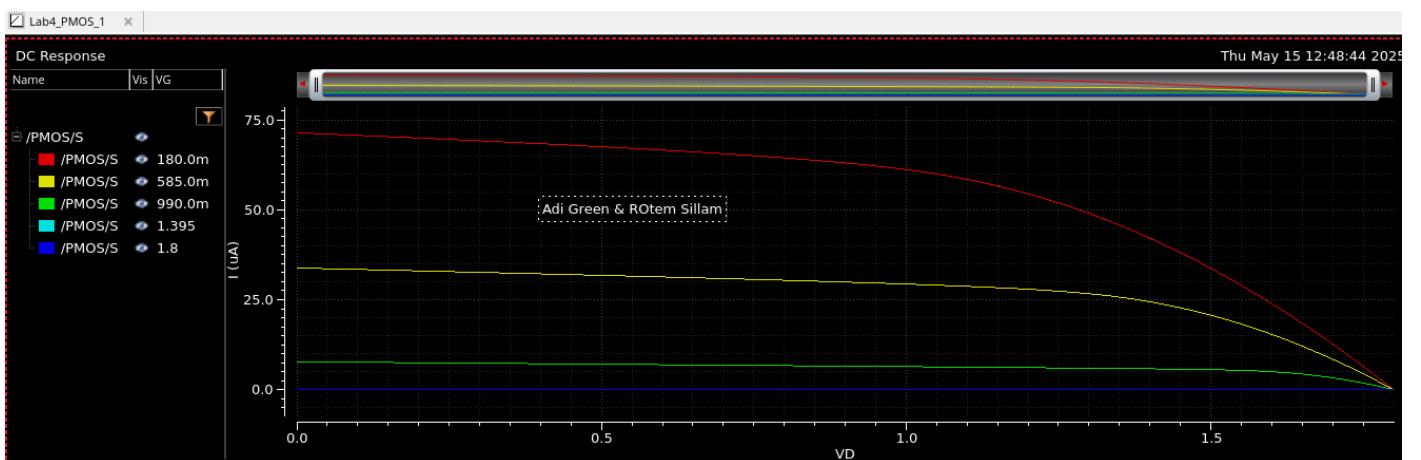
$$VSG = V_{source} - V_{gate} = 1.8v - V_{gate}$$

$$VSD = V_{source} - V_{drain} = 1.8v - V_{drain}$$

ולכן הרצינו את הסימולציה על המתח DV שנע בין 0 ל-1.8v.

נעשה זאת עבור 5 ערכים של המתח VG בין 0.18v עד המתח 1.8v בקפיצות של 0.405v, כך שկיבלונו בדיקה על הערכים: 1.8, 1.395, 0.99, 0.585, 0.18 (יחידות volt לחמישתם).

ובדקנו איך הזרם ISD משתנה בהתאם לכך.



בשאלה זו אנחנו מושנים את V_{gate} , כלומר ככל ש- V_{gate} גדול, כך V_{SG} קטן וכן גם הזרם קטן. כאשר המתח של V_{SG} קטן מתח הסף (V_{th}), הרכיב smok כמעט כבוי למחרי, יש זרם מאד נמוך, אפסי (אליגה). ניתן לראות זאת שבעקומות הכהולה והתכלת של המתחים 1.8, 1.395 ו-0.18 כמעט אין זרם.

:Cut-off

$$V_{SG} < |V_{th}|$$

$$I_{DS} = 0$$

כאשר המתח V_{SG} גדול מתח הסף, ובנוסף המתח V_{SD} קטן מהמתח V_{DSAT} (מתקיים: $|V_{SG} - V_{th}| = V_{DSAT}$), אז הרכיב smok נמצא במצב לינארי. ניתן לראות את התמונה הזה בגרפים כאשר השיפוע של הגראף נשאר קבוע, כלומר הזרם עולה ביחס לינארי למתח DV. ניתן לב בהטאה לעירך מתח source קבוע, כי ככל שהמתח V_{SG} יותר גדול, ככל ש- V_{gate} יותר קרוב ל- V_{th} , הזרם יתעורר יותר. שדרוש מתח V_{SD} יותר גדול על מנת "לצאת" מתחור זה (ככל ש- V_D יותר קטן, כך נקבל מתח V_{SD} יותר גדול).

:LINEAR

$$V_{SG} > |V_{th}|$$

$$V_{SD} < V_{DSAT}$$

$$I_{DS} = K_n((V_{SG} - |V_{th}|)V_{SD} - \frac{1}{2}V_{SD}^2)$$

כאשר המתח V_{SG} גדול מתח הסף, ובנוסף המתח V_{SD} גדול מהמתח V_{DSAT} אנו נמצאים במצב של סאטורייזה- מצב שבו שכבת המחסור מגיעה לגודלה המרבי, ולכן הזרם כמעט קבוע. ניתן לראות זאת בגרף כאשר העקומה מתוישרת (הזרם מתוישר על ערך קבוע). ככל שהמתח V_{SG} יותר קטן (כלומר V_G יותר גדול), כך הרכיב נכנס למצב סטורייזה יותר מהר, מאחר שדרוש V_{SD} יותר קטן כדי להיכנס למצב זה.

:Saturation

$$V_{SG} > |V_{th}|$$

$$V_{SD} > V_{DSAT}$$

$$I_{DS} = \frac{1}{2}K_n(V_{SG} - |V_{th}|)^2$$

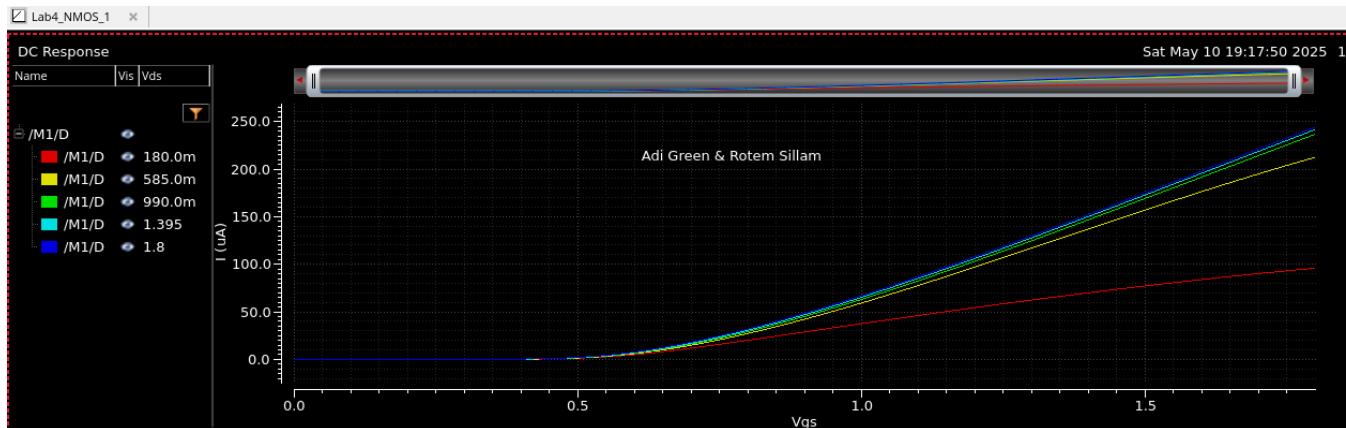
5. (25 pts) run a DC sweep simulation on VGS (VSG) between 0 and VDD for 5 values of VDS (VSD) between 0.1·VDD and VDD. Show and explain the IDS (ISD) current of each transistor.

- עברו NMOS:

הפעם הרצינו סימולציה DC על VGS על 7 ערכו ערכיים שונים (בחרנו ערכיים זחים לערכי שבחרנו בסעיף 4 עבור VGS, ובדקנו איך הזרם IDS משתנה בהתאם לכך).

בהתאם למה שרשמננו סעיף קודם, גם כאן ניתן לראות שהגרף מתחילה במצב cut-off ולאחר מכן עובר למצב ליניארי (המעבר קורה כאשר $V_{DS} < V_{GS} - V_{TH}$ ובנוסף $V_{DS} > V_{GS} - V_{TH}$).

ניתן לראותות כי אנו לא מגיעים לשער קבוע, ככלומר לא מגיעים למצב של סטורציה. אם היינו בוחרים ערך VDD (שזהו הערך הגבוה ביותר של המתח VDS) גודל יותר, היינו יכולים להגיע למצב של סטורציה.



- עברו PMOS:

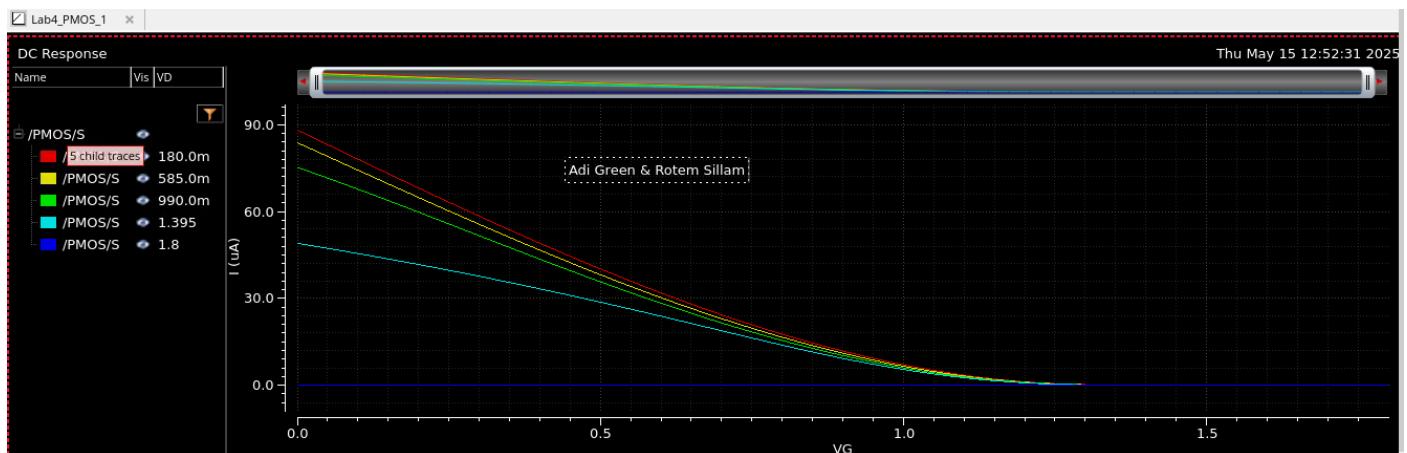
פה הרצינו סימולציה DC על VG על 7 ערכו ערכיים VD שונים.

נקבל את אותן מסקנות עבור NMOS.

ניתן לראות שעבור ערכי VG יותר ויותר גדולים, הגרף נכנס למצב cut-off וזאת מכיוון שהמתח VSG קטן, ואז מתקיימת הנוסחה $|V_{th}| < |V_{GS}|$.

בשאר הגרף אנחנו בקירוב במצב ליניארי (המעבר קורה כאשר $|V_{GS}| < |V_{th}|$ וכן $|V_{DS}| > |V_{GS} - V_{th}|$).

אם היינו בוחרים ערך VDD (שזהו הערך הגבוה ביותר של המתח VD) גודל יותר, היינו יכולים להגיע למצב של סטורציה באופן מובהק.

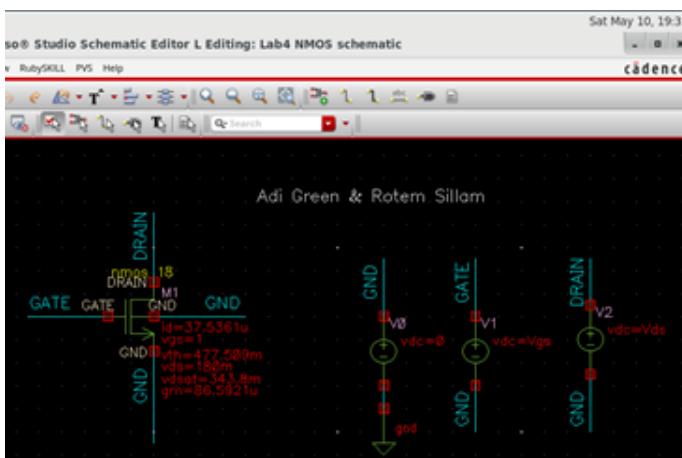


6. (15 pts) Evaluate the threshold voltage of each transistor and compare them in a table (according to the parameter extraction section in the lab's booklet).

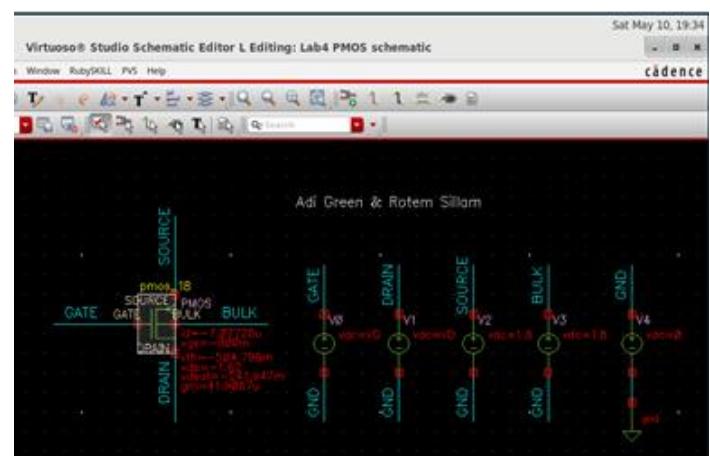
נרצה לבדוק מה ערך threshold voltage של כל טרנזיסטור. הרצינו לפि ההגדירה שיש בשאלת 5 עבור כל משתנה בסימולציה dc סימנו בו את save, והרצינו את הסימולציה. לאחר שהיא סיימה לרווח עשינו קליק ימני על הzsdc points->dc operating points (באדום) וקיבלנו ליד כל טרנזיסטור (באדום) את הנתונים שלו, בהם גם נתון ה-threshold voltage (כתוב v_{th}).

Threshold voltage	
477.509mV	NMOS 18
-504.798mV	PMOS 18

NMOS 18:



PMOS 18:



טרנזיסטור NMOS מתחיל להוילר זרם כאשר מפעלים מתח חיבוי V_{GS} ("פותח את התעללה").

מושאי המטען הם אלקטرونים, והם נעים מה Source ל Drain (כלומר הזרם זורם מה Source ל Drain).

כאשר מעלים את המתח V_{GS} , בשלב מסוים הטרנזיסטור מתחיל להוילר – והנקודה הזאת מוגדרת כ Threshold – מתח הסף. ניתן לראות שהזרם מתחיל (מתחיל הפיזול בין הצבעים של העקומות) בערך בנקודה של V_{th} שמצוינו.

טרנזיסטור PMOS פועל בכיוון הפוך ל-NMOS.

הוא מתחיל להוילר כאשר ה-Gate במתוח שלילי, ביחס ל-Source (כລומר V_{SG} שלילי).

מושאי המטען הם חורים, והם נעים מה Drain ל Source (כאשר זהו גם כיוון הזרם).

כאשר מעלים (בערך מוחלט) את המתח V_{SG} , בשלב מסוים הטרנזיסטור מתחיל להוילר (התעללה נפתחת) – והנקודה הזאת מוגדרת כ V_{th} – מתח הסף.