

Министерство образования Республики Беларусь

Учреждение образования
БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Структурная и функциональная организация
вычислительных машин

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ

на тему

Считывание, декодирование и выполнение команд. Способ адресации
операндов в командах

Выполнил
студент гр. 250541

В.Ю. Бобрик

Проверил
доцент, к.т.н. каф. ЭВМ

А.А. Воронов

Минск 2025

СОДЕРЖАНИЕ

1 Цель работы.....	3
2 Исходные данные к работе.....	3
3 Теоретические сведения.....	3
4 Выполнение работы.....	5
5 Вывод.....	7

1 Цель работы

Разработать систему, состоящую из блока памяти, блока управления, блока РОНов и шин данных, адреса и управления.

2 Исходные данные к работе

Лабораторная работа выполняется в среде Quartus II 9.1.

Для выполнения задания необходимо выполнить следующие этапы:

1. Ввести шину данных (ШД), шину адреса (ША) и шину управления (ШУ).

2. Разделить память на память данных (блок RAM) и память команд (блок ROM). На адресные входы памяти завести ША. Ввод и вывод данных осуществлять через ШД. Объединить два типа памяти в один блок.

3. Ввести блок управления, в котором производить дешифрацию команд и выдавать управляющие сигналы и сигналы синхронизации памяти и регистров в зависимости от выполняемой команды.

4. Ввести блок регистров общего назначения (РОН) и управляющую логику для него.

5. Ввести специальные регистры, разрядность которых определяется разрядностью шины данных. Физически разместить их в блоке управления.

Интерфейс с внешней средой у верхнего блока иерархии должен ограничиваться старт/стоповым сигналом и сигналом внешнего тактирования clk.

Необходимо выполнить цикл заданных по варианту команд. Цикл состоит из следующих фаз: выборки команды и формирования адреса следующей команды; декодирования команды; формирования исполнительных адресов операндов; выборки операндов; исполнения операции; записи результата.

Некоторые шаги цикла команд могут отсутствовать, это зависит от выполняемой команды.

Разрядность ША и ШД – 8 бит, команда 1 – R->M с прямой регистровой адресацией, команда 2 – JMP addr с непосредственной адресацией.

Семейство ПЛИС для реализации - Flex10K.

3 Теоретические сведения

Алгоритм, написанный пользователем программы, в конечном счете, реализуется в виде машинных команд. Под командой понимают совокупность сведений, представленных в виде двоичных кодов, необходимых процессору для выполнения очередного шага. В коде команды для сведений о типе операции, адресной информации о нахождении обрабатываемых данных, а также для информации о месте хранения результатов выделяются определенные разряды (поля).

Множество реализуемых машиной действий образует её систему команд. Система команд часто определяет области и эффективность применения ВМ. Состав и число команд должны быть ориентированы на стандартный набор операций, используемых пользователем для решения своих задач.

Существует несколько различных классификаций команд в вычислительных машинах (ВМ). В частности, можно выделить следующие типы команд:

- команды пересылки данных;
- команды арифметической и логической обработки;
- команды работы со строками;
- команды SIMD;
- команды преобразования;
- команды ввода /вывода;
- команды управления системой;
- команды управления потоком команд.

Команды пересылки данных. Наиболее распространённый тип машинных команд. Примеры: передача данных между ЦП и ОП, внутри процессора, внутри памяти. Команда пересылки данных должна содержать следующую информацию: адреса источника и получателя operandов; адреса ячеек памяти; номера регистров ЦП или информацию о том, что operandы в стеке; длина подлежащих пересылке данных (в байтах или словах), заданная явно либо косвенно; способ адресации каждого из operandов.

Команды арифметической и логической обработки. Обеспечивают арифметическую и логическую обработку информации в различных формах ее представления. Помимо вычисления результата, формируются признаки (флаги) в АЛУ, характеризующие результат (например, Zero, Negative, Overflow, Carry).

Команды SIMD — Single Instruction Multiple Data. Эти команды обрабатывают сразу две группы чисел. Operandы обычно представлены в упакованном формате.

Команды работы со строками. Обычно предусматриваются команды перемещения, сравнения и поиска строк. В большинстве ВМ данные операции имитируются с помощью других команд.

Команды преобразования. Изменение формата представления данных. Например, перевод из двоичной системы счисления в двоично-десятичную.

Команды ввода/вывода. Могут быть разделены на 3 типа: команды управления периферийными устройствами; команды проверки состояния ПУ; команды ввода /вывода.

Команды управления системой. Эти команды являются привилегированными командами, и выполняются, когда ЦП находится в привилегированном состоянии либо выполняет привилегированную

программу (обычно ОС). Только с помощью данных команд могут быть изменено состояние ряда регистров устройства управления.

Команды управления потоком команд. Вместо инкрементации счётчика команд команда загружает в счётчик адрес следующей команды. Три типа таких команд: безусловные переходы; условные переходы (ветвления); вызовы процедур и возврат из процедур. Для команд статического перехода один из вариантов - указание адреса перехода через счетчик команд (PC – program counter или IP – instruction pointer). В случае динамического управления должен быть иной способ указания адреса перехода. Команды вызова процедуры обеспечивают переход из текущей точки программы к начальной точке процедуры. Команды возврата из процедуры обеспечивают возврат к команде следующей за командой вызова. Команда возврата должна обеспечиваться средствами сохранения текущего состояния счётчика команд и его восстановления

4 Выполнение работы

Для выполнения задания спроектированы специальные регистры, показанные на рисунках 4.1, 4.2.

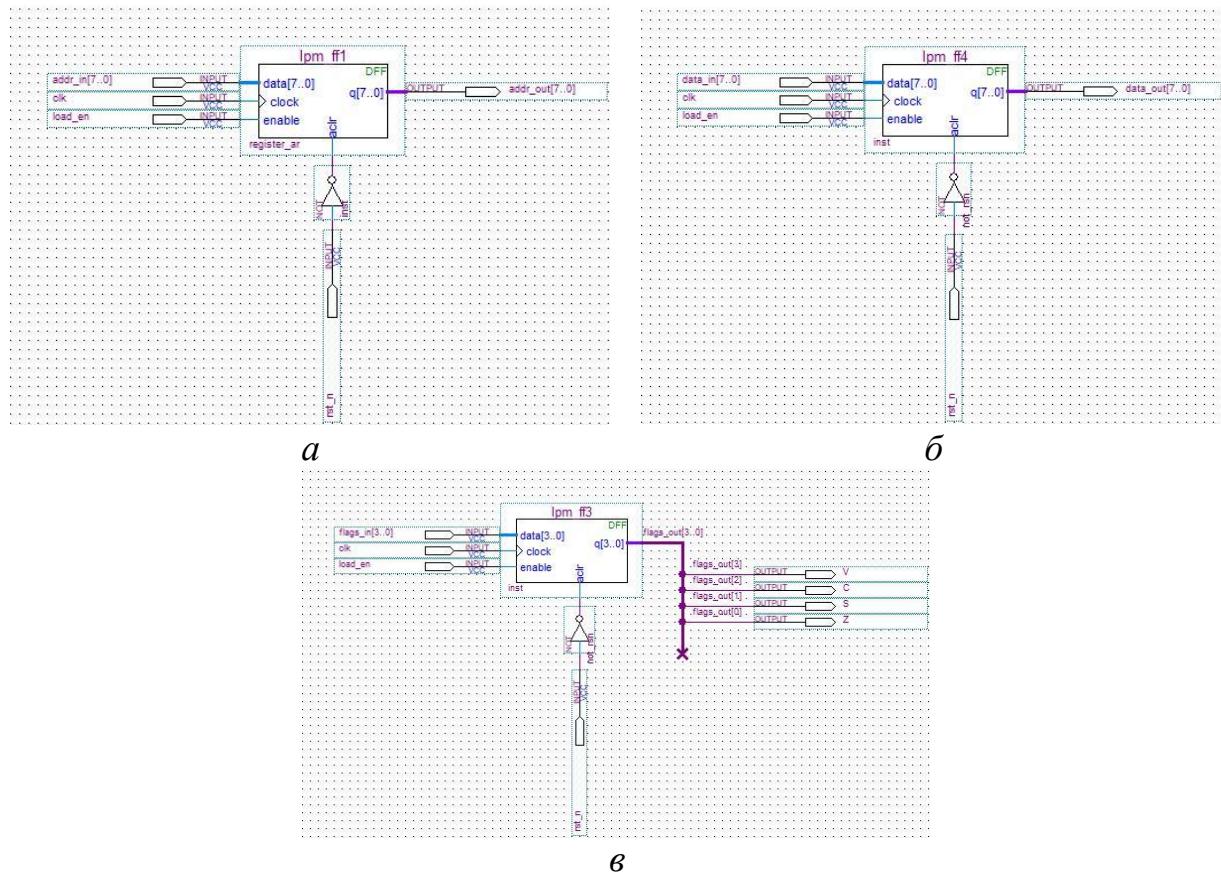


Рисунок 4.1 – Специальные регистры: *a* – AR, *б* – DR, *в* – FR

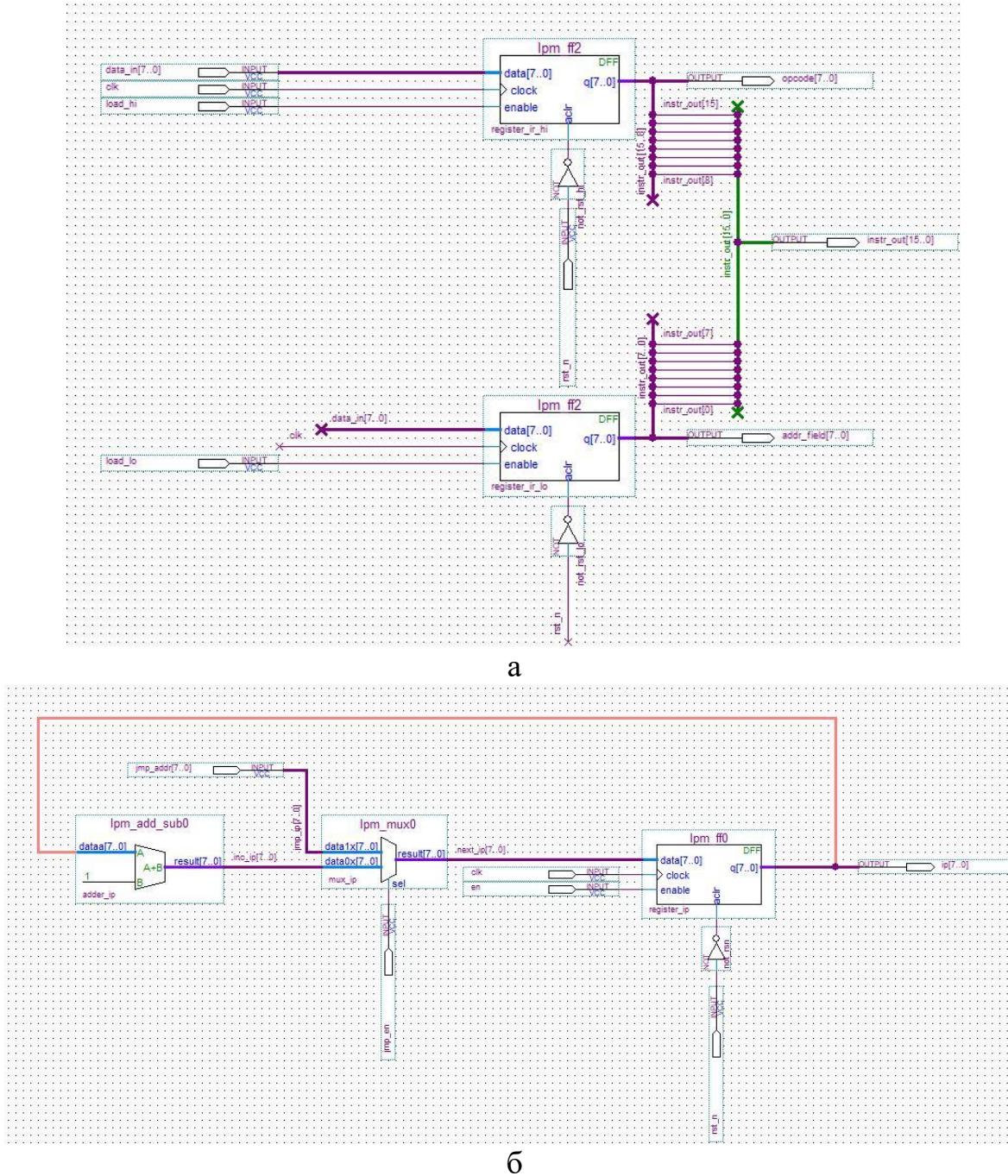


Рисунок 4.2 – Специальные регистры: *a* – IR, *б* – IP

В систему введен блок регистров общего назначения, показанный на рисунке 4.3. В регистр BX константно записывается 0x55.

Для хранения данных введен блок общей памяти, объединяющий ROM и RAM. Схема блока показана на рисунке 4.4.

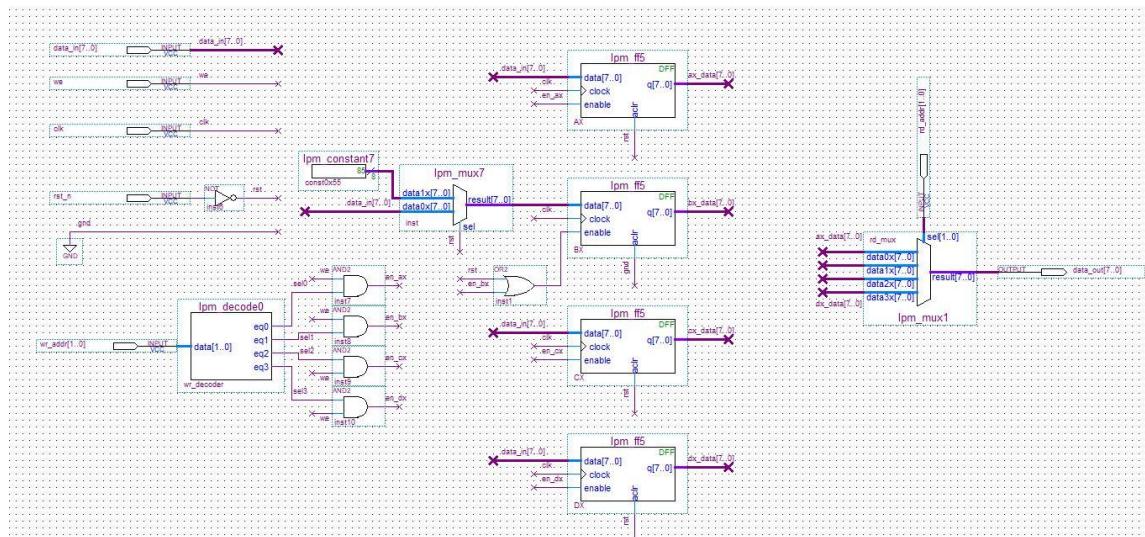


Рисунок 4.3 – Блок регистров общего назначения РОН

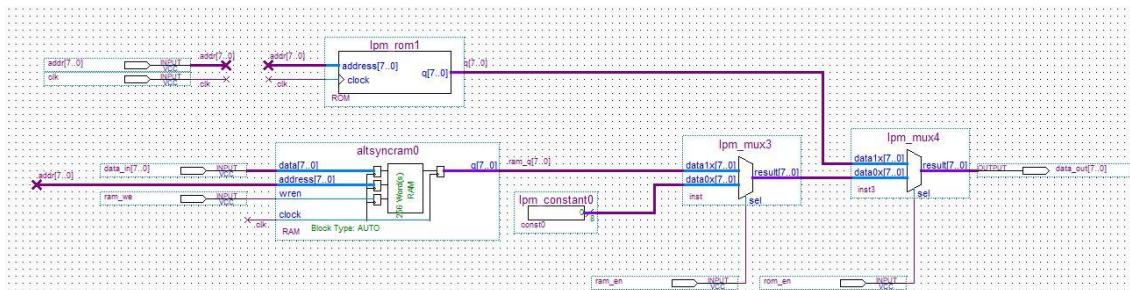
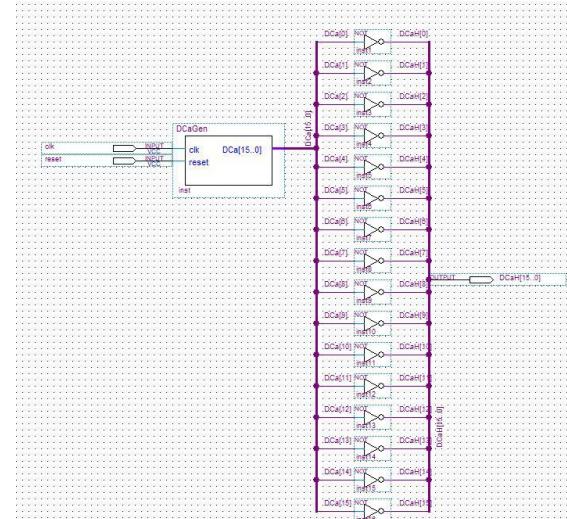
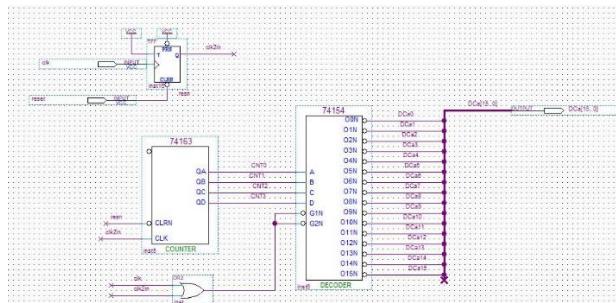


Рисунок 4.4 – Блок общей памяти

Для генерации синхроимпульсов используется инвертированный генератор синхроимпульсов. Генератор и его инвертированная версия приведены на рисунке 4.5.



a

6

Рисунок 4.5 – а – генератор синхроимпульсов, б - инвертированный

Для управления перечисленными выше блоками создан блок управления, показанный на рисунке 4.6.

Схема итоговой системы приведена на рисунке 4.7. Диаграмма симуляции выполнения команд исходного задания приводится на рисунке 4.8.

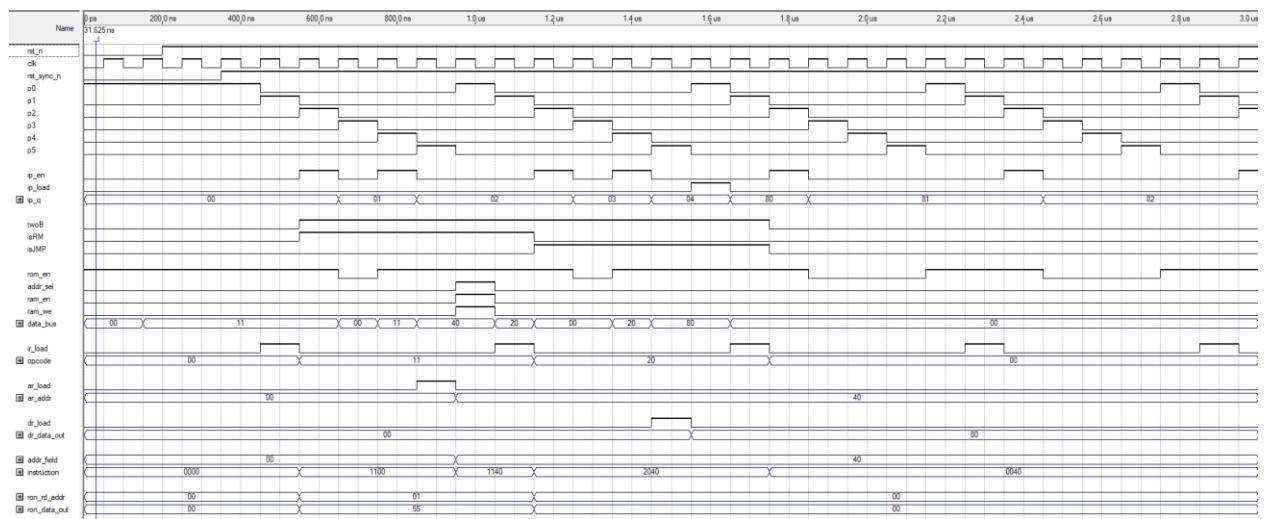


Рисунок 4.8 – Диаграмма моделирования выполнения команд

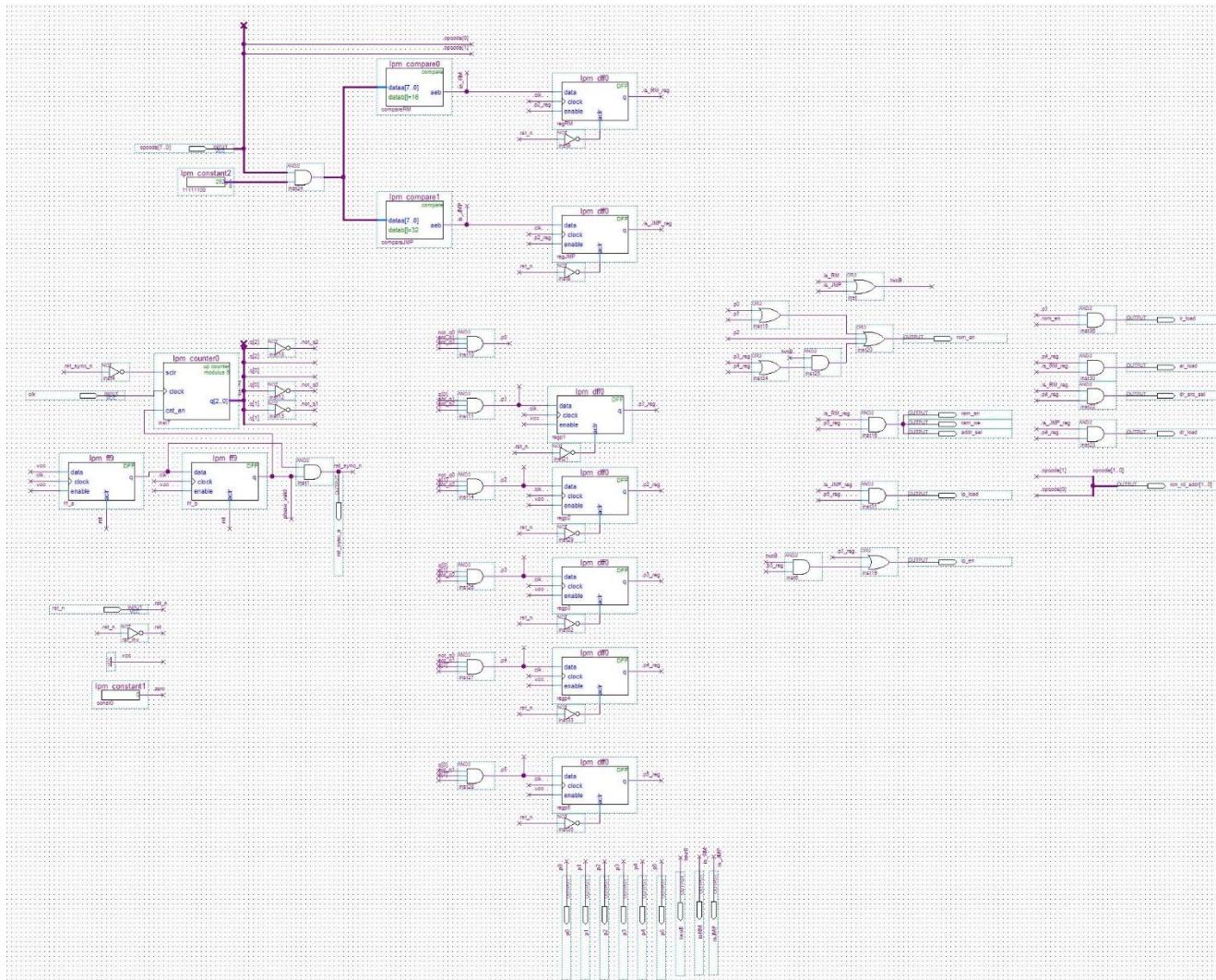


Рисунок 4.6 – Блок управления

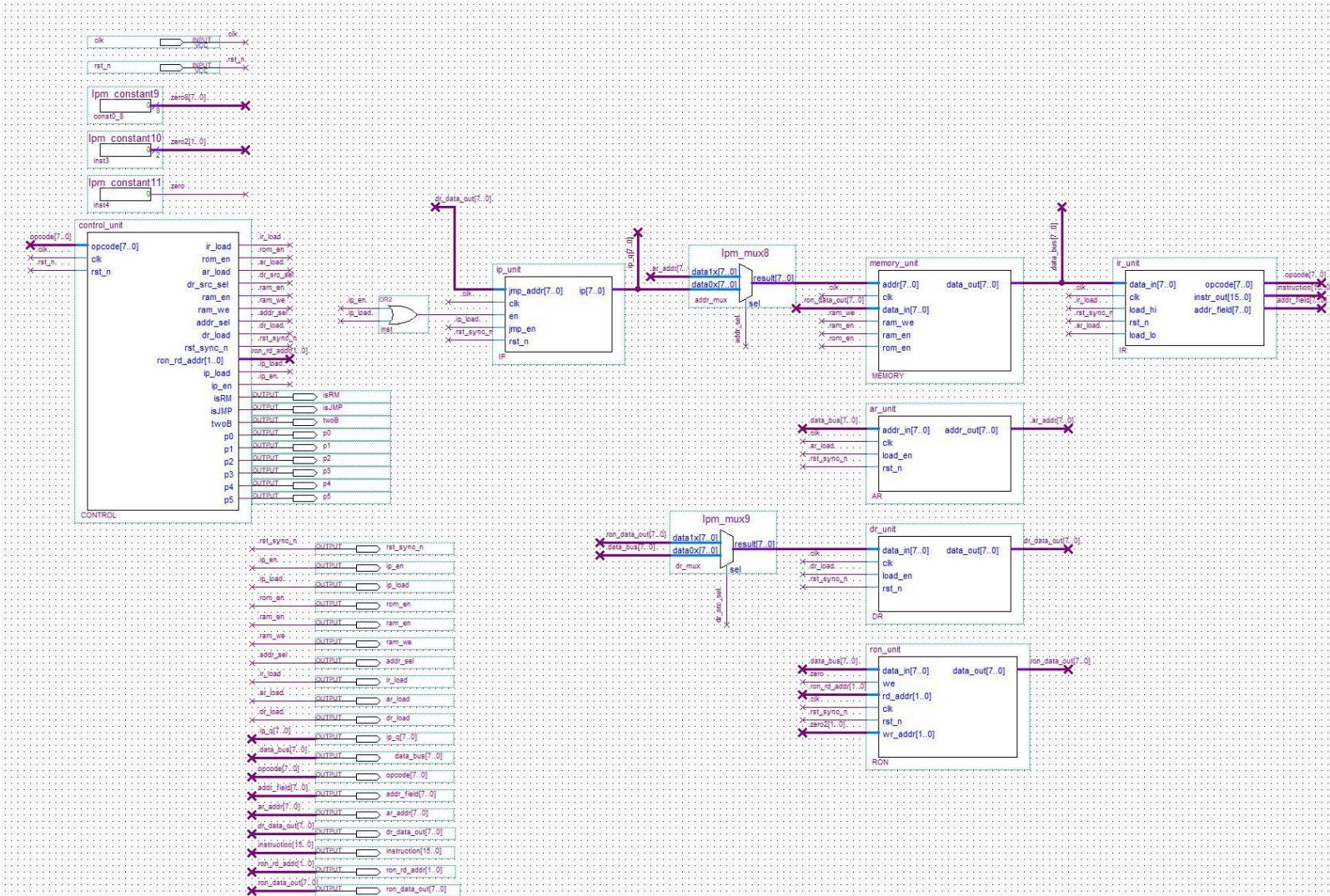


Рисунок 4.7 – Итоговая система

5 Вывод

В ходе выполнения лабораторной работы разработана система, состоящая из блока памяти, блока управления, блока РОНов и шин данных, адреса и управления.