

Санкт-Петербургский политехнический университет Петра Великого  
Институт компьютерных наук и технологий  
Кафедра компьютерных систем и программных технологий

**Отчет по лабораторной работе №7\_3**  
**Курс: «Проектирование реконфигурируемых гибридных**  
**вычислительных систем»**  
**Тема: Pipeline**

Выполнил студент гр. 3540901/81501

Селиверстов Я.А.

(подпись)

Руководитель

Антонов А.П.

(подпись)

“    ” \_\_\_\_\_ 2019 г.

Санкт – Петербург  
2019

## ОГЛАВЛЕНИЕ

|                                      |           |
|--------------------------------------|-----------|
| <b>1. Задание .....</b>              | <b>3</b>  |
| 1.2. Исходный код .....              | 4         |
| <b>2. Решение №1.....</b>            | <b>5</b>  |
| 2.1 Моделирование .....              | 5         |
| 2.2 Синтез.....                      | 5         |
| 2.3 C RTL моделирование .....        | 7         |
| <b>3. Решение №2 .....</b>           | <b>8</b>  |
| 3.1 Параметры второго решения .....  | 8         |
| 3.2 Синтез.....                      | 8         |
| 3.3 C RTL моделирование .....        | 10        |
| <b>4. Решение № 3.....</b>           | <b>11</b> |
| 4.1 Параметры третьего решения ..... | 11        |
| 4.2 Синтез.....                      | 11        |
| 4.3 C RTL моделирование .....        | 13        |
| <b>5. Вывод.....</b>                 | <b>14</b> |

# 1. Задание

- Создать проект lab7\_3
- Микросхема: ха7a12tcsg325-1q
- Создать функцию на основе приведенного ниже слайда.

```
void foo_top (in1, in2, *out1_data...){  
  
    accum=0;  
    ...  
L1:for(i=1;i<N;i++) {  
    accum = accum + in1 + in2;  
    }  
  
    *out1_data = accum;  
}
```

- Создать тест lab7\_3\_test.c для проверки функций выше.
  - осуществить моделирование (с выводом результатов в консоль)
- Сделать свой solution (для варианта без конвейеризации, с конвейеризацией, с конвейеризацией и rewind)
  - задать: clock period 10; clock\_uncertainty 0.1
  - осуществить синтез
    - привести в отчете:
      - performance estimates=>summary
      - utilization estimates=>summary
      - scheduler viewer (выполнить Zoom to Fit)
        - На скриншоте показать Latency
        - На скриншоте показать Initiation Interval
      - resource viewer (выполнить Zoom to Fit)
        - На скриншоте показать Latency
        - На скриншоте показать Initiation Interval
    - Осуществить C|RTL моделирование (для каждого варианта задания директивы)
      - Привести результаты из консоли
      - Открыть временную диаграмму (все сигналы)
        - Отобразить два цикла обработки на одном экране
          - На скриншоте показать Latency
          - На скриншоте показать Initiation Interval
  - Выводы
    - Привести обобщенную таблицу зависимости utilization и performance от каждого варианта: без конвейеризации, с конвейеризацией, с конвейеризацией и rewind.
    - Объяснить отличие процедур обращения к элементам массива для каждого случая

## 1.2. Исходный код

Представим код программ lab7\_z3.c и lab7\_z3\_test.c на листинге 1 и 2.

```
void foo (int in1, int in2, int *out_data) {  
    int i;  
    static int accum = 0;  
  
    L1: for(i = 0; i < 10; i++) {  
        accum = accum + in1 + in2;  
    }  
    *out_data = accum;  
}
```

Листинг 1.

```
#include <stdio.h>  
  
int main() {  
    int in1 = 4;  
    int in2 = 6;  
    int out = 0; int *o_p = &out;  
    int exp_out = 100;  
  
    foo(in1,in2,o_p);  
  
    printf("Out %d == Exp %d\n", out, exp_out);  
    if (out != exp_out) {  
        fprintf(stdout, "-----ERROR-----\n");  
        return -1;  
    } else {  
        fprintf(stdout, "-----Test Pass-----\n");  
        return 0;  
    }  
}
```

Листинг 2.

## 2. Решение №1.

### 2.1 Моделирование

На рисунке 2.1. приведем результаты логи успешного моделирования.

```

Compiling(apcc) ../../../../source/lab7_z3.c in debug mode
INFO: [HLS 200-10] Running 'D:/Program_Files/Xilinx/Vivado/2019.1/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'Леонид' on host 'леонид-пк' (Windows_NT amd64 version 6.1) on Tue Oct 22 22:23:17 +0300 2019
INFO: [HLS 200-10] In directory 'D:/Program_Files/projects/hls/lab7_z3/lab7_3/solution1/csim/build'
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Generating csim.exe
Out 100 == Exp 100
-----Test Pass-----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] ***** CSIM finish *****
Finished C simulation.

```

Рисунок 2.1. Логи моделирования

### 2.2 Синтез

Результаты синтеза с оценкой производительности и используемых ресурсов представлены на рисунках 2.2 и 2.3 соответственно

#### Performance Estimates

##### Timing (ns)

##### Summary

| Clock  | Target | Estimated | Uncertainty |
|--------|--------|-----------|-------------|
| ap_clk | 10.00  | 2.702     | 0.10        |

##### Latency (clock cycles)

##### Summary

| Latency |     | Interval |     | Type |
|---------|-----|----------|-----|------|
| min     | max | min      | max |      |
| 11      | 11  | 11       | 11  | none |

Рисунок 2.2. Performance estimates – summary

#### Utilization Estimates

##### Summary

| Name            | BRAM_18K | DSP48E | FF    | LUT  | URAM |
|-----------------|----------|--------|-------|------|------|
| DSP             | -        | -      | -     | -    | -    |
| Expression      | -        | -      | 0     | 100  | -    |
| FIFO            | -        | -      | -     | -    | -    |
| Instance        | -        | -      | -     | -    | -    |
| Memory          | -        | -      | -     | -    | -    |
| Multiplexer     | -        | -      | -     | 24   | -    |
| Register        | -        | -      | 70    | -    | -    |
| Total           | 0        | 0      | 70    | 124  | 0    |
| Available       | 40       | 40     | 16000 | 8000 | 0    |
| Utilization (%) | 0        | 0      | ~0    | 1    | 0    |

Рисунок 2.3. Utilization estimates – summary

Диаграмма операционного расписания с указанием Latency и диаграмма операционного просмотрщика ресурсов приведены на рисунках 2.4. и 2.5.

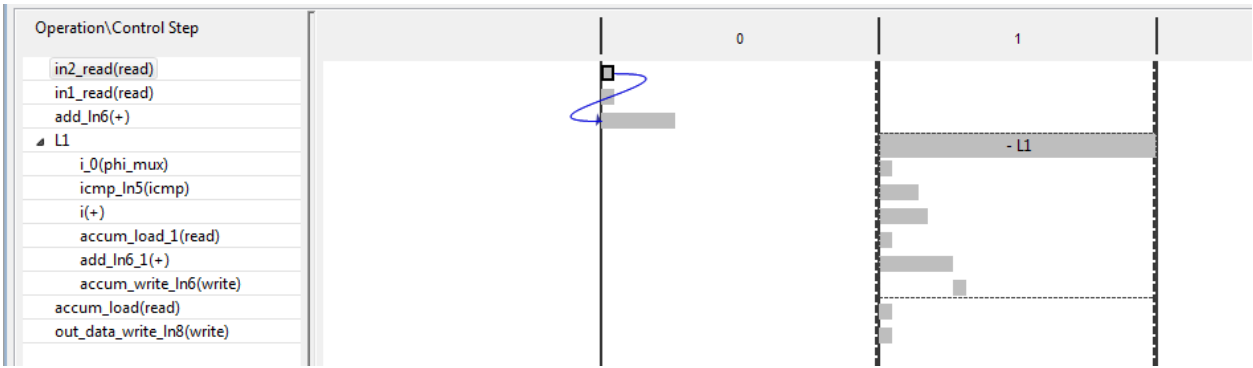


Рисунок 2.4. Schedule viewer

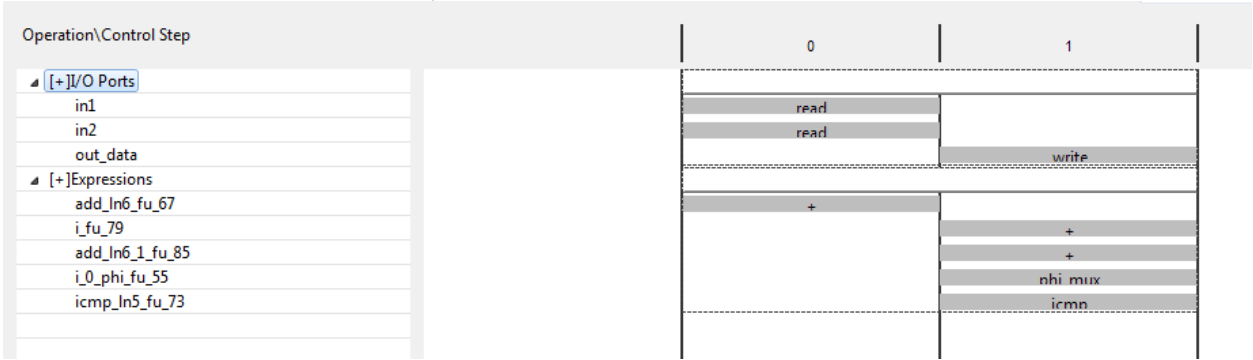


Рисунок 2.5. Resource viewer

## 2.3 C|RTL моделирование

Результаты C|RTL приведены на рисунке 2.6.

**Cosimulation Report for 'foo'**

**Result**

|         |        | Latency |     |     | Interval |     |     |
|---------|--------|---------|-----|-----|----------|-----|-----|
|         |        | min     | avg | max | min      | avg | max |
| RTL     | Status | min     | avg | max | min      | avg | max |
| VHDL    | NA     | NA      | NA  | NA  | NA       | NA  | NA  |
| Verilog | Pass   | 11      | 11  | 11  | NA       | NA  | NA  |

Рисунок 2.6. Отчет о моделировании

Временная диаграмма приведена на рисунке 2.7.

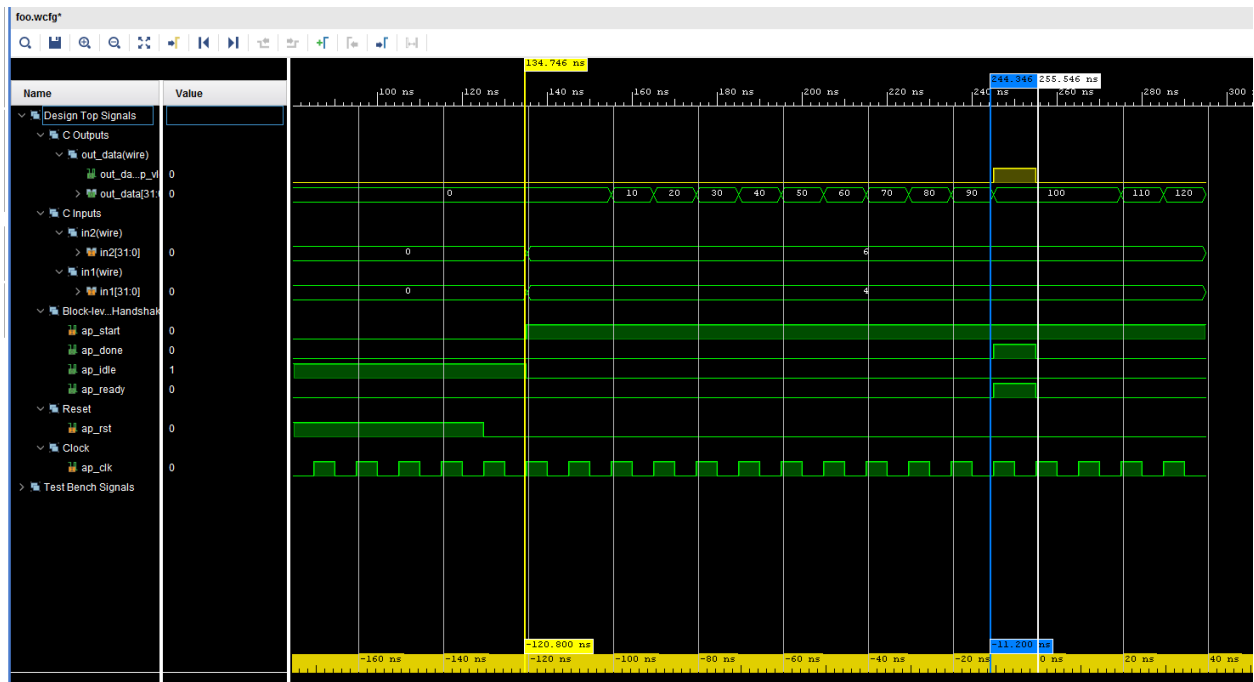


Рисунок 2.7. Временная диаграмма

## 3. Решение №2

### 3.1 Параметры второго решения

Пропишем директиву PIPELINE примененную к циклу, рисунок 3.1.

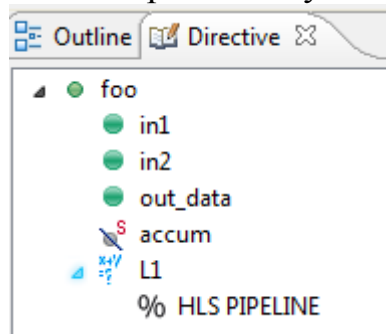


Рисунок 3.1. Директива PIPELINE примененная к циклу

### 3.2 Синтез

Результаты синтеза с оценкой производительности и используемых ресурсов представлены на рисунках 3.2 и 3.3 соответственно.

Performance Estimates

[-] Timing (ns)

[-] Summary

| Clock  | Target | Estimated | Uncertainty |
|--------|--------|-----------|-------------|
| ap_clk | 10.00  | 2.702     | 0.10        |

[-] Latency (clock cycles)

[-] Summary

| Latency |     | Interval |     |      |
|---------|-----|----------|-----|------|
| min     | max | min      | max | Type |
| 12      | 12  | 12       | 12  | none |

Рисунок 3.2. Performance estimates – summary



| Utilization Estimates |          |        |       |      |      |
|-----------------------|----------|--------|-------|------|------|
| Summary               |          |        |       |      |      |
| Name                  | BRAM_18K | DSP48E | FF    | LUT  | URAM |
| DSP                   | -        | -      | -     | -    | -    |
| Expression            | -        | -      | 0     | 100  | -    |
| FIFO                  | -        | -      | -     | -    | -    |
| Instance              | -        | -      | -     | -    | -    |
| Memory                | -        | -      | -     | -    | -    |
| Multiplexer           | -        | -      | -     | 30   | -    |
| Register              | -        | -      | 71    | -    | -    |
| Total                 | 0        | 0      | 71    | 130  | 0    |
| Available             | 40       | 40     | 16000 | 8000 | 0    |
| Utilization (%)       | 0        | 0      | ~0    | 1    | 0    |

Рисунок 3.3. Utilization estimates – summary

Диаграмма операционного расписания с указанием Latency и диаграмма операционного просмотрщика ресурсов приведены на рисунках 3.4 и 3.5.

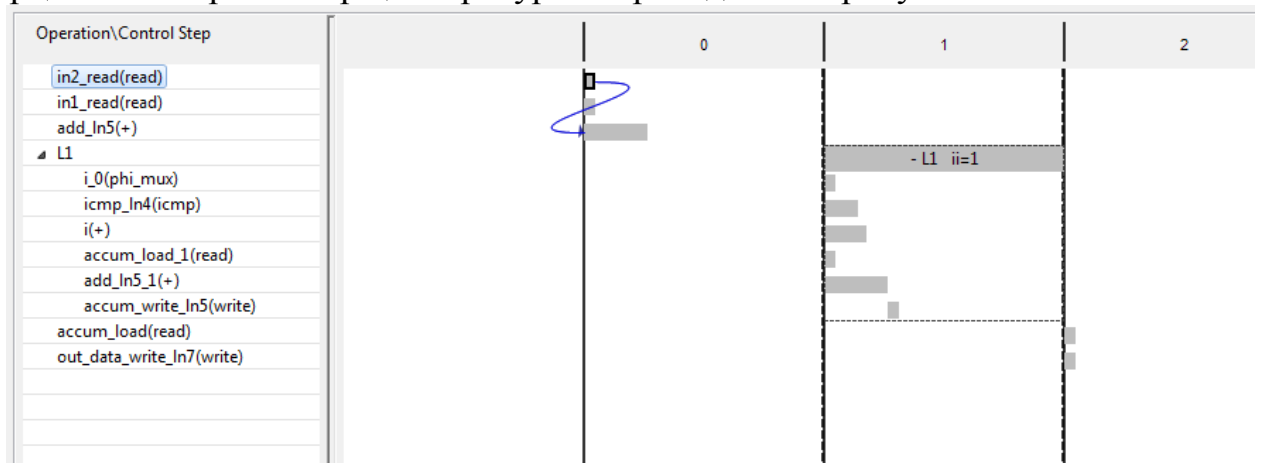


Рисунок 3.4. Schedule viewer

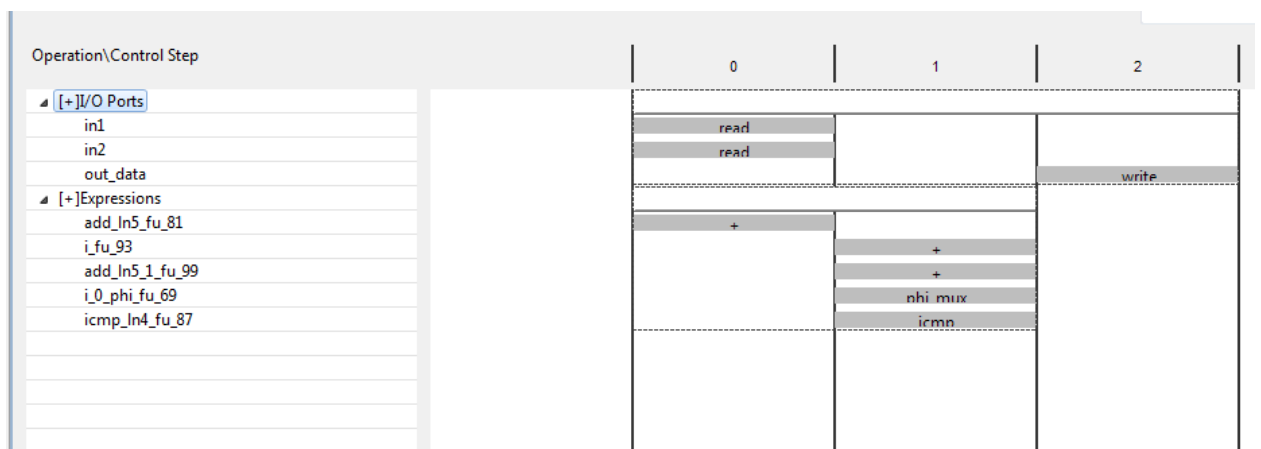


Рисунок 3.5. Resource viewer

### 3.3 C|RTL моделирование

Результаты C|RTL приведены на рисунке 3.6.



Рисунок 3.6. Отчет о моделировании

Временная диаграмма приведена на рисунке 3.7.

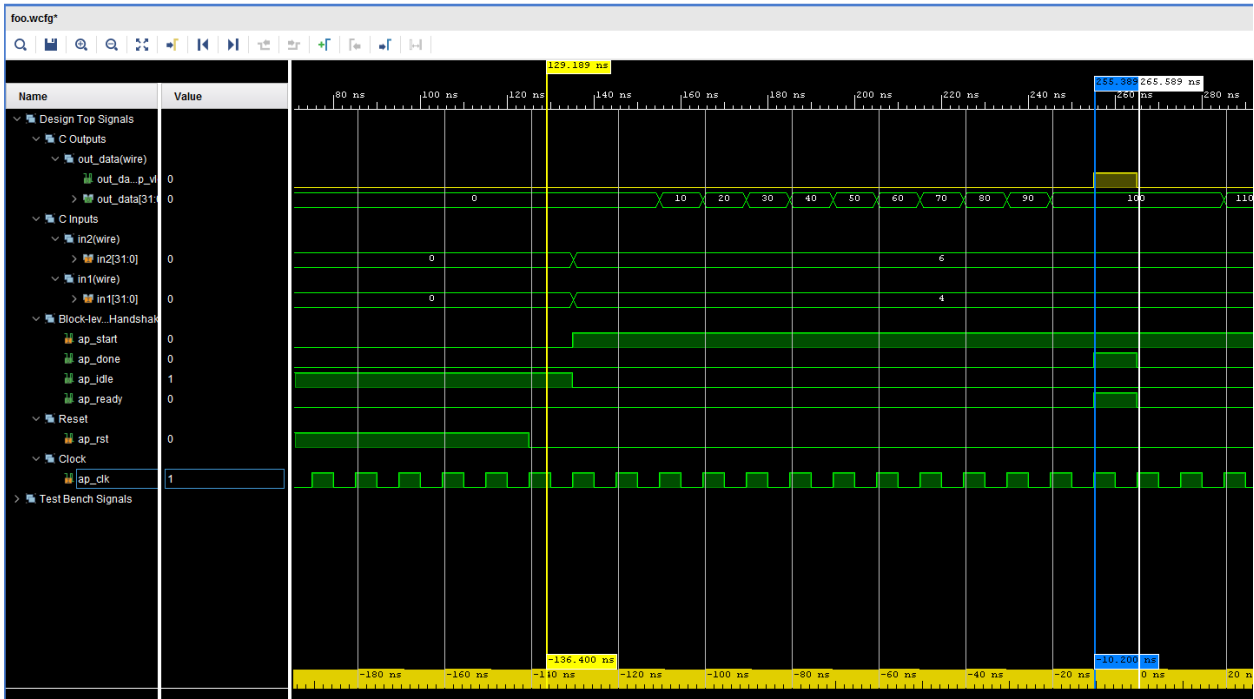


Рисунок 3.7. Временная диаграмма

## 4. Решение № 3.

### 4.1 Параметры третьего решения

Пропишем директиву PIPELINE внешнего цикла, рисунок 4.1.

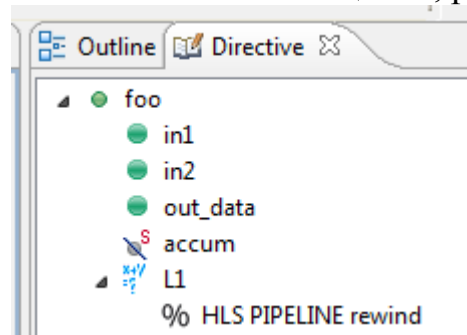


Рисунок 4.1. Директива PIPELINE примененная внутри внешнего цикла

### 4.2 Синтез

Результаты синтеза с оценкой производительности и используемых ресурсов представлены на рисунках 4.2. и 4.3 соответственно.

Performance Estimates

[-] Timing (ns)

[-] Summary

| Clock  | Target | Estimated | Uncertainty |
|--------|--------|-----------|-------------|
| ap_clk | 10.00  | 6.169     | 0.10        |

[-] Latency (clock cycles)

[-] Summary

| Latency |     | Interval |     |      |
|---------|-----|----------|-----|------|
| min     | max | min      | max | Type |
| 9       | 10  | 9        | 10  | none |

Рисунок 4.2. Performance estimates – summary

| Utilization Estimates |          |        |       |      |      |
|-----------------------|----------|--------|-------|------|------|
| Summary               |          |        |       |      |      |
| Name                  | BRAM_18K | DSP48E | FF    | LUT  | URAM |
| DSP                   | -        | -      | -     | -    | -    |
| Expression            | -        | -      | 0     | 86   | -    |
| FIFO                  | -        | -      | -     | -    | -    |
| Instance              | -        | -      | -     | -    | -    |
| Memory                | -        | -      | -     | -    | -    |
| Multiplexer           | -        | -      | -     | 54   | -    |
| Register              | -        | -      | 103   | -    | -    |
| Total                 | 0        | 0      | 103   | 140  | 0    |
| Available             | 40       | 40     | 16000 | 8000 | 0    |
| Utilization (%)       | 0        | 0      | ~0    | 1    | 0    |

Рисунок 4.3. Utilization estimates – summary

Диаграмма операционного расписания с указанием Latency и диаграмма операционного просмотрщика ресурсов приведены на рисунках 4.4. и 4.5.

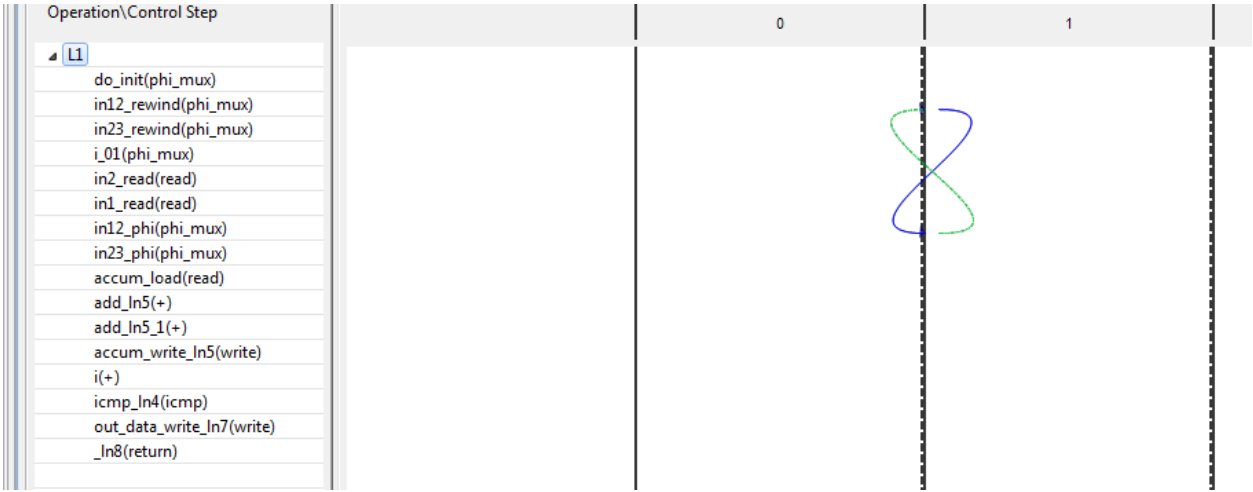


Рисунок 4.4. Schedule viewer

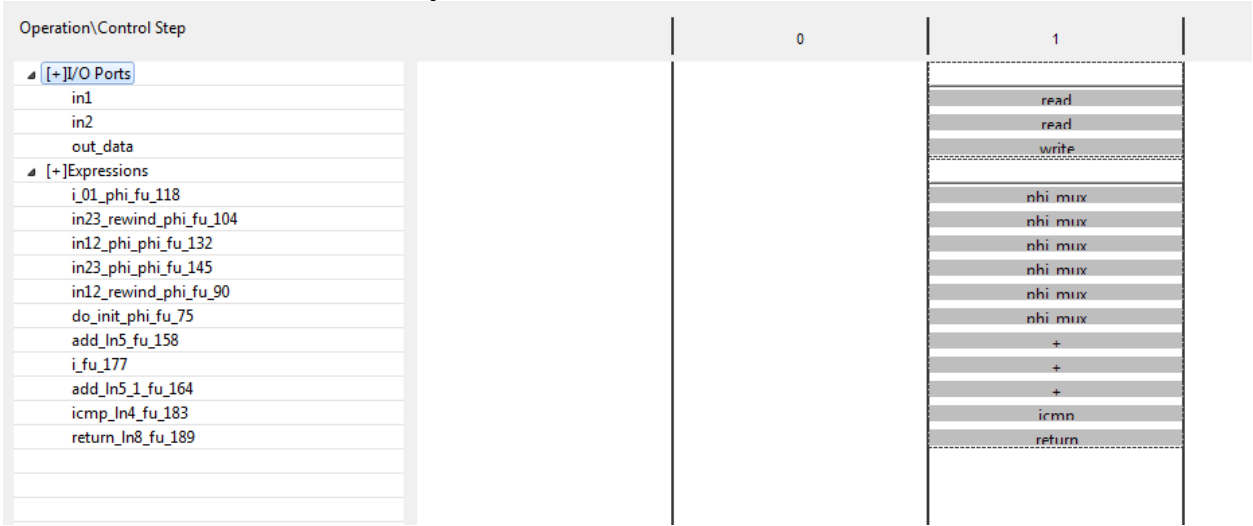


Рисунок 4.5. Resource viewer

4.3 C|RTL моделирование

Результаты C|RTL приведены на рисунке 4.6.

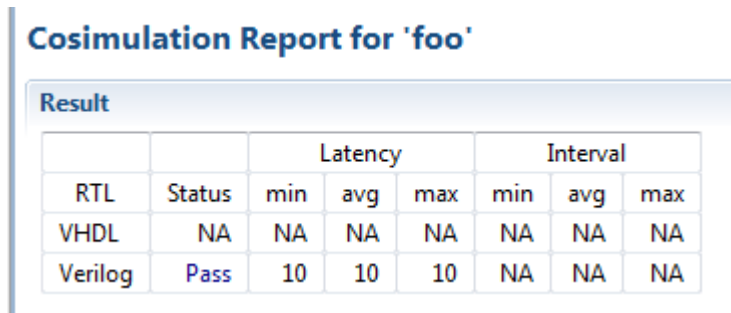


Рисунок 4.6. Отчет о моделировании

Временная диаграмма приведена на рисунке 4.7.

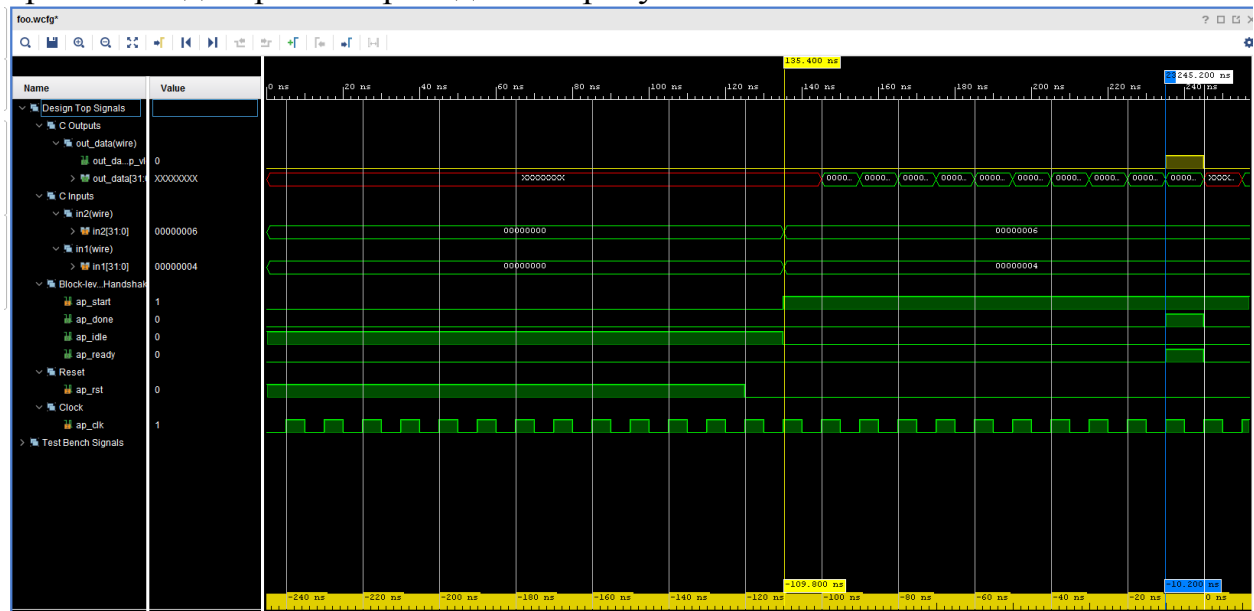


Рисунок 4.7. Временная диаграмма

## 5. Вывод

Функция «rewind» позволяет сократить время выполнения за счет того, что она начинает выполнение цикла верхнего уровня сразу по его завершению что и видно при сравнении решений 2 и 3. Хотя конкретно в данном случае применение директивы PIPELINE лишь ухудшило стандартное решение.

Performance Estimates

Timing (ns)

|        |           |           |           |           |
|--------|-----------|-----------|-----------|-----------|
| Clock  |           | solution1 | solution2 | solution3 |
| ap_clk | Target    | 10.00     | 10.00     | 10.00     |
|        | Estimated | 2.702     | 2.702     | 6.169     |

Latency (clock cycles)

|          |     |           |           |           |
|----------|-----|-----------|-----------|-----------|
|          |     | solution1 | solution2 | solution3 |
| Latency  | min | 11        | 12        | 9         |
|          | max | 11        | 12        | 10        |
| Interval | min | 11        | 12        | 9         |
|          | max | 11        | 12        | 10        |

Utilization Estimates

|          |           |           |           |
|----------|-----------|-----------|-----------|
|          | solution1 | solution2 | solution3 |
| BRAM_18K | 0         | 0         | 0         |
| DSP48E   | 0         | 0         | 0         |
| FF       | 70        | 71        | 103       |
| LUT      | 124       | 130       | 140       |
| URAM     | 0         | 0         | 0         |

Рисунок 5.1 Сравнительный отчет решений