Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

**Отчет по лабораторной работе №10\_1**

**Курс: «Проектирование реконфигурируемых гибридных вычислительных систем»**

**Тема: Директива DATA\_PACK**

Выполнил студент гр. 3540901/81501 Селиверстов Я.А.

(подпись)

Руководитель Антонов А.П.

(подпись)

“\_\_\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2019 г.

Санкт – Петербург

2019

ОГЛАВЛЕНИЕ

[**1. Задание** 3](#_Toc30289031)

[**2. Исходный код** 5](#_Toc30289032)

[**3. Скрипт** 7](#_Toc30289033)

[**4. Моделирование** 8](#_Toc30289034)

[**5. Решение 1а** 8](#_Toc30289035)

[**5.1. Директивы** 8](#_Toc30289036)

[**5.2. Синтез** 9](#_Toc30289037)

[**5.3. C/RTL моделирование** 13](#_Toc30289038)

[**6. Решение 2а** 14](#_Toc30289039)

[**6. 1. Директивы** 14](#_Toc30289040)

[**6. 2. Синтез** 14](#_Toc30289041)

[**6. 3. C/RTL моделирование** 18](#_Toc30289042)

[**7. Решение 3а** 18](#_Toc30289043)

[**7.1. Директивы** 18](#_Toc30289044)

[**7.2. Синтез** 19](#_Toc30289045)

[**7.3. C/RTL моделирование** 23](#_Toc30289046)

[**8. Решение 4а** 23](#_Toc30289047)

[**8.1. Директивы** 23](#_Toc30289048)

[**8.2. Синтез** 24](#_Toc30289049)

[**8.3. C/RTL моделирование** 28](#_Toc30289050)

[**Вывод** 28](#_Toc30289051)

# **1. Задание**

* Создать проект lab10\_1
* Микросхема: xa7a12tcsg325-1q
* Познакомиться с исходным кодом struct\_port.c
* Познакомиться с исходным кодом struct\_port\_test.c для проверки функции. Осуществить моделирование (с выводом результатов в консоль)
* Исследование:
* Solution\_1а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию ПО УМОЛЧАНИЮ
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму (интерес представляет количество и тип портов)
* Solution\_2а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию DATA\_PACK
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму (интерес представляет количество и тип портов)
* Сравнить два решения (solution\_1a и solution\_2a) и сделать выводы: зависимость от DATA\_PACK; объяснить (посчитать) число циклов Latency, II…
* Solution\_3а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию DATA\_PACK with struct\_level
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму (интерес представляет количество и тип портов)
* Сравнить два решения (solution\_2a и solution\_3a) и сделать выводы: зависимость от типа интерфейса; объяснить (посчитать) число циклов Latency, II…
* Solution\_4а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию DATA\_PACK with field\_level
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму (интерес представляет количество и тип портов)
* Сравнить два решения (solution\_3a и solution\_4a) и сделать выводы: зависимость от типа интерфейса; объяснить (посчитать) число циклов Latency, II…

# **2. Исходный код**

Ниже приведен исходный код устройства и теста.

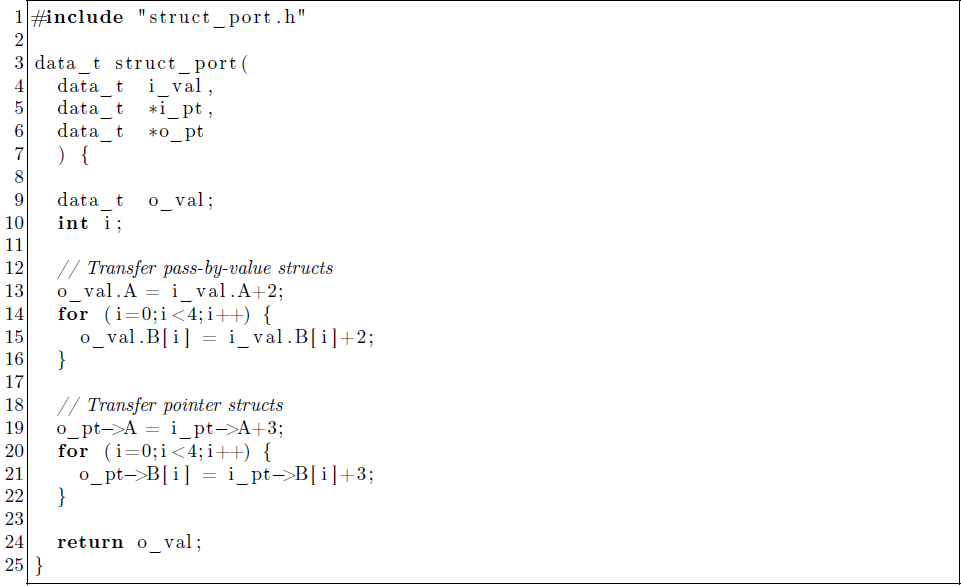


Рис. 2.1. Исходный код устройства

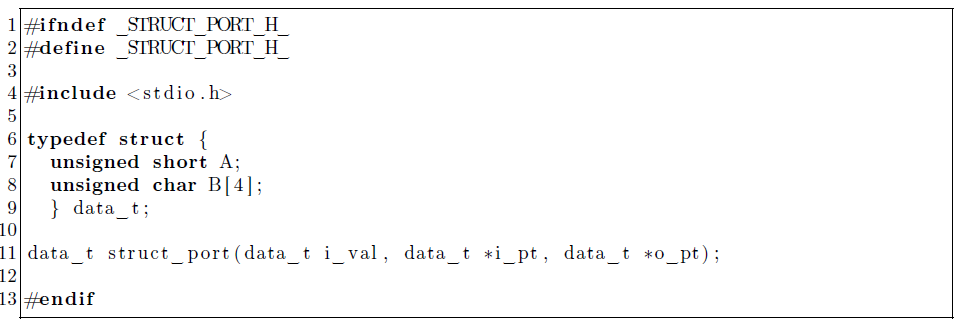


Рис. 2.2. Заголовочный файл

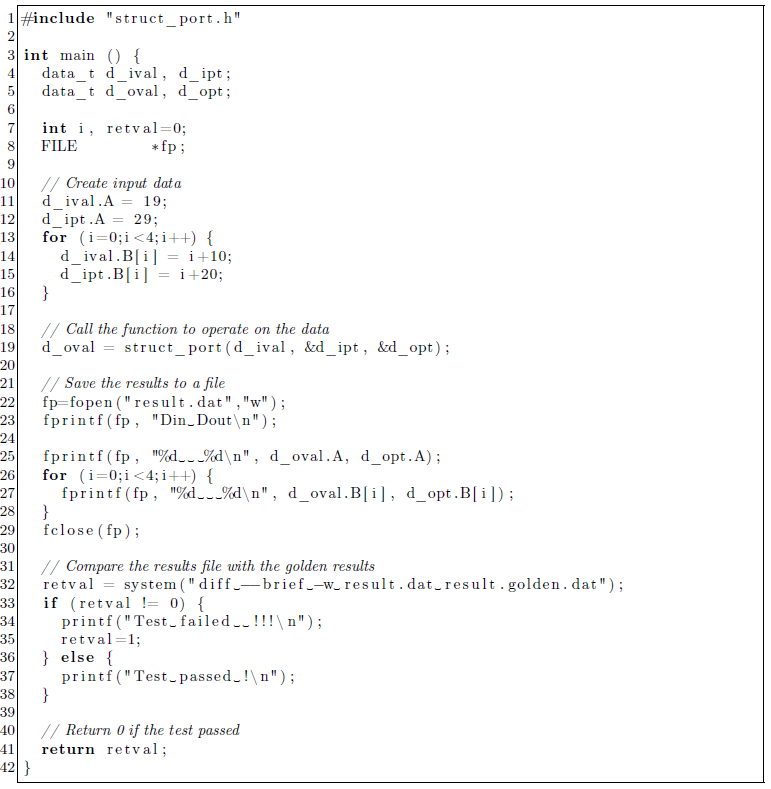


Рис. 2.3. Исходный код теста

# **3. Скрипт**

Ниже приводится скрипт, для автоматизации выполнения лабораторной работы.

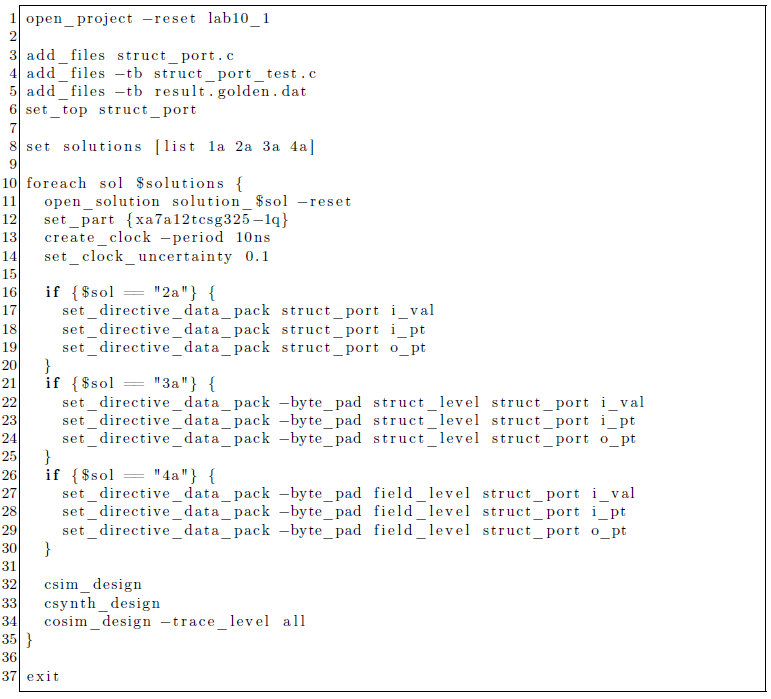


Рис. 3.1. Скрипт

# **4. Моделирование**

Ниже приведены результаты моделирования.

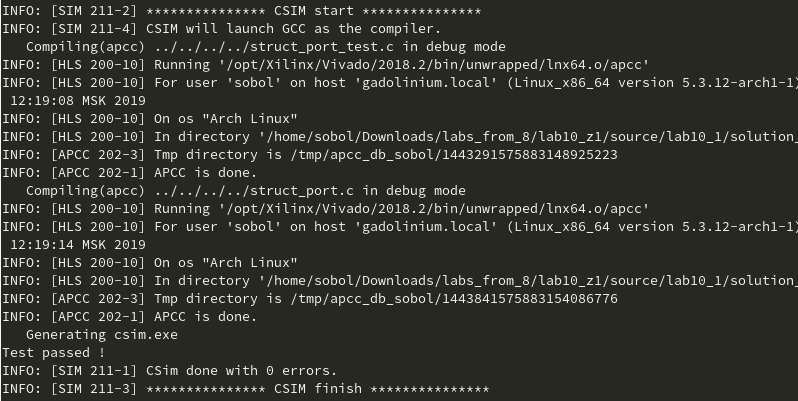


Рис. 4.1. Результаты моделирования

По результатам моделирования видно, что устройство работает корректно.

# **5. Решение 1а**

# **5.1. Директивы**

В данном решения были установлены следующие директивы:

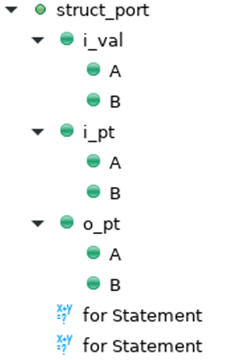


Рис. 5.1. Директивы

# **5.2. Синтез**

По оценке производительности видно, что устройство соответствует заданным критериям.

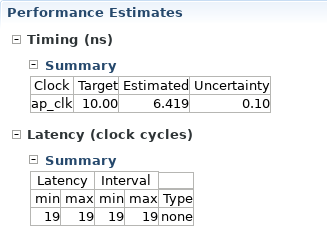


Рис. 5.2. Оценки производительности

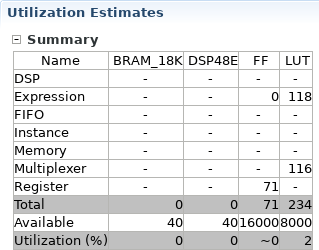


Рис. 5.3. Оценка использования

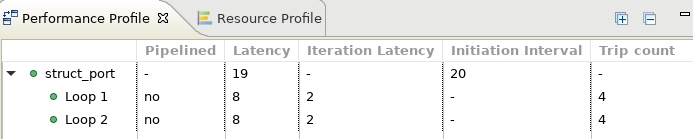


Рис. 5.4. Профиль производительности

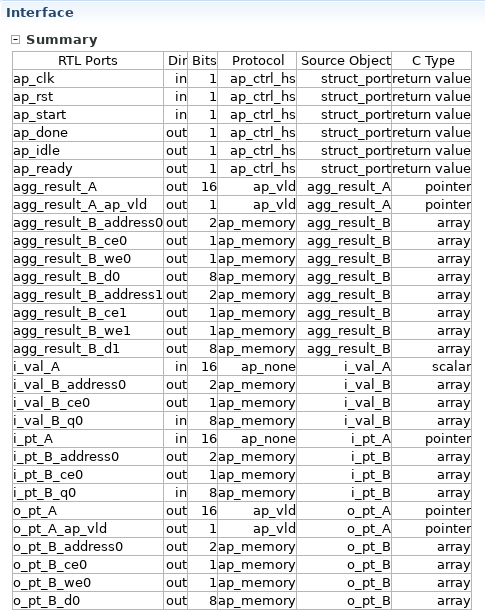


Рис. 5.5. Оценка интерфейса

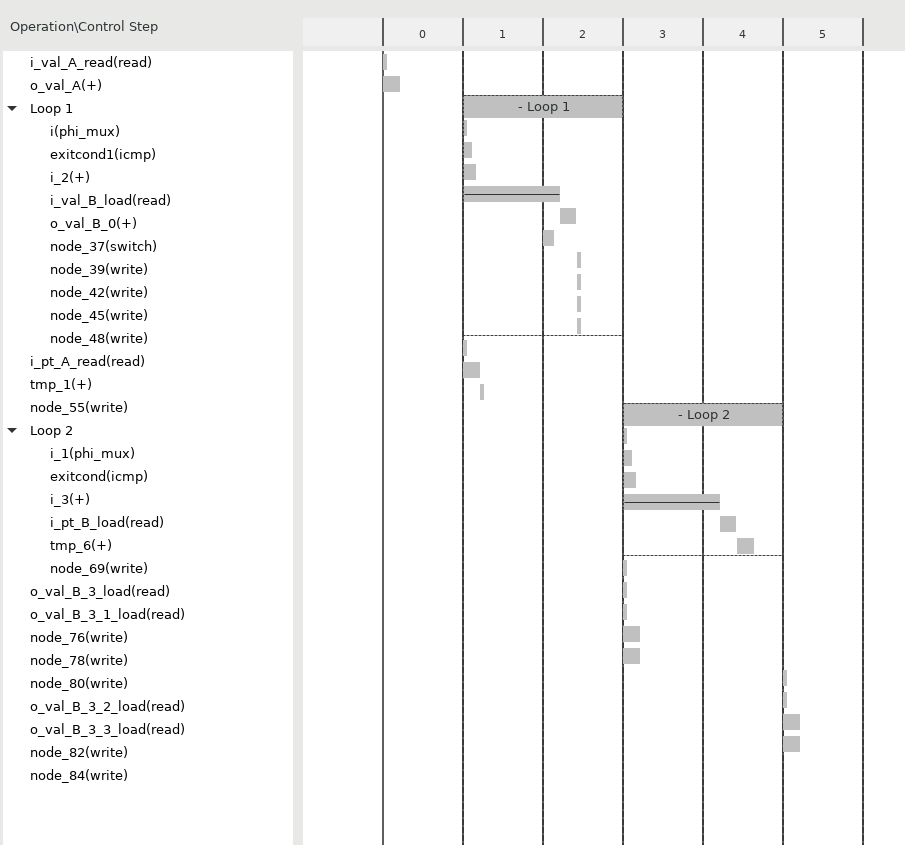


Рис. 5.6. Планировщик просмотра

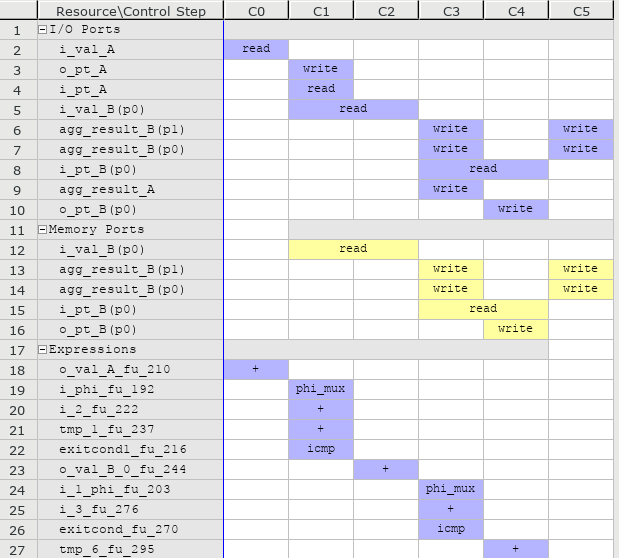


Рис. 5.7. Просмотрщик ресурсов

# **5.3. C/RTL моделирование**

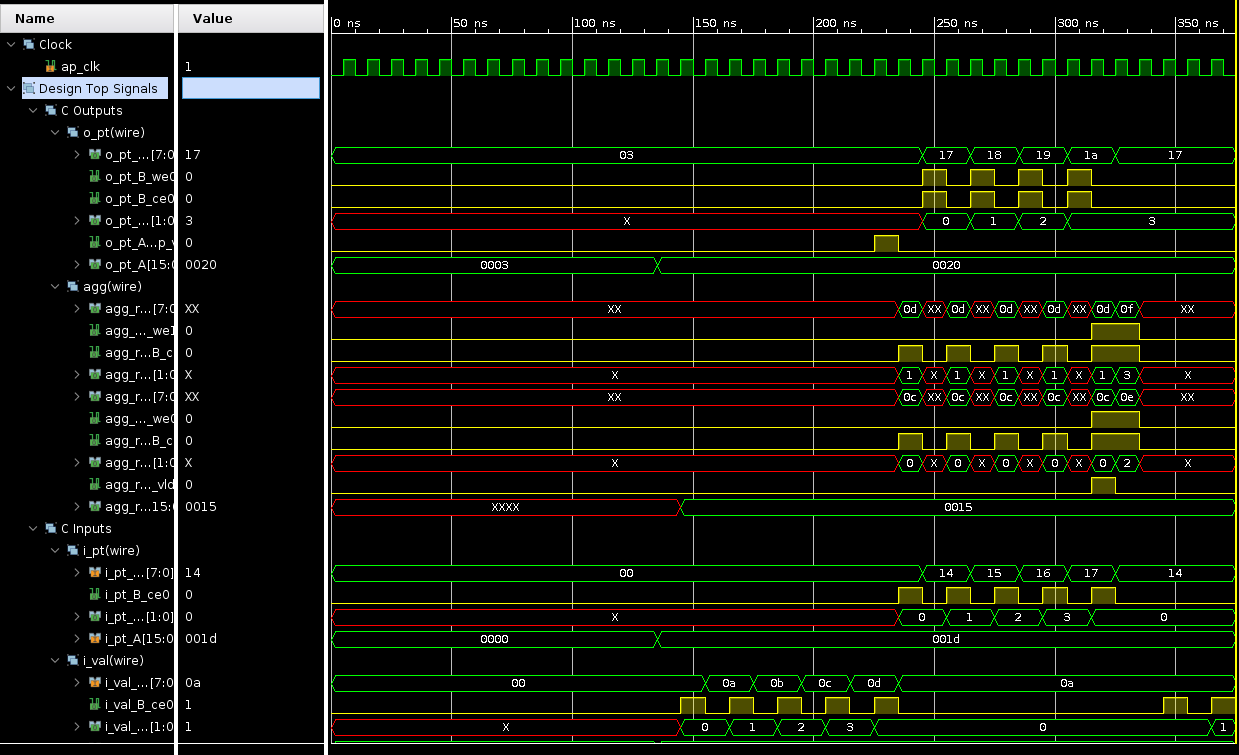


Рис. 5.8. Временная диаграмма

К портам были применены стандартные интерфейсы – ap\_memory. В функции при- сутствуют 2 цикла по 4 итерации. Для выполнения итерации первого цикла требуется 2 такта, для выполнения второго – 2 такта. Также нужен 1 такт на подготовку данных и 2 такта для записи результатов, в итоге имеем Latency = 4\*2 + 4\*2 + 1 + 2 = 19. Еще через 1 такт данные будут готовы на выходе II = 20.

# **6. Решение 2а**

# **6. 1. Директивы**

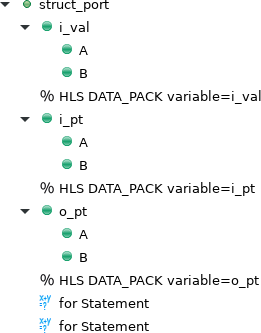


Рис. 6.1. Директивы

# **6. 2. Синтез**

По оценке производительности видно, что устройство соответствует заданным критериям.

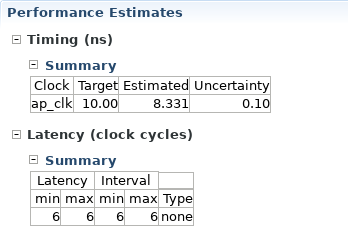


Рис. 6.2. Оценки производительности

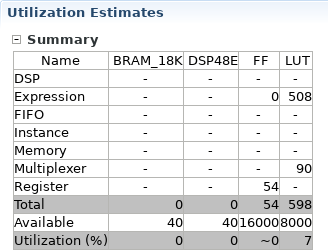


Рис. 6.3. Оценка использования

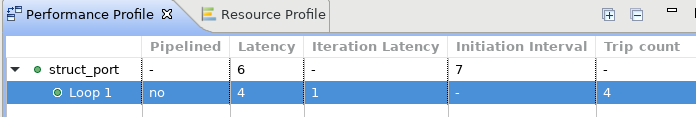


Рис. 6.4. Профиль производительности

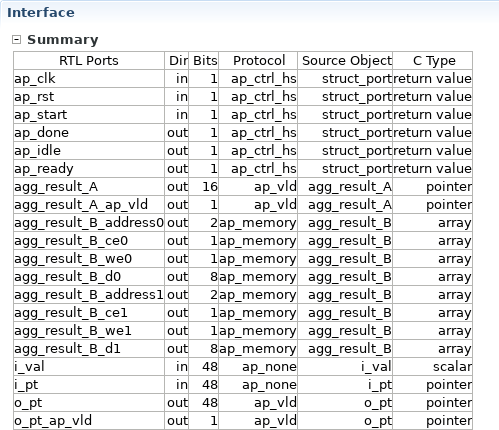


Рис. 6.5. Оценка интерфейса

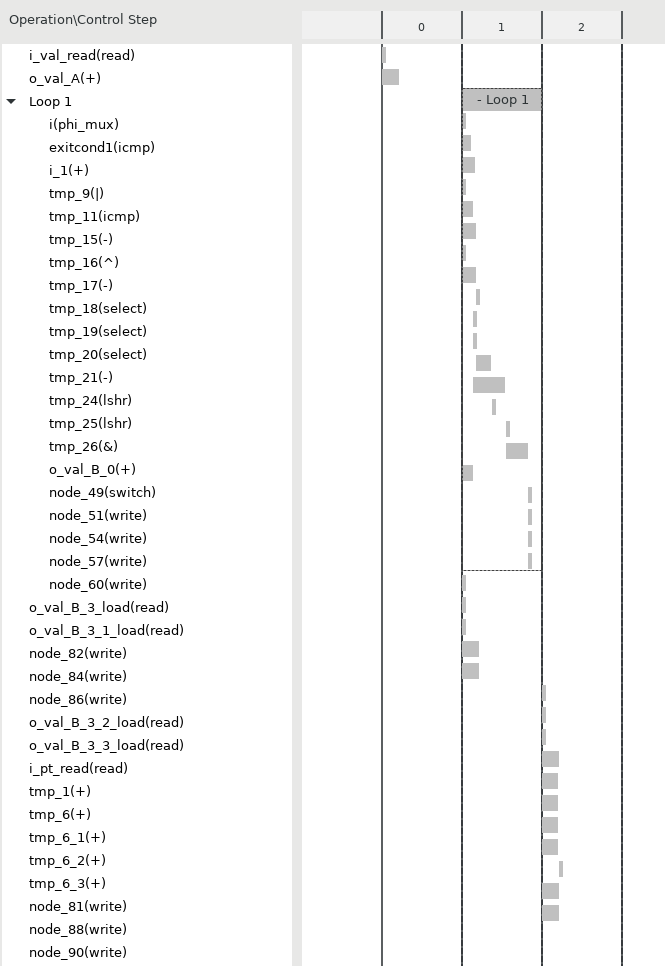


Рис. 6.6. Планировщик просмотра

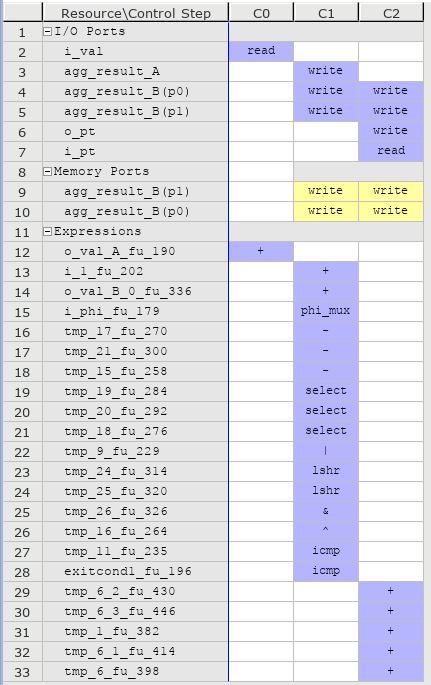


Рис. 6.7. Просмотрщик ресурсов

# **6. 3. C/RTL моделирование**

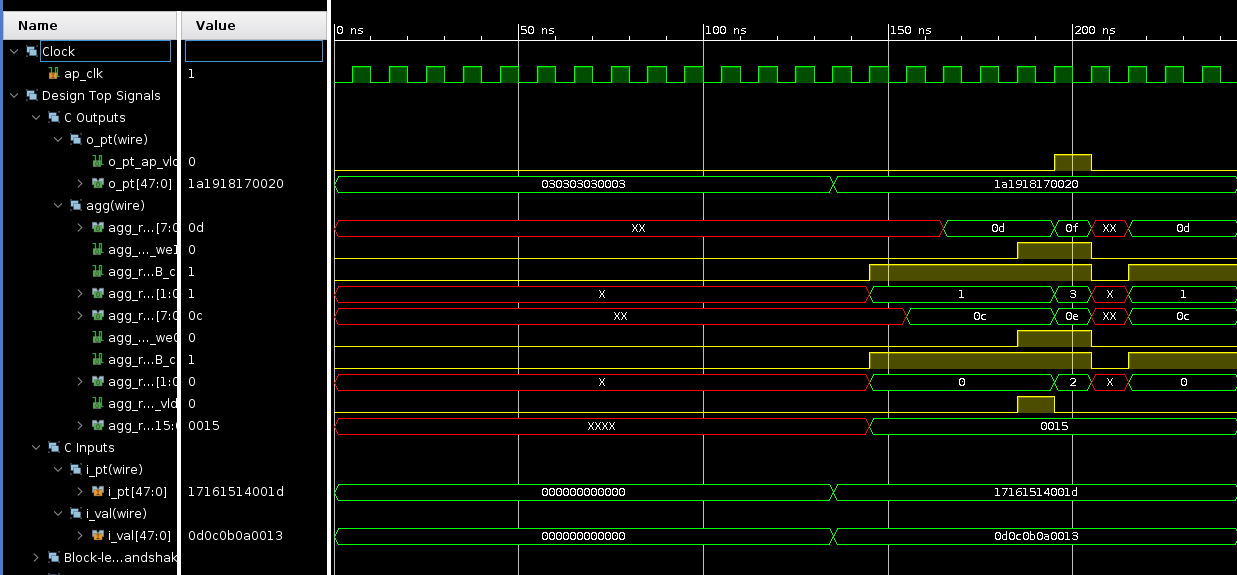


Рис. 6.8. Временная диаграмма

# **7. Решение 3а**

# **7.1. Директивы**

В данном решения были установлены директивы, приведённые ниже.

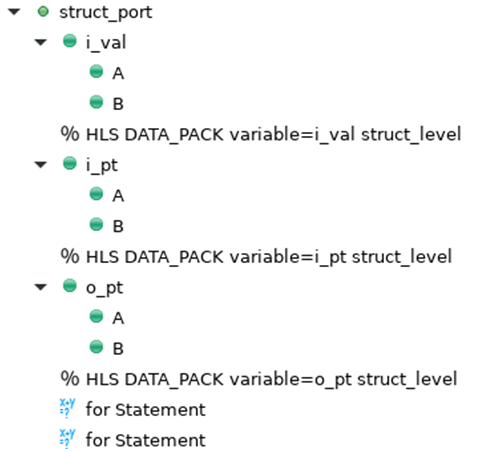


Рис. 7.1. Директивы

# **7.2. Синтез**

По оценке производительности видно, что устройство соответствует заданным критериям.

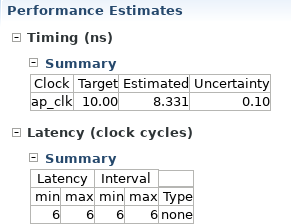


Рис. 7.2. Оценки производительности

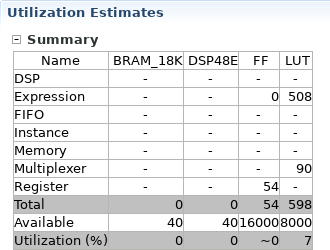


Рис. 7.3. Оценка использования

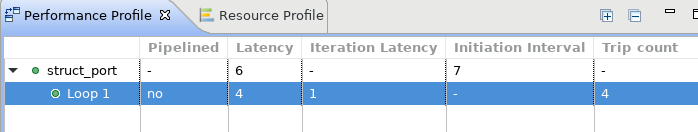


Рис. 7.4. Профиль производительности

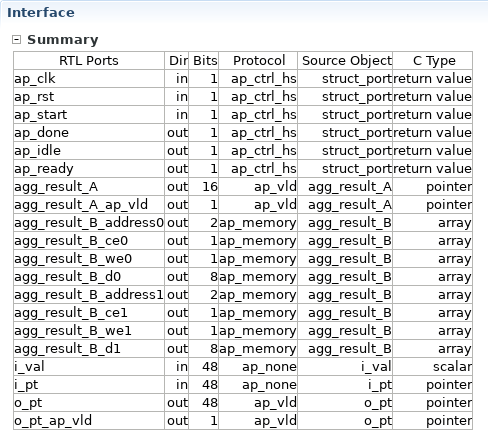


Рис. 7.5. Оценка интерфейса

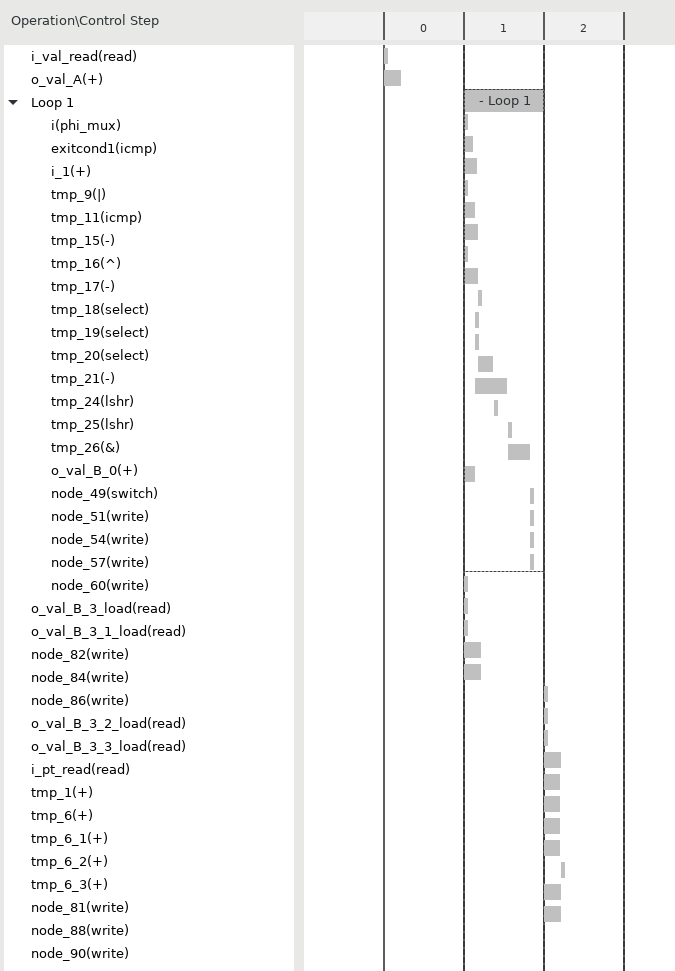


Рис. 7.6. Планировщик просмотра

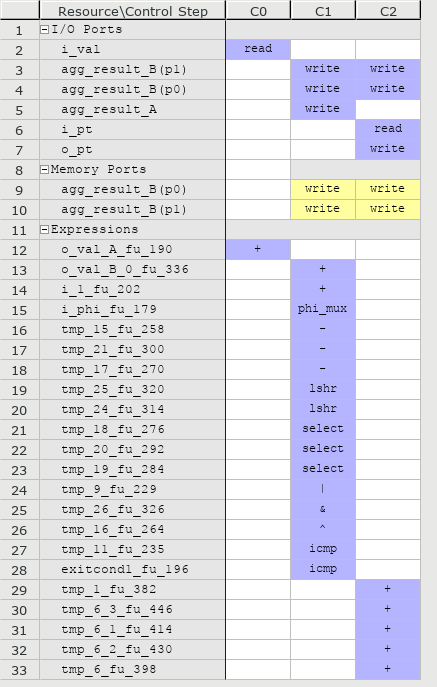
.

Рис. 7.7. Просмотрщик ресурсов

# **7.3. C/RTL моделирование**

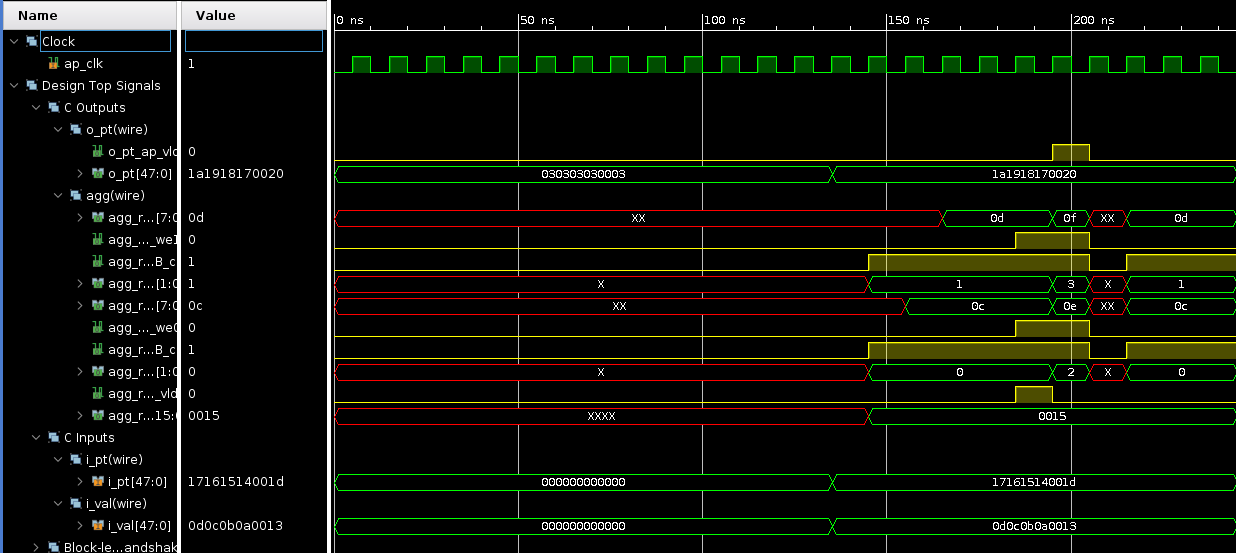


Рис. 7.8. Временная диаграмма

Это решение полностью совпадает с предыдущим.

# **8. Решение 4а**

# **8.1. Директивы**

В данном решения были установлены директивы, приведённые ниже.

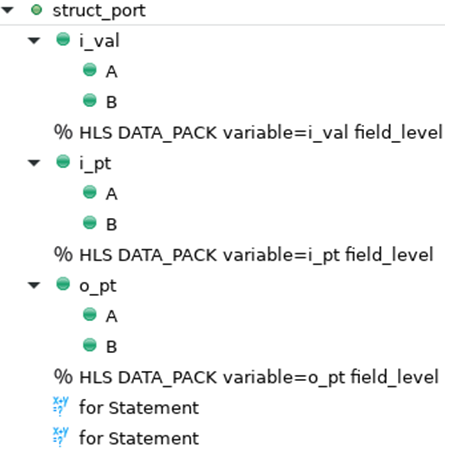


Рис. 8.1. Директивы

# **8.2. Синтез**

По оценке производительности видно, что устройство соответствует заданным критериям.

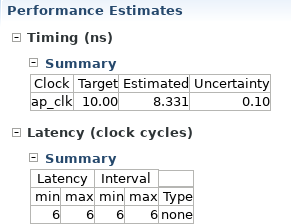


Рис. 8.2. Оценки производительности

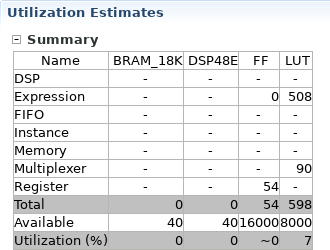


Рис. 8.3. Оценка использования

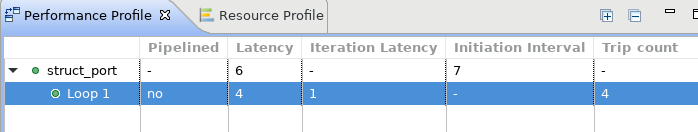


Рис. 8.4. Профиль производительности

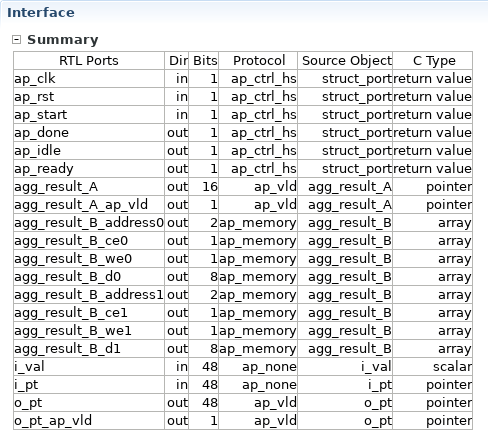


Рис. 8.5. Оценка интерфейса

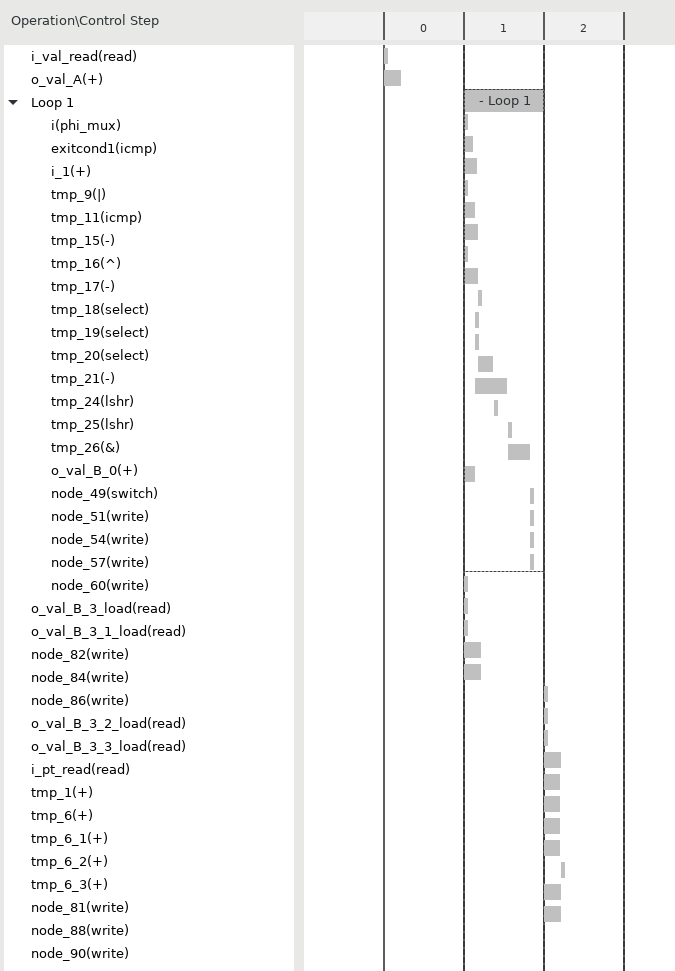


Рис. 8.6. Планировщик просмотра

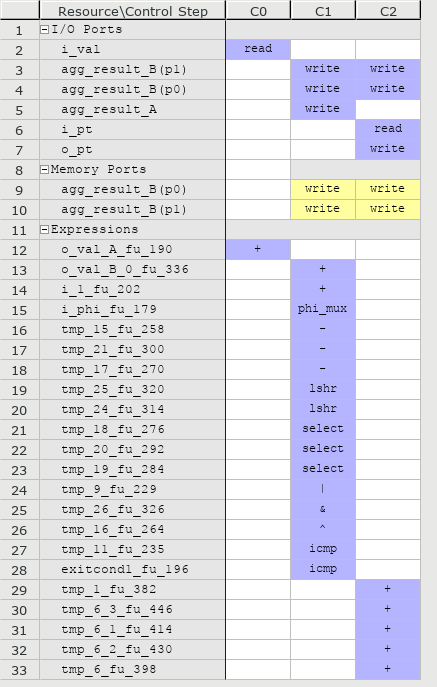


Рис. 8.7. Просмотрщик ресурсов

# **8.3. C/RTL моделирование**

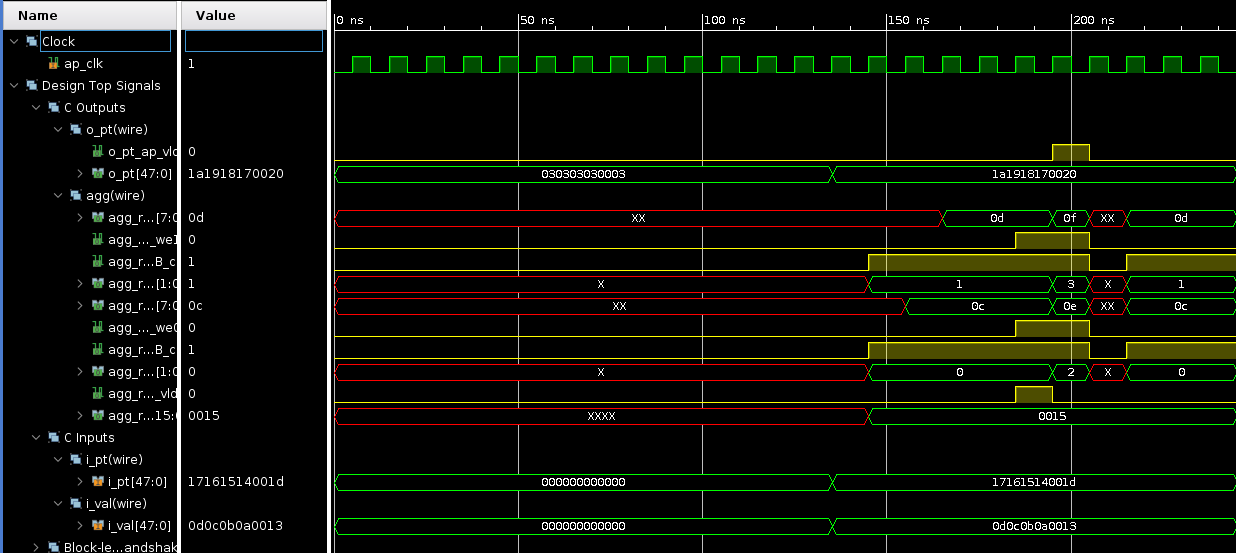


Рис. 8.8. Временная диаграмма

# **Вывод**

В ходе работы было исследовано влияние директивы DATA\_PACK на функции использующие структуры. Данная директива позволяет развернуть структуру в один порт соответствующей длины, однако это требует большого количество ресурсов. Изменения параметра byte\_pad в данной лабораторной работе не возымело никакого эффекта в свя- зи с тем, что исследуемая функция оказалась непоказательной.