Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

**Лабораторная работа 12 Задание 1**

**Предмет: «Проектирование реконфигурируемых гибридных вычислительных систем»**

**Тема: «Inline»**

Выполнил студент гр. 3540901/81501 Селиверстов Я.А.

(подпись)

Руководитель Антонов А.П.

(подпись)

“\_\_\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2019 г.

Санкт – Петербург

2019

Оглавление

[1. Задание 3](#_Toc27440671)

[2. Исходный код 6](#_Toc27440672)

[3. Моделирование 7](#_Toc27440673)

[4. Первое решение 7](#_Toc27440674)

[4.1. Директивы 7](#_Toc27440675)

[4.2. Синтез 7](#_Toc27440676)

[4.3. Использование ресурсов 8](#_Toc27440677)

[4.4. C/RTL Моделирование 9](#_Toc27440678)

[5. Второе решение 9](#_Toc27440679)

[5.1. Директивы 9](#_Toc27440680)

[5.2. Синтез 9](#_Toc27440681)

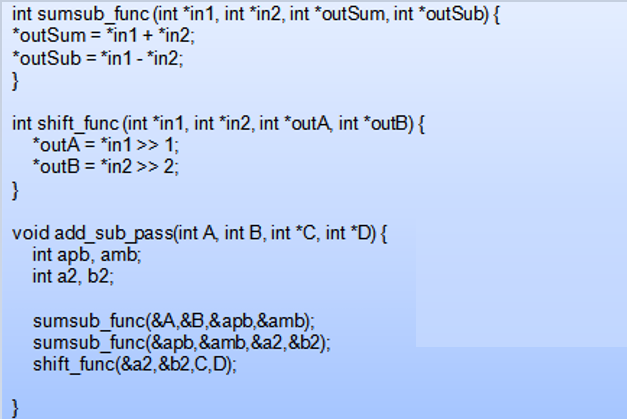
[5.3. Использование ресурсов 10](#_Toc27440682)

[5.4. C/RTL Моделирование 11](#_Toc27440683)

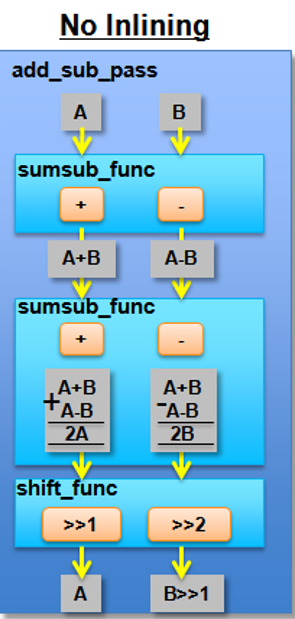
[6. Выводы 11](#_Toc27440684)

1. Задание

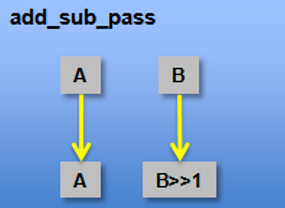
* Создать проект lab12\_1
* Микросхема: xa7a12tcsg325-1q
* Создать иерархическую функцию ,



* Создать тест lab12\_1\_test.c для проверки функции. Осуществить моделирование (с выводом результатов в консоль)
* Исследование:
* Solution\_1а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию ПО УМОЛЧАНИЮ
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
  + Убедиться в том, что требуется 2 сумматора и 2 вычитателя



* Solution\_2а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию Inlining
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
  + Убедиться в том, что для реализации не требуется ресурсов.



* Сравнить два решения (solution\_1a и solution\_2a) и сделать выводы

1. Исходный код

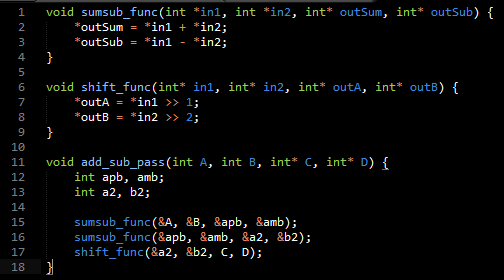


Рис. 2.1. Source code

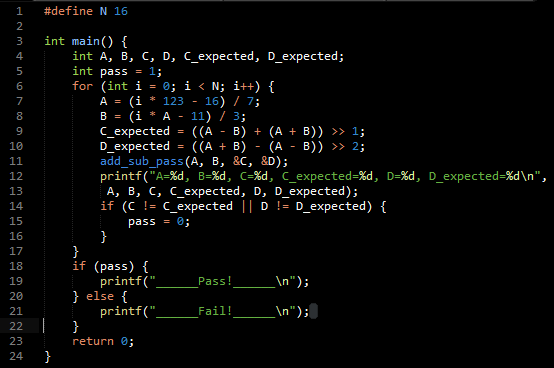


Рис. 2.2. Test code

1. Моделирование

По результатам моделирования видно, что устройство работает

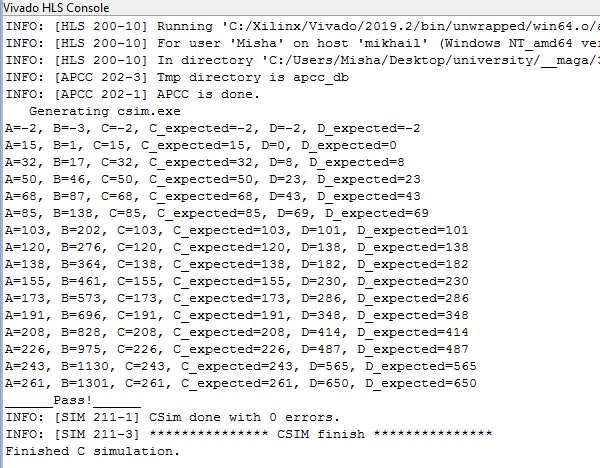


Рис. 3. Successful result of modeling

1. Первое решение
   1. Директивы

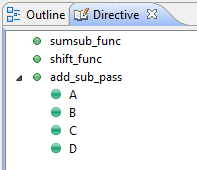


Рис. 4.1. Directives

* 1. Синтез

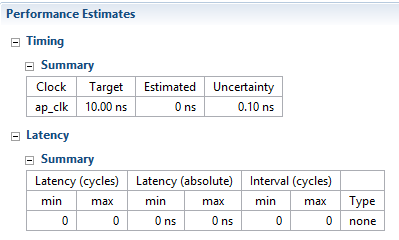


Рис. 4.2. Performance estimates

Полученная величина задержки укладывается в заданное значение.

* 1. Использование ресурсов

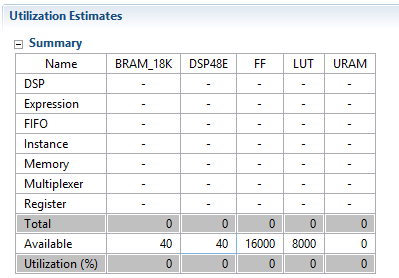


Рис. 4.3.1. Utilization estimates

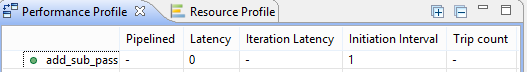


Рис. 4.3.2. Performance profile

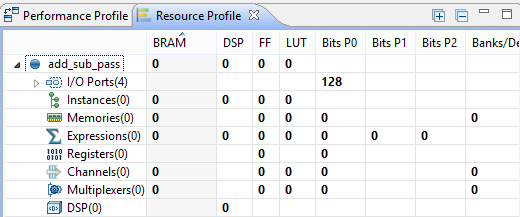


Рис. 4.3.3 Resource profile

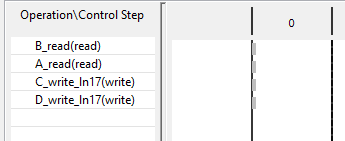


Рис. 4.3.4. Operation\Control Step

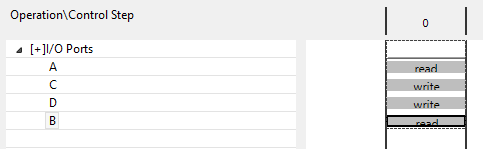


Рис. 4.3.5. Operation\Control Step

* 1. C/RTL Моделирование

По результат моделирование видно, что среда разработки выполнило inlining, хотя это не было указано явно.

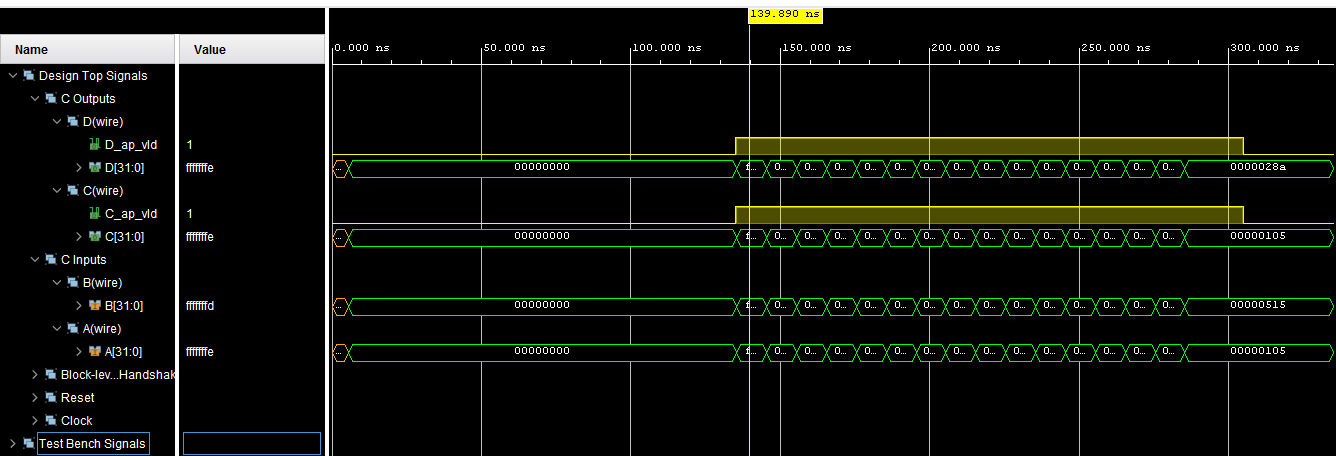


Рис. 4.4. Modeling result

1. Второе решение
   1. Директивы

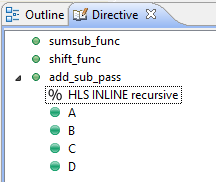


Рис.5.1 Directive

* 1. Синтез

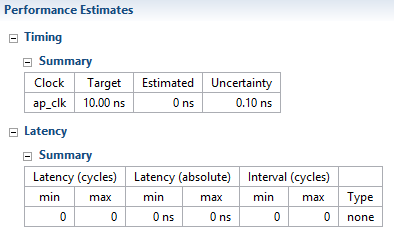


Рис. 5.2. Performance estimates

* 1. Использование ресурсов

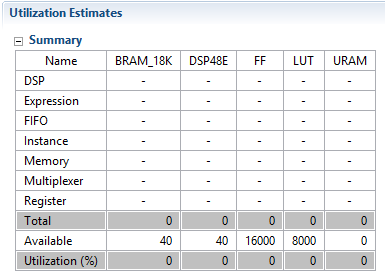


Рис. 5.3.1. Utilization estimates

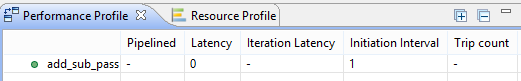


Рис. 5.3.2. Performance profile

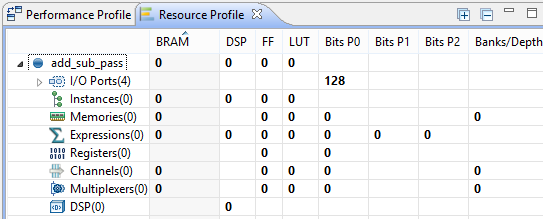


Рис. 5.3.3 Resource profile

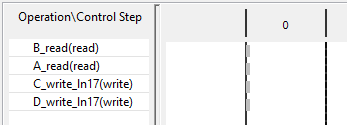


Рис. 5.3.4. Operation\Control Step

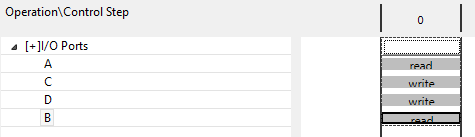


Рис. 5.3.5. Operation\Control Step

* 1. C/RTL Моделирование

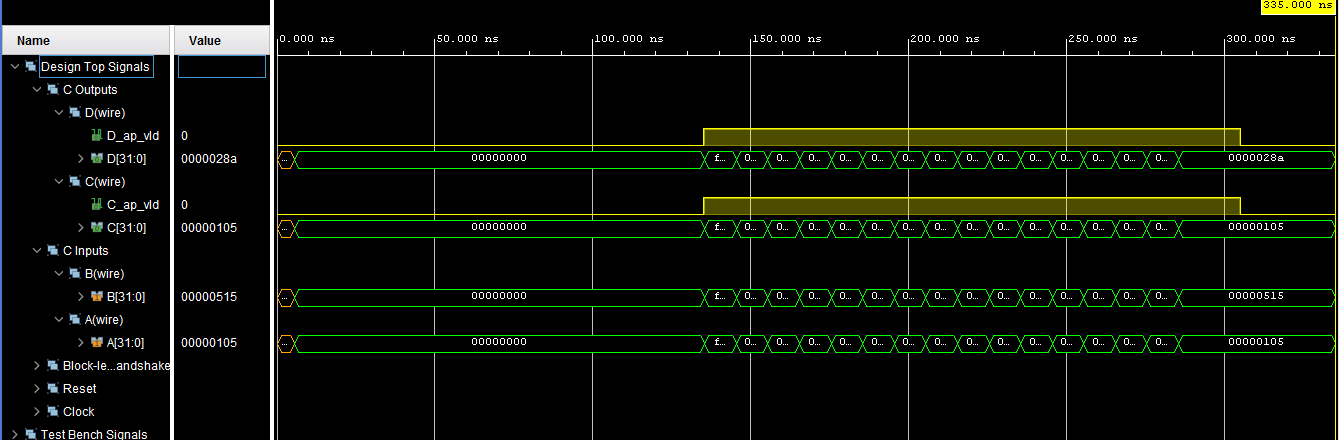


Рис. 5.4. Modeling result

Данное решение не отличается от первого, так как в предыдущем был применен inlining без явного указания, а во втором решение после явного указания – ничего не изменилось.

1. Выводы

В ходе выполнения работы не удалось сравнить производительность устройства после применения inlining и без применения, так как среда разработки применяет его, даже если это не указано, по причине того, что для данного устройства это однозначно приводит к улучшению характеристик.