Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

**Лабораторная работа №14. Задание №1**

**Курс: «Проектирование реконфигурируемых гибридных вычислительных систем»**

Выполнил студент гр. 3540901/81501 Селиверстов Я.А.

(подпись)

Руководитель Антонов А.П.

(подпись)

“\_\_\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2019 г.

Санкт – Петербург

2020

Оглавление

[1. Задание 3](#_Toc30380349)

[2. Исходный код 4](#_Toc30380350)

[3. Ход работы 4](#_Toc30380351)

[3.1. Решение 1а 4](#_Toc30380352)

[3.1.1. Моделирование 5](#_Toc30380353)

[3.1.2. Синтез 5](#_Toc30380354)

[4. Выводы 8](#_Toc30380355)

# Задание

* Создать проект lab14\_1
* Микросхема: xa7a12tcsg325-1q
* В папке source имеется описание функции с преобразованием malloc для синтеза. Ознакомьтесь с текстом.
* Ознакомиться с тестом
* Осуществить моделирование (с выводом результатов в консоль)
* Исследование:
* Solution\_1а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию ПО УМОЛЧАНИЮ
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сделать выводы и пояснить, что было сделано в коде.

# Исходный код

# Ход работы

## Решение 1а

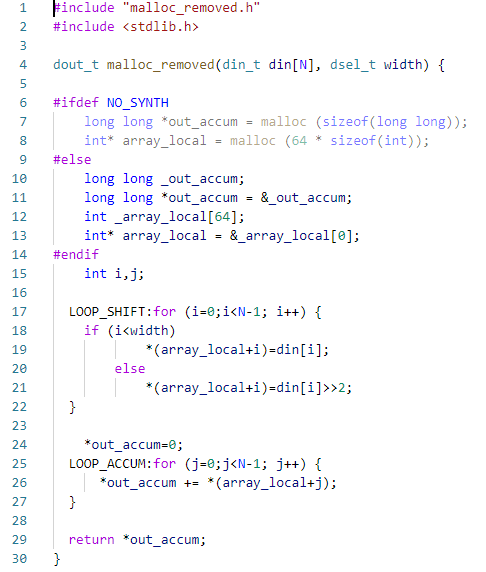


Рисунок . Исходный код устройства

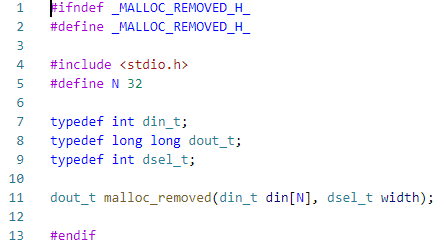


Рисунок . Заголовочный файл

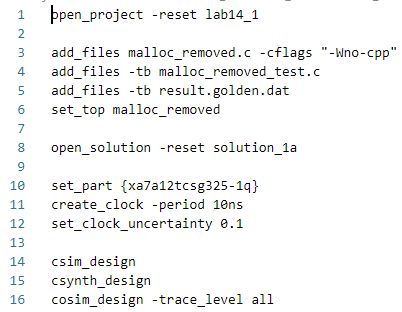


Рисунок . Скрипт

## Моделирование

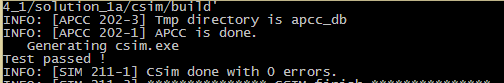


Рисунок . Результаты моделирования

Устройство работает корректно

## Синтез

По оценке производительности видно, что устройство соответствует заданным критериям.

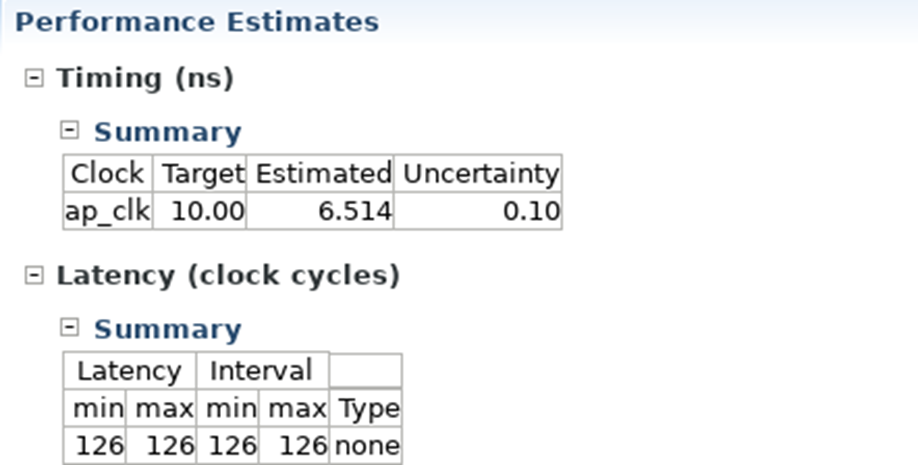


Рисунок . Performance estimates

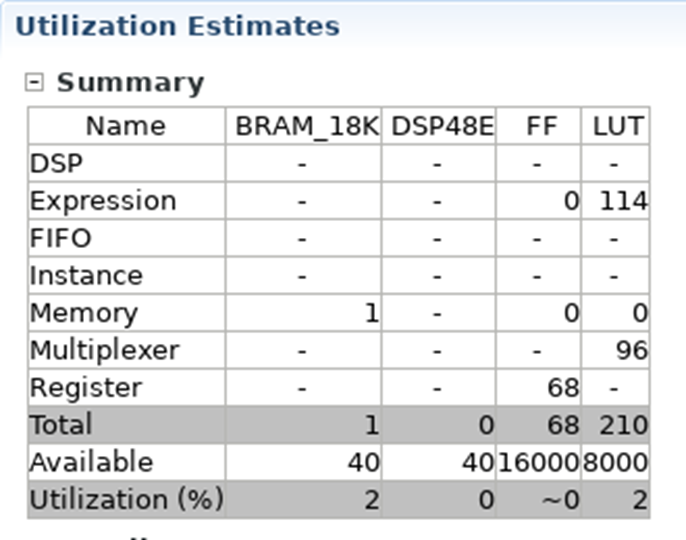


Рисунок . Utilization estimates

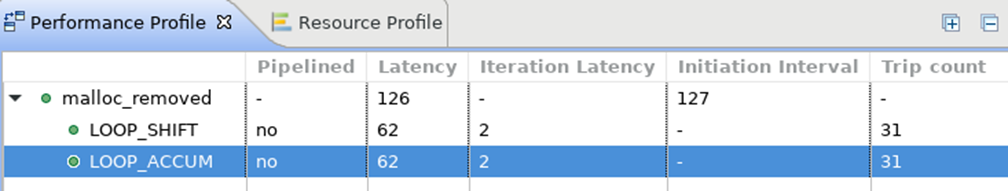


Рисунок . Performance profile

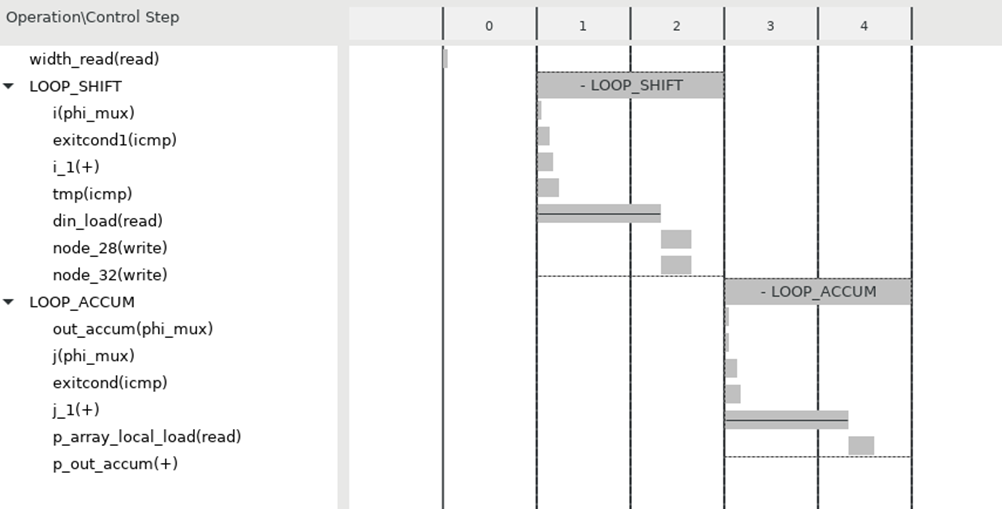


Рисунок . Scheduler viewer

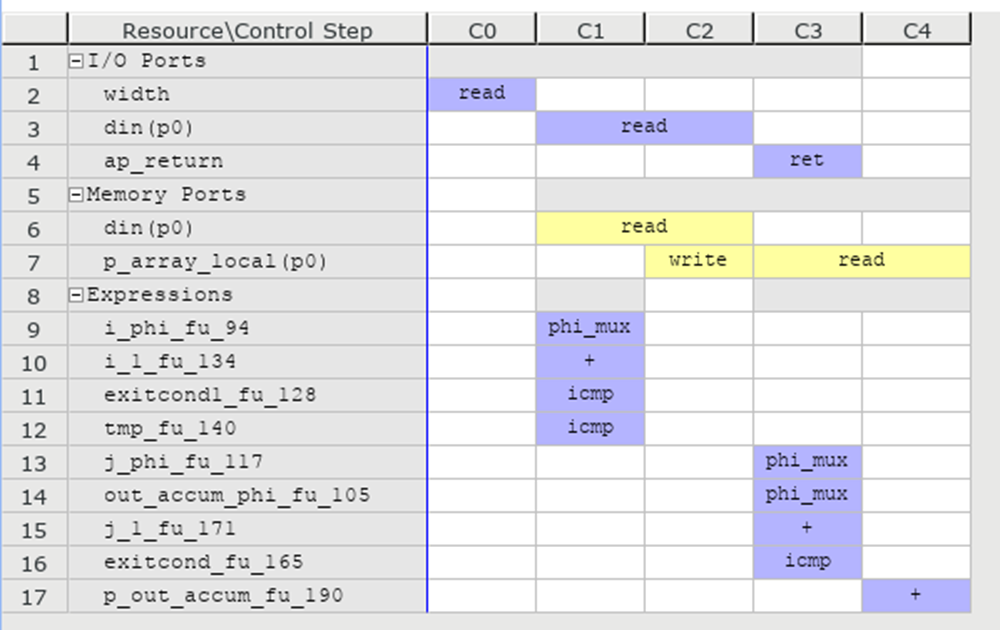


Рисунок . Resource viewer

Как видно из диаграммы, функция верхнего уровня состоит из 2 циклов: цикл сдвига данных и цикл суммирования данных в аккумулятор. Цикл сдвига состоит из команды чтения, которая требует больше всего времени работы цикла, и сложения данных с аккумулятором. В итоге получаем 2 такта на 1 цикл \* количество циклов 31 и получаем значение Latency = 62 такта. Аналогично для цикла сдвига, дольше всего длится опера- ция чтения данных, а далее 2 операции записи. В данном случае длительность одного цикла также 2 такта на 1 цикл \* количество циклов, в итоге получаем значение Latency = 62 Итоговое значение Latency = 62 + 62 + 1 для инициализации цикла SHIFT + 1 для инициализации цикла ACCUM = 126 Данные будут доступны на выходе через 1 такт Initiation Interval = Latency + 1 = 127

# Выводы

В рамках данной работы был показан способ обойти невозможность выделения памяти на аппаратном уровне, путем создания массива данных фиксированного размера, достаточного для сохранения всех данных.