AARHUS SCHOOL OF ENGINEERING

2.SEMESTERPROJEKT E2PRJ2

GRUPPE 10

Smart Morning System - SMS

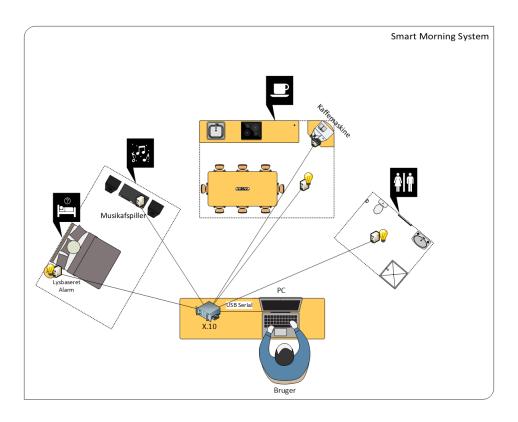
21. december 2016

Forfattere: Vejleder: 201511621 Christian Brandstrup Bondesen Kim Bjerge

201511621 Emil Celik

201408914 Marc Auphong Bui

2015xxxxx Rasmus Lund 201406253 Simon Egeberg





Indhold

| 1 | Indledning | 2 |
|---|--|---|
| 2 | Kravspecifikation | 3 |
| 3 | Systemarkitektur 3.1 Hardware-arkitektur | |
| 4 | Hardware-design, implementering & modultest 4.1 Design (HW) 4.2 Implementering (HW) 4.3 Modultest (HW) | 5 |
| 5 | Software-design, implementering & modultest 5.1 Design (SW) 5.2 Implementering (SW) 5.3 Modultest (SW) | 6 |
| 6 | ${\bf Integrations test} ({\bf HW/SW})$ | 7 |
| 7 | Accepttest | 8 |
| 8 | Bilag | ç |

1 Indledning

2 Kravspecifikation

3 Systemarkitektur

3.1 Hardware-arkitektur

| Bloknavn | Funktionsbeskrivelse | Signal | Kommentar |
|---------------|--|---------------------------------|-----------------------------|
| X-10 Sender | Modtage data serielt og sende data over lysnettet | 18V AC 5V DC 0V Lås Signal | Lysnet VCC Stel DE2 Serielt |
| Kodelås | Sender højt eller lavt signal | Lås 0V | DE2 Stel |
| Wake-up Light | Tænder/slukker til et vis tidspunkt relativt til modtaget data fra X-10 modtageren | Signal 0V 5V DC | P1 Stel VCC |
| Electronics | Tænder/slukker til et vis tidspunkt relativt til modtaget data fra X-10 modtageren | Signal 0V 5V DC | P1 Stel VCC |
| X-10 Modtager | Modtage data fra lysnet og sende videre til hhv. Wake-up Light og Electronics | 18V AC 5V DC 0V Signal | Lysnet VCC Stel Serielt |

Tabel 1: Blokbeskrivelse for det overordnede system

3.2 Software-arkitektur

- 4 Hardware-design, implementering & modultest
- 4.1 Design (HW)
- 4.2 Implementering (HW)
- 4.3 Modultest (HW)

- $5\quad \text{Software-design, implementering \& modultest}$
- 5.1 Design (SW)
- 5.2 Implementering (SW)
- 5.3 Modultest (SW)

6 Integrationstest (HW/SW)

7 Accepttest

8 Bilag