```
`timescale 1ns / 1ps
//////////////////////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 12/01/2020 11:29:34 PM
// Design Name:
// Module Name: Compare
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
//////////////////////////////////////////////////////////////////////////////////


module Compare(
    input a, b, D,
    output eq, lt
    );

    assign eq = ~(a ^ b);
    assign lt = (~a & b);

endmodule
```