

UNIVERSIDAD NACIONAL DE RÍO NEGRO  
SEDE ANDINA



## Laboratorio de Electrónica Analógica

---

### Informe

# Control analógico satelital

---

Profesor: Juan Pablo Adriach

Alumnos: Simún Aulet

Juan Nicolòs Roccasalvo

Nuria Belón Paredes

SAN CARLOS DE BARILOCHE, FEBRUARY 2026



## Tabla de contenidos

<b>1</b>	<b>Introducción</b>	<b>4</b>
<b>2</b>	<b>Metodología</b>	<b>4</b>
<b>3</b>	<b>Introducción</b>	<b>5</b>
<b>4</b>	<b>Control térmico</b>	<b>6</b>
<b>5</b>	<b>Orientación solar</b>	<b>12</b>
<b>6</b>	<b>Despliegue de paneles</b>	<b>16</b>
<b>7</b>	<b>Verificación despliegue</b>	<b>20</b>
<b>8</b>	<b>Sistema de selección y detección de orientación</b>	<b>24</b>
8.1	Latch de selección . . . . .	24
8.2	Sensor de orientación gruesa . . . . .	25
<b>9</b>	<b>Filtro Activo</b>	<b>26</b>
<b>10</b>	<b>Control térmico</b>	<b>33</b>

## Índice de figuras

3.1	PCB Terminado . . . . .	5
4.1	Ploteo de lómites para histéresis . . . . .	7
4.2	Circuito implementado en LTSpice . . . . .	8
4.3	Salida de inverting schmitt trigger . . . . .	8
4.4	Salida de non-inverting schmitt trigger . . . . .	9
4.5	Salida sin histéresis . . . . .	9
4.6	Medición características de la histéresis . . . . .	9
4.7	Esquemático . . . . .	10
4.8	Controles manuales en PCB . . . . .	11
5.1	Simulación del LDR . . . . .	12
5.2	Salida del LDR . . . . .	13
5.3	Esquemático de detección de orientación . . . . .	14
5.4	Selectores e indicador de eclipse en el PCB . . . . .	15



5.5	Sensores exteriores de luz . . . . .	15
6.1	Diagrama en bloques del despliegue. . . . .	16
6.2	Circuito oscilador sinusoidal . . . . .	17
6.3	Circuito oscilador sinusoidal . . . . .	18
6.4	Prueba en oscilloscopio . . . . .	19
7.1	Esquematico completo . . . . .	21
7.2	Circuito completo en LTSpice . . . . .	22
7.3	Forma de onda de entrada y salida del signal-to-pulse . . . . .	23
7.4	Forma de onda de entrada, reset y salida del 555 . . . . .	23
7.5	Forma de onda de lógica de alarma . . . . .	24
8.1	Esquematico completo . . . . .	25
8.2	Circuito del sensor de orientaciún basado en LDR . . . . .	26
9.1	Topolog�a Sallen Key . . . . .	27
9.2	Bode filtro activo . . . . .	30
9.3	Modulaci�n AM 1 . . . . .	31
9.4	Arm�nicos . . . . .	32
9.5	Modulaci�n AM 2 . . . . .	32
9.6	Desfasaje . . . . .	33
10.1	Example image 1x1 . . . . .	34

## Indice de Tablas

## Listings

4.1	Simulacion histeresis . . . . .	6
9.1	Simulacion filtro . . . . .	29

## 1 Introducción

## 2 Metodología

There are no definite rules for label prefixes, but you can use the following as a guideline.

### 3 Introducción

Diseñamos la computadora de a bordo de un sistema de control satelital completamente analógico. El desarrollo del proyecto se desglosó en 14 laboratorios, cada uno de los cuales aportó componentes relevantes para el aprendizaje del diseño analógico. Esto incluyó la implementación de funciones específicas para la placa, la implementación de conceptos de teoría de control, la integración de sistemas electrónicos, previa simulación y, finalmente, la puesta a punto.

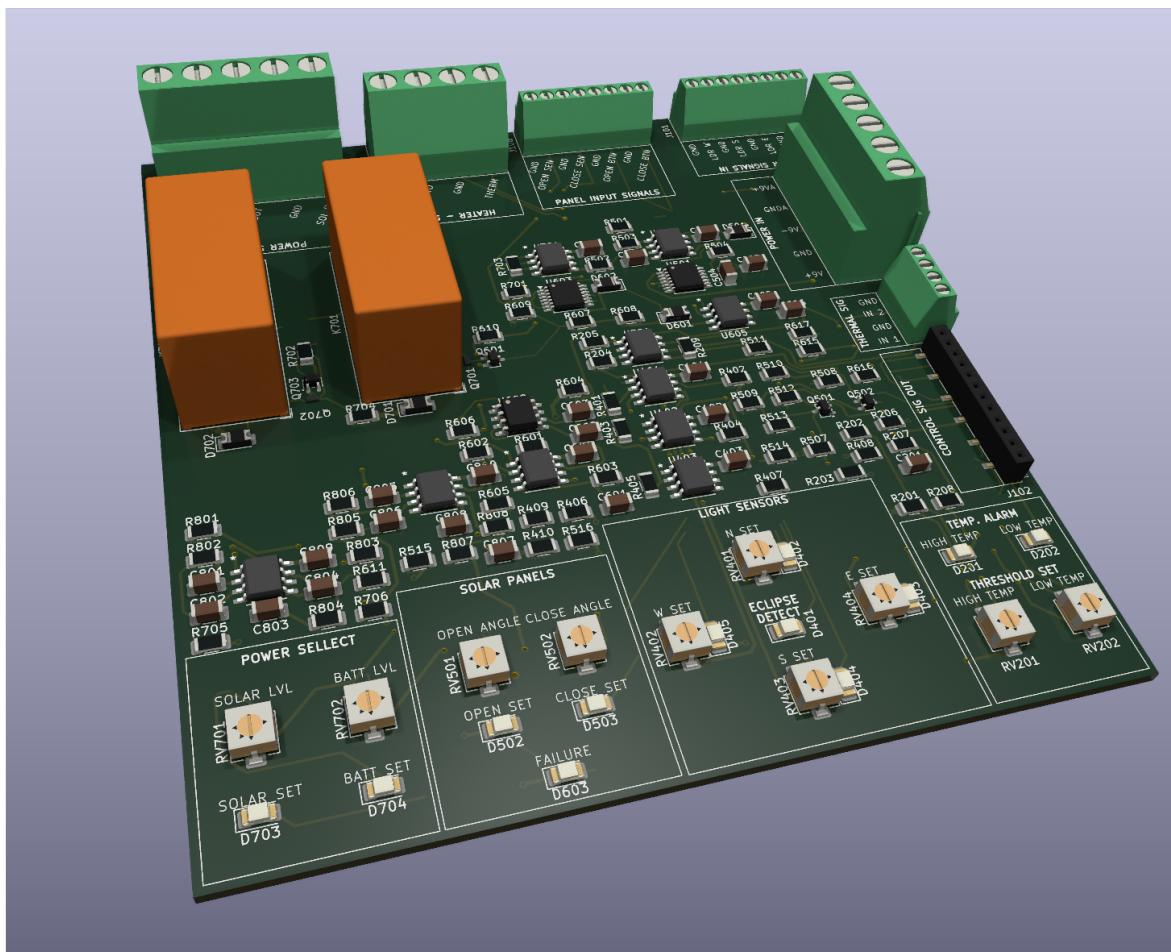


Imagen 3.1: PCB Terminado

## 4 Control tórmico

### Objetivo

### Implementaciún

#### Simulaciúnes

#### Planteo matemótico

Para las simulaciúnes se parte de la ecuaciún de schmitt trigger:

$$V_{inL} = \frac{R_1}{R_1 + R_2} (V_{OL} - V_{ref}) + V_{ref}$$

$$V_{inH} = \frac{R_1}{R_1 + R_2} (V_{OH} - V_{ref} + V_{ref})$$

$$H = \frac{R_1}{R_1 + R_2} (V_{OH} - V_{OL})$$

Para elegir los valores, se simula el sistema de ecuaciúnes en Python

Listing 4.1: Simulacion histeresis

```

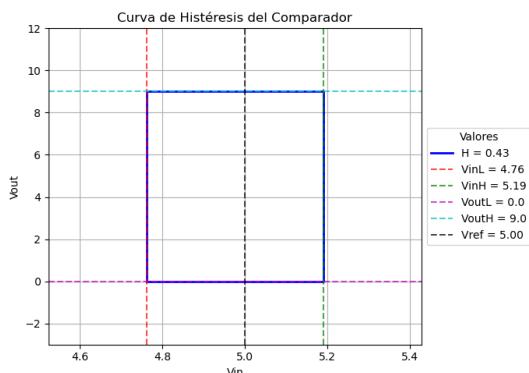
1
2     from sympy import symbols, Eq, solve
3     import matplotlib.pyplot as plt
4
5     #Generacion de simbolos
6     VinL, VinH, H, R1, R2, VOL, VOH, Vref = symbols('VinL'
7           'VinH H R1 R2 VOL VOH Vref')
8
9     #Implementacion de ecuaciones
10    eq_min = Eq(VinL, R1/(R1+R2) * (VOL - Vref) + Vref)
11    eq_max = Eq(VinH, R1/(R1+R2) * (VOH - Vref) + Vref)
12    eq_H    = Eq(H,      R1/(R1+R2) * (VOH - VOL))
13
14    #Se sobreesciben los valores conocidos dejandose 3
15        incognitas
16    VinL_val = VinL

```

```

15 VinH_val = VinH
16 H_val = H
17 R1_val = 5e3
18 R2_val = 100e3
19 VOL_val = 0
20 VOH_val = 9
21 Vref_val = 5
22
23 #Se resuelve el circuito para v superior, inferior e
   histeresis
24 sol = solve(
25     (eq_min.subs({R1: R1_val, R2:R2_val, VOL:VOL_val,
26       Vref:Vref_val}),
27      eq_max.subs({R1: R1_val, R2:R2_val, VOH:VOH_val,
28        Vref:Vref_val}),
29      eq_H.subs({ R1: R1_val, R2:R2_val, VOH:VOH_val, VOL
         :VOL_val})),
30      (VinL, VinH, H)
31 )

```



El código nos determina los límites de voltaje para encendido y apagado ( $V_{in}$ ) de la salida del amplificador, así como los valores superiores e inferior de voltaje que son  $VCC$  y 0 respectivamente. El ancho resulta en  $430mV$

Horno 4.1: Ploteo de los límites para histéresis

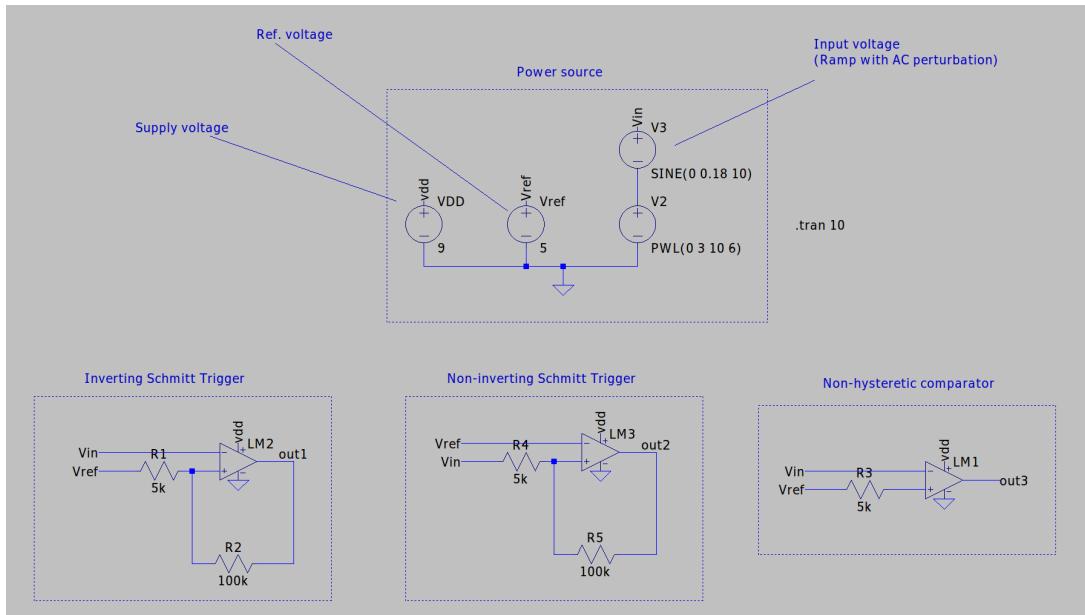
### Simulación en LTSpice

A partir de esto, se realizan las simulaciones en LTSpice. No del circuito final, si no de los tres casos posibles de funcionamiento del schmitt trigger:

- Histeresis con inversión

- Históresis sin inversión
- Comparador sin históresis

El circuito implementado en LTSpice es el siguiente:

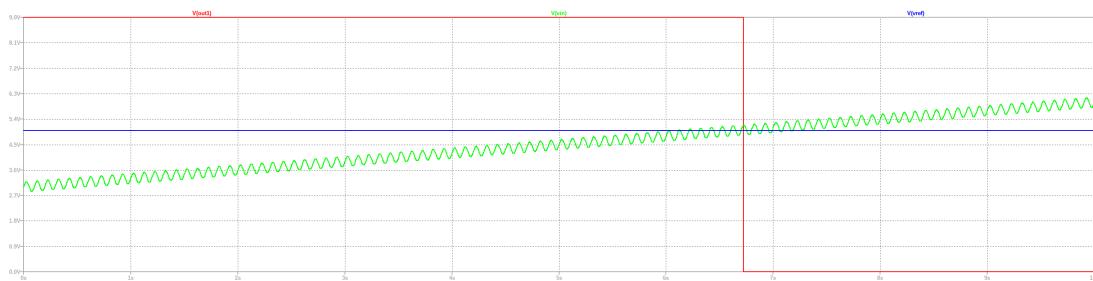


Horn 4.2: Circuito implementado en LTSpice

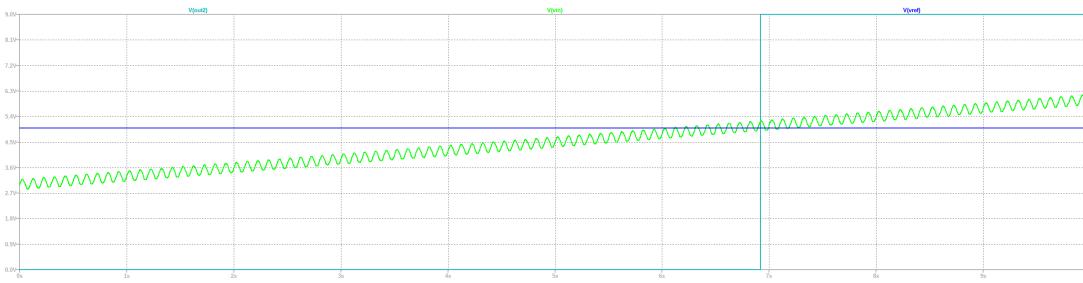
Se puede apreciar cùmo se hacen 3 circuitos para cada uno de los casos detallados mòs arriba

## Resultados simulaciún

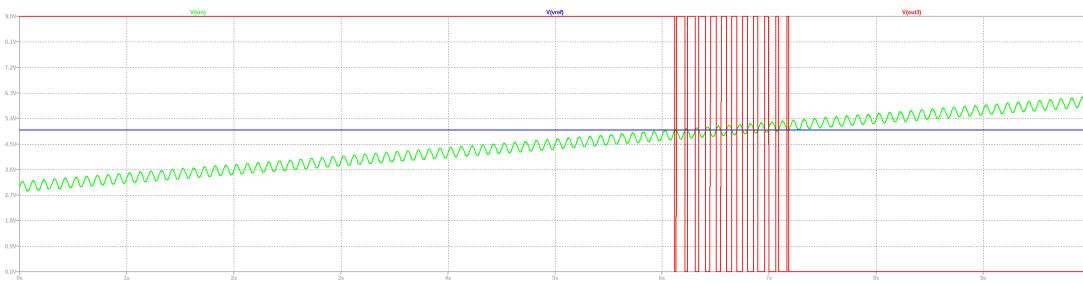
A continuaciún, se muestran los resultados de cada simulaciún realizada. Las primeras tres imògenes muestran la forma de onda de los 3 casos medidos.



Horn 4.3: Salida de inverting schmitt trigger

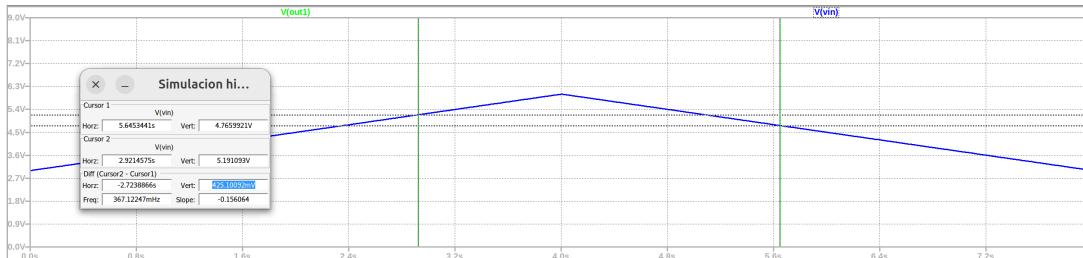


Honor 4.4: Salida de non-inverting schmitt trigger



Honor 4.5: Salida sin histōresis

Finalmente, se incluye una prueba de la amplitud de la histōresis para verificar que la simulaciün concuerda con los calculos teúricos



Honor 4.6: Mediciün caracteròsticas de la histōresis

Se usan marcadores para determinar el ancho de la histōresis ( $H$ ). Ese valor se resalta en azúl en la ventana de marcadores. Se puede apreciar que da  $425mV$ , totalmente en lònea con lo simulado en Python

## Anòlisis y consideraciones de diseo

El ancho de histōresis obtenido fue aproximadamente  $H \approx 430 mV$  en la entrada del comparador. Dado que el sensor LM35 posee una sensibilidad de  $10 mV/\circ C$  y la etapa amplificadora tiene una ganancia de 5, esto implica que el ancho real de histōresis en temperatura es:

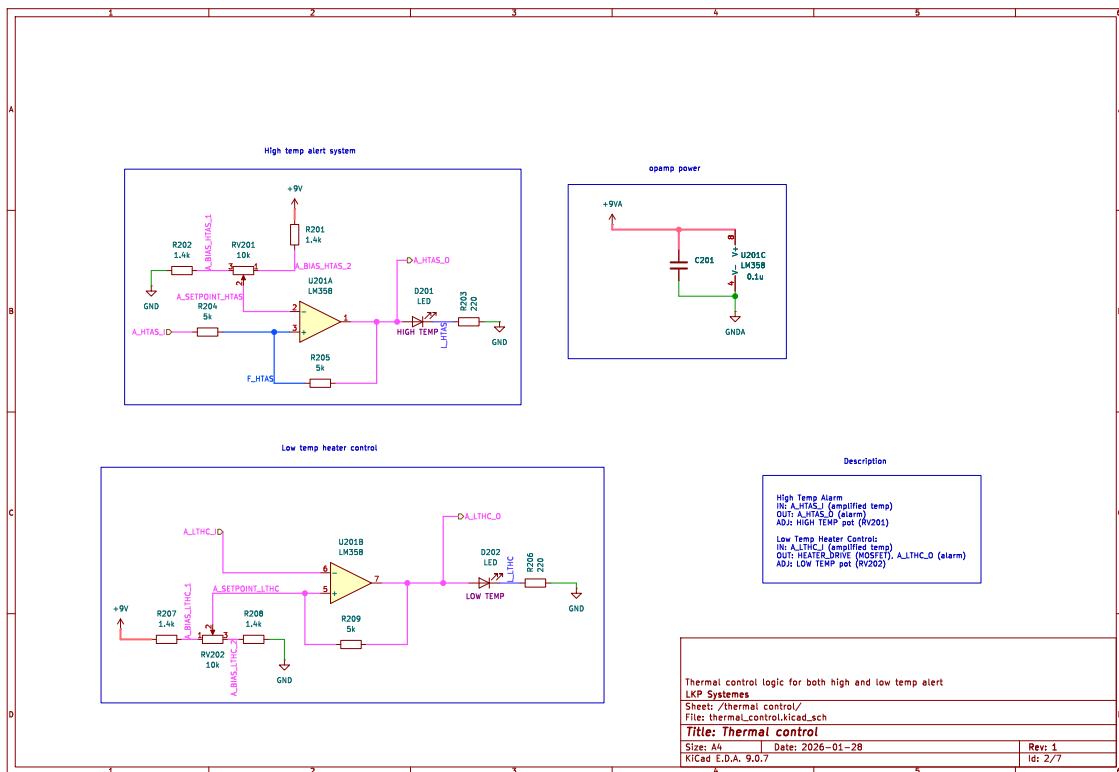
$$\Delta T = \frac{H}{5 \cdot 10 mV/\text{°C}} \approx 8.6^{\circ}\text{C}$$

Este valor resulta adecuado para evitar commutaciones erròticas debidas a pequeñas fluctuaciones o ruido cercano al umbral.

Por otro lado, en la implementaciún pròctica deben considerarse tolerancias de resistencias y no idealidades del LM358, como tensiún de saturaciún no perfectamente rail-to-rail y pequeño offset de entrada. Estas variaciones pueden generar leves diferencias respecto a los valores teúricos, aunque no afectan demasiado el funcionamiento general del sistema.

En conjunto, el diseño presenta un comportamiento coherente con el anàlisis teúrico, la simulaciún y la pròctica experimental.

## Implementaciún en PCB



Hoch 4.7: Esquemòtico



Para la implementación en el PCB se diseña 2 bloques diferentes correspondientes a dos laboratorios. Ambos bloques encienden una señal de control en el board principal y envían una señal de control a la salida. High temp alert system envía señal de control cuando la temperatura está por encima del valor establecido y low temp heater control hace lo inverso.

El setpoint de temperatura se establece mediante potencímetros analógicos ubicados en el main board. En la figura se muestra el sector del PCB donde se ubican los potencímetros para setear high y low temp respectivamente más los LED indicadores.



Honh 4.8: Controles manuales en PCB

## Evaluaciún de la etapa de control tórmico

La etapa de control térmico permitió validar el funcionamiento del sistema desde el sensor hasta la señal de salida. El análisis teórico de los umbrales y del ancho de histéresis mostró coherencia con las simulaciones realizadas, y el armado del modelo confirmó un comportamiento estable del comparador ante variaciones próximas al punto de disparo.

La incorporación de histéresis resultó fundamental para evitar oscilaciones no deseadas, garantizando una comutación limpia y predecible en condiciones cercanas al umbral.

## 5 Orientaciún solar

### Objetivo

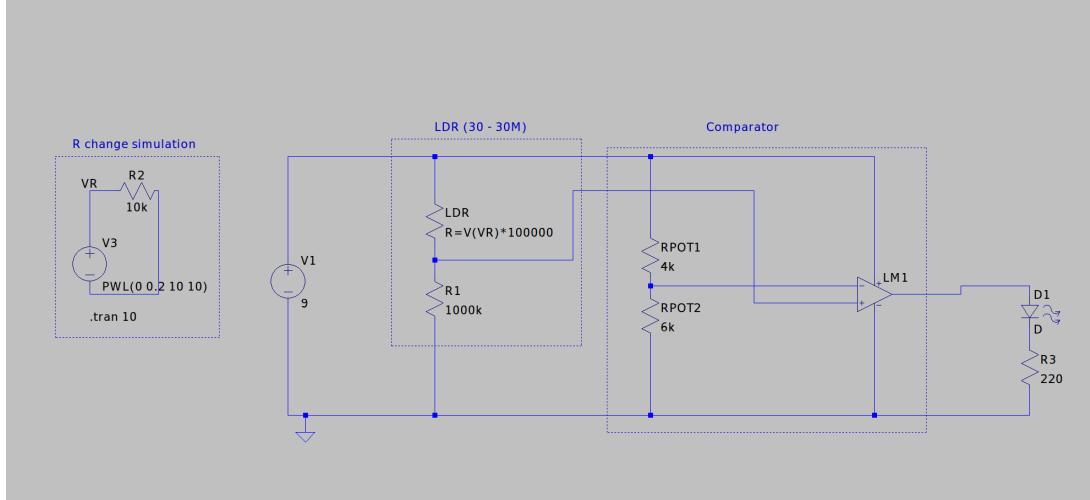
Determinar la orientaciún del satélite y el evento de un eclipse mediante la luz recibida en sensores luminicos, activando salidas de control correspondientes

### Implementaciún

4 sensores LDR se ubican en los puntos cardinales del satélite. Cada sensor es un mini PCB individual que se conecta por cables al board principal. Potenciímetros en este board permiten calibrar la sensiblidad de luz para activar la salida.

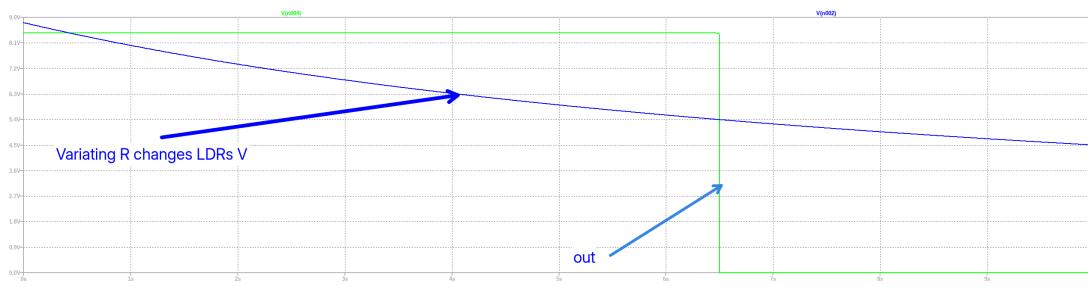
### Simulaciún

Siendo un circuito muy simple, se realiza únicamente una simulaciún en la cual se hace variar una resistencia (simulando el LDR) cuyo valor depende de una fuente de voltaje  $R = V(VR) \cdot 1M\Omega$ . El circuito se muestra a continuaciún



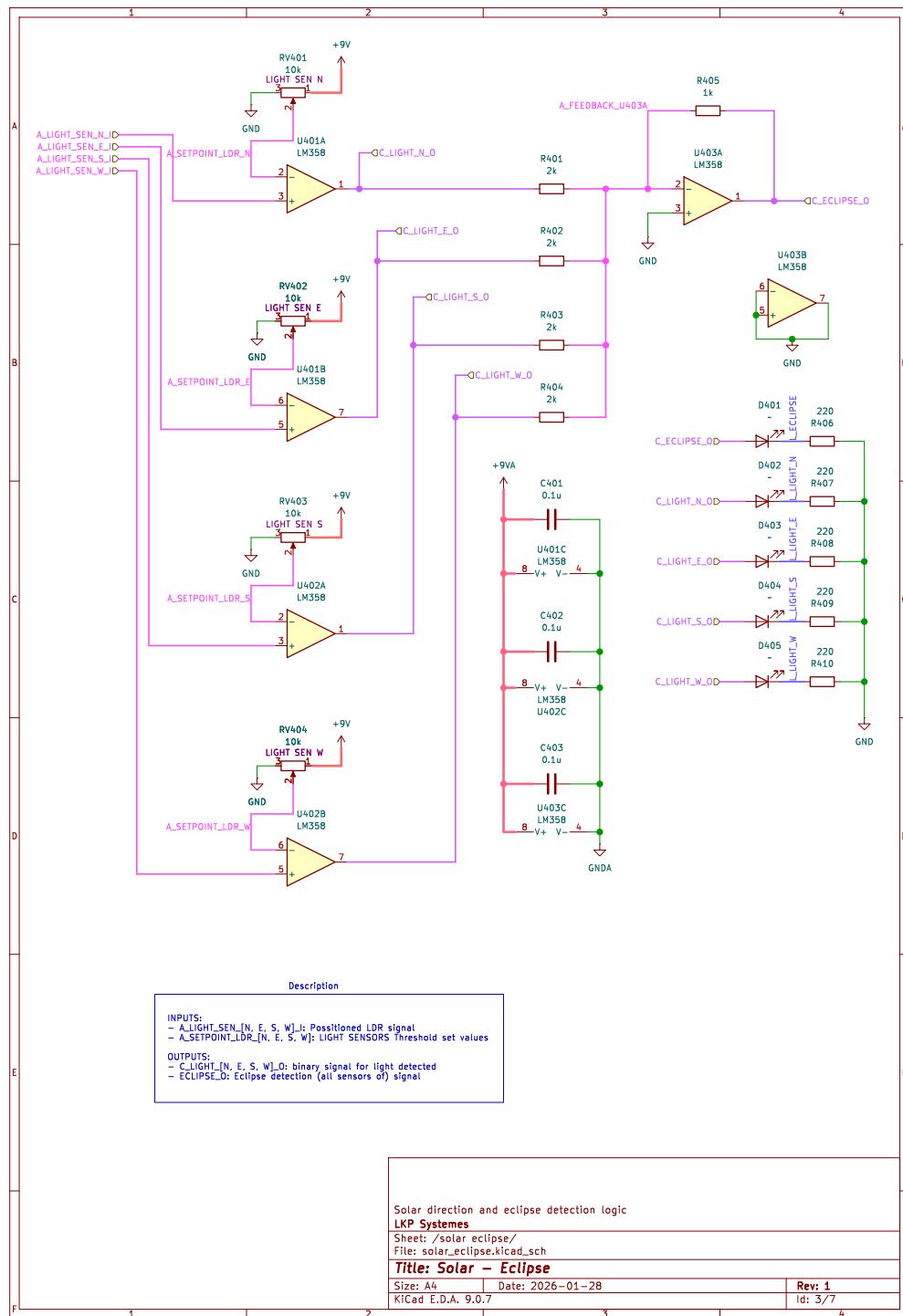
Horn 5.1: Simulaciún del LDR

La salida es un simple comparador:



Hình 5.2: Salida del LDR

Para el esquemático, se usa el mismo circuito comparador 4 veces. Notese que se tienen 4 LEDs, 4 Setpoints y una salida de Eclipse. La detección de eclipse se ajusta mediante un setpoint que se setea al punto en el cual los 4 sensores estén apagados (las cuatro salidas en alto)



Horn 5.3: Esquemático de detección de orientación

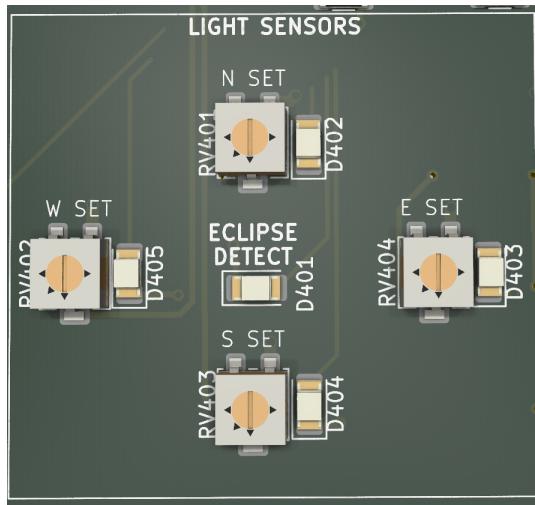
## Consideraciones de funcionamiento

El uso de cuatro sensores LDR ubicados en los puntos cardinales permite obtener una estimación de la orientación relativa del satélite respecto a la fuente luminosa. Una mayor iluminación sobre un sensor implica una menor resistencia del LDR correspondiente, generando una variación en la tensión de entrada del comparador y activando la salida asociada.

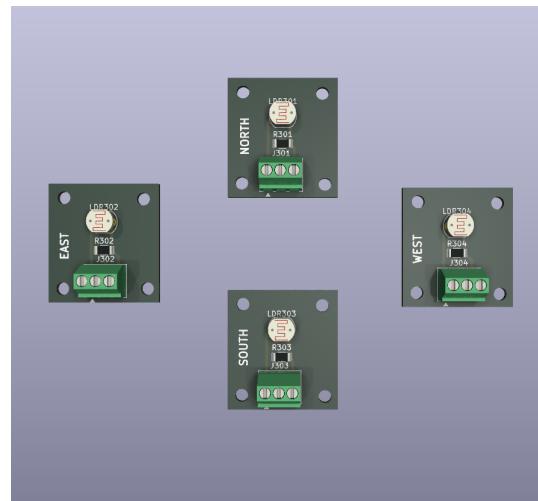
La detección de eclipse se define cuando los cuatro sensores presentan niveles de iluminación por debajo del umbral configurado. En esta condición, las cuatro salidas individuales permanecen en el mismo estado lógico, lo que permite activar una señal global de eclipse. Debe considerarse que los LDR presentan una respuesta no lineal y dependiente de la intensidad luminosa, así como variaciones entre dispositivos. Por este motivo, se incorporan potenciómetros de ajuste que permiten calibrar los umbrales de disparo y compensar diferencias entre sensores.

De este modo, el sistema permite una detección de condiciones de iluminación y orientación básica mediante un esquema analógico simple.

En cuanto al PCB, se agruparon los setpoints para los LDR en un sector junto con el LED indicador de detección de eclipse. Los 4 sensores se implementan en 4 PCBs separados con conectores para las señales hacia el main board



Horno 5.4: Selectores e indicador de eclipse en el PCB



Horno 5.5: Sensores exteriores de luz

## 6 Despliegue de paneles

### Objetivo

Diseñar un sistema de control para el despliegue automático de paneles solares o antenas. Relación con Sistemas Reales: Este circuito representa el mecanismo de despliegue de paneles solares o antenas en satélites, que deben activarse de forma precisa y detenerse automáticamente al alcanzar su posición final.

### Implementación

El despliegue es realizado por un servomotor, donde su debido control nos garantiza la precisión en la activación, y recorrido final (control PWM). El sistema de despliegue se conforma de tres etapas, donde la primera tal como lo dice la gráfica es de oscilación, la segunda de activación y la última es la física.



Figura 6.1: Diagrama en bloques del despliegue.

La idea en esta implementación es diseñar un controlador analógico para un servomotor, la única manera de lograrlo es mediante el conocido PWM, en otras palabras es hacerle llegar una determinada cantidad de pulsos por segundo para su activación y modularlos para su control en grados. Para ello decidimos transformar una señal sinoidal en una de pulso cuadrado mediante un amplificador operacional en una configuración de comparador.

### Oscilador

Ecación que rige el funcionamiento de un oscilador:

$$A_f = \frac{V_o}{V_i} = \frac{A}{1-A\beta}$$

A diferencia de un feedback convencional con entrada de referencia y salida, el oscilador se caracteriza por no poseer entrada es decir, tenemos un bloque de ganancia  $A$  con una salida  $V_0$  realimentada mediante un bloque de ganancia de  $\beta$  hacia el bloque  $A$  directamente, sin pasar por ningún sumador entre medio.

Esta caracterización hace que la ecación de ganancia de feedback necesite a  $A\beta = 1$  para hacer la ganancia infinita y entrar en el bucle de oscilación. Entonces para que la placa cumpla con este requisito de un sencillo despeje tenemos que que la ganancia de feedback

expresada con Laplace queda en:

$$A(s) = \frac{V_o(s)}{V_f(s)} = 1 + \frac{R_F}{R_1}$$

$R_1$  y  $R_F$  están asociadas a la parte de realimentación negativa del amplificador.

$$(1 + \frac{R_F}{R_1}) \frac{RCs}{R^2C^2s^2+3RCs+1} = 1$$

si sustituimos  $jw$  por  $s$  en la ecuación obtenemos que:

$$(1 + \frac{R_F}{R_1}) \frac{RC(jw)}{R^2C^2(jw)^2+3RC(jw)+1} = 1$$

Luego de despejar de la parte imaginaria  $w$ , quedamos en los siguientes valores:  $1 + \frac{R_F}{R_1} = 3$

donde necesariamente nos queda que  $\frac{R_F}{R_1} = 2$

Lo cual para la práctica impone esta condición de frontera para garantizar la estabilidad del oscilador, es decir que no diverga ni converga la onda en ningún periodo de operación. Por recomendación del profesor la resistencia de  $R_F$  fue implementada por preset para poder dar ese ajuste fino que en cálculos no se puede manejar a causa de las perturbaciones externas.

Wein oscillator

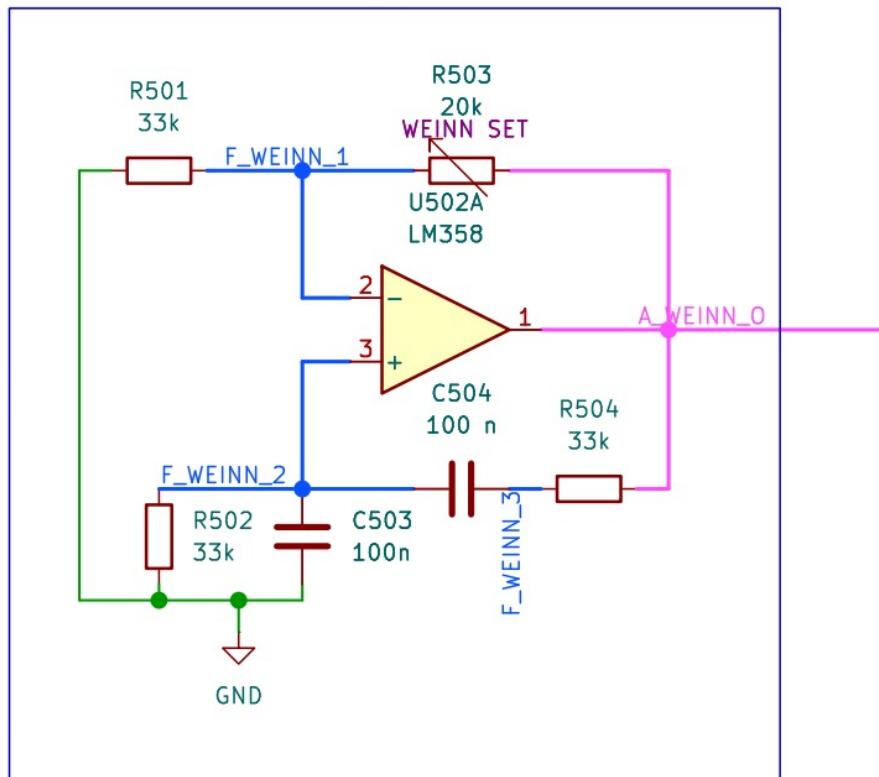
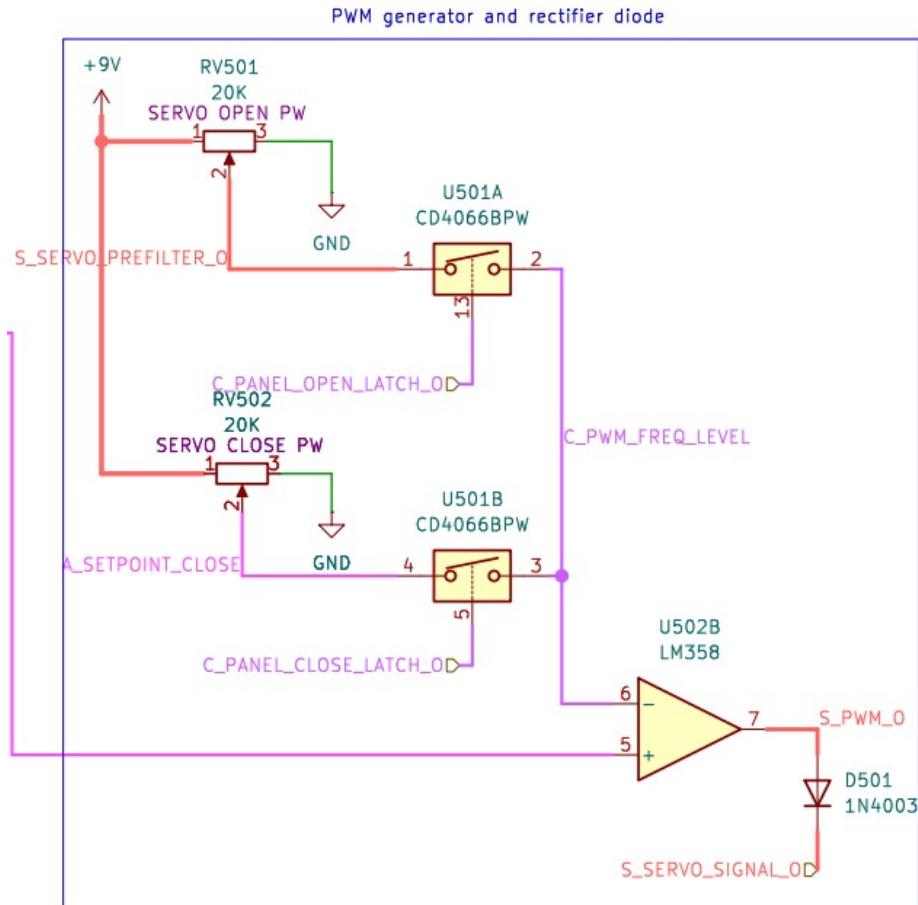


Figura 6.2: Circuito oscilador sinusoidal

## Comparador

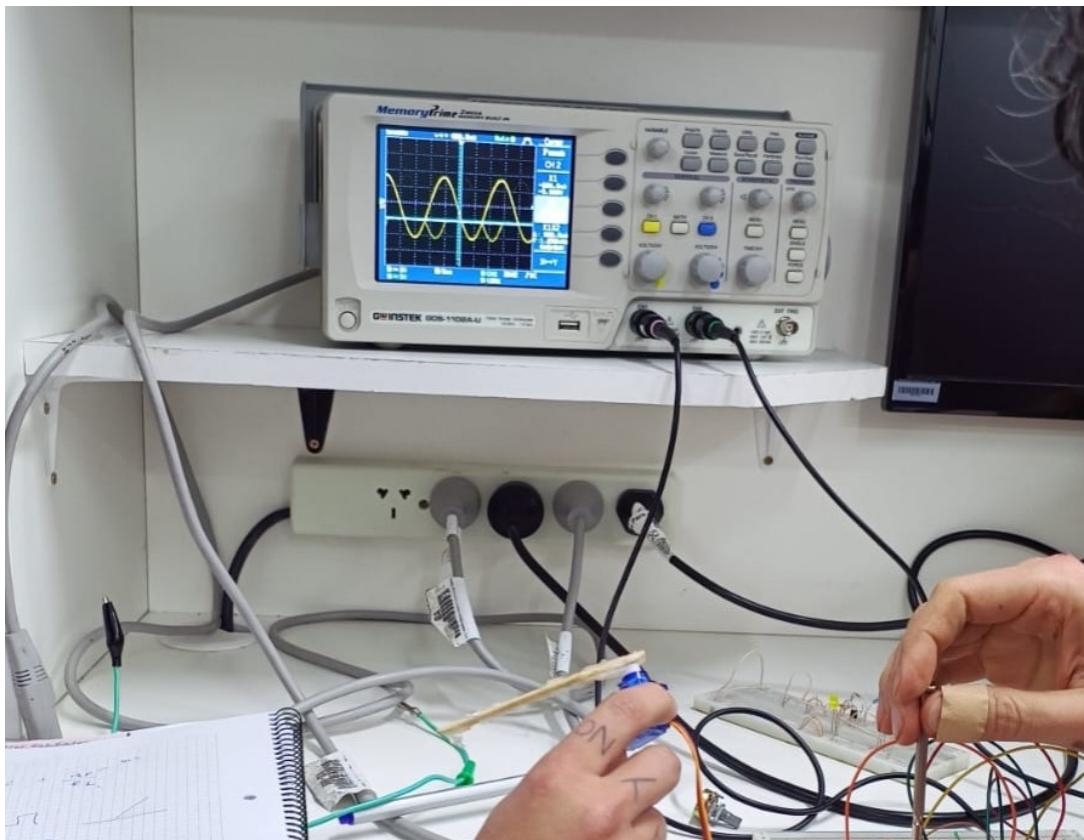


Hình 6.3: Circuito oscilador sinusoidal

El comparador consta de una señal de referencia en la pata inversora que compara constantemente con la tensión de la señal sinusoidal inyectada en la pata no inversora, entonces cuando la señal alcanza y supera el voltaje de comparación, la salida permanece en estado alto en toda la fracción de la cresta que hasta que este voltaje es menor a la referencia, entonces obtenemos el pulso cuadrado, que se repite cada 50Hz, ya que la comparación aparece en este periodo de 20mS. Modulando el pulso con un preset que ajuste la referencia estamos sobrados para hacer todo el barrido del servomotor ya que el rango de valores de 0 a 180° equivale a 1 a 2mS en la señal.



## Pruebas de laboratorio



Hình 6.4: Prueba en osciloscopio

Seteamos los valores de resistencias y capacitivos en la parte de feedback a un mismo R y un miscmo C para poder despejar una única frecuencia de oscilacion en este caso la frecuencia de operaciún es 50Hz para mover el servomotor.

## Anàlisis del control PWM

El servomotor utilizado requiere una señal PWM con frecuencia cercana a 50 Hz (período aproximado de 20 ms). Dentro de cada período, el ancho de pulso determina la posición angular del eje, siendo típicamente 1 ms el extremo mínimo y 2 ms el máximo (0° a 180°).

La señal sinusoidal generada por el oscilador Wien es convertida en una señal cuadrada mediante un comparador. La tensión de referencia aplicada al comparador determina el punto de cruce con la señal senoidal y, por lo tanto, el ancho del pulso generado.

Al variar dicha referencia mediante un preset, se modifica el tiempo durante el cual la señal permanece en nivel alto dentro de cada período de 20 ms, permitiendo controlar la posición del servomotor de manera analógica.

Este enfoque permite implementar un control PWM simple sin necesidad de microcontroladores, utilizando solo bloques analógicos.

## Problemas y conclusiones

En el oscilador Puente Wien la ganancia  $RF/R1 = 2$  tenía que ser un valor exacto al principio con un valor teórico exacto no pudimos llegar a la oscilación como tal que primero nos aparecía una línea continua en el oscilloscopio (convergencia rápida) o directamente no aparecía nada (divergencia rápida). La recomendación del profesor de colocar el preset fue de gran utilidad para visualizar el punto justo de oscilación en pantalla a medida que íbamos girando la perilla.

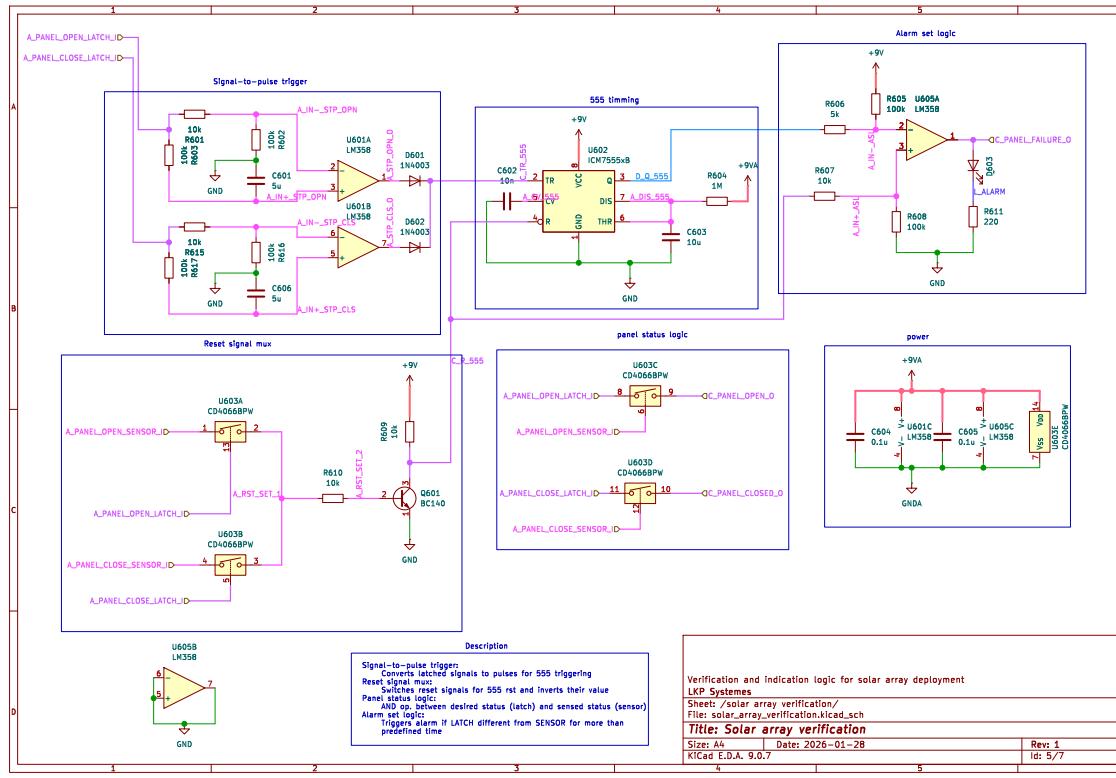
## 7 Verificación despliegue

### Objetivo

Hacer un sistema de verificación analógica de despliegue exitoso de paneles solares.

### Implementación

Para verificar el correcto despliegue, se comparan dos señales: La señal de selección A\_PANEL\_OPENCLOSE\_LATCH\_I con la señal de sensor A\_PANEL\_OPENCLOSE\_SENSOR\_I. Al haber un cambio en la señal de control de selección se dispara un timer. Si la señal de selección (latcheada) tiene una diferencia con la señal de sensor durante un tiempo mayor al establecido con el timer 555, se asume un error y se envía señal de alarma. Si las señales se igualan antes que el timer llegue a su límite, se asume correcto funcionamiento. A continuación se muestra el esquemático con cada bloque:



Hình 7.1: Esquematico completo

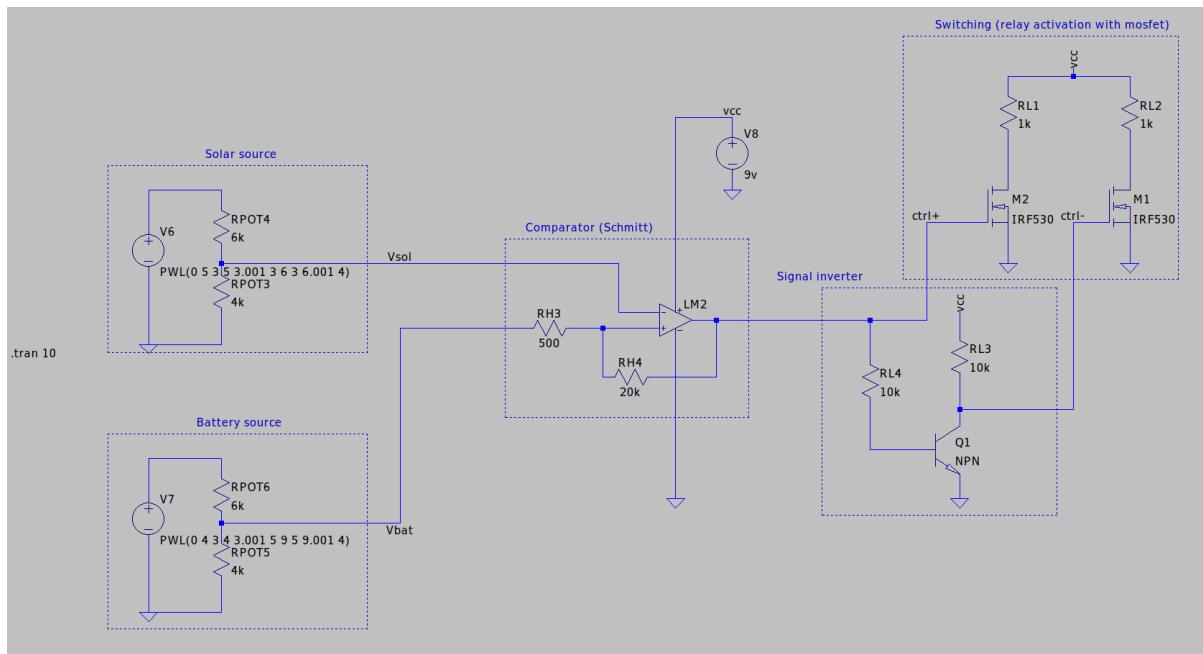
- Signal-to-pulse trigger:** La función de este bloque es convertir la señal continua de selección en un pulso invertido para activar el 555 ya que éste necesita pulsos para activarse. Para lograrlo, se usa un capacitor el cual, al llegar una señal continua al comparador, genera una diferencia temporal manteniéndose la entrada negativa a mayor voltaje que la positiva. Esto hace que el opamp tenga una salida baja. Luego, una vez el capacitor se estabiliza la salida vuelve a estado alto. En las simulaciones se puede ver este funcionamiento. El sistema se duplica para poder activar el timer con ambas entradas; apertura y cierre de paneles.
- 555 timing:** Timer 555 configurado en modo monoestable con una duración de 10 segundos approx.
- Reset signal mux:** La señal de reset es tomada de los sensores. Cuando un sensor se activa (el panel está en posición) se activa el reset. Cuando se selecciona apertura de paneles, el mux deja pasar la señal del sensor de apertura. De esta manera, cuando el panel está totalmente abierto, el sensor de apertura se activa y a su vez activa

el reset. Como el reset es activo bajo, esta señal se invierte en el mismo mux con el transistor  $Q601$ . Idem para cierre.

- **Alarm set logic:** Activa la alarma cuando la salida  $Q$  del timer esté en bajo (activa) y el reset no esté activado. Esto indica que se superó el tiempo de espera para apertura. Si el sensor indica que el panel llegó a su posición, el reset se activa (bajo) y el comparador se mantiene en cero. Si el timer se agota antes que el sensor llegue a la posición, el comparador da salida en alto activando la alarma.
- **Panel status logic:** Indicador que informa el estado de los paneles. Cuando el latch selecciona apertura y el sensor indica que está abierto, sale la señal de panel abierto. Lo mismo para cerrado

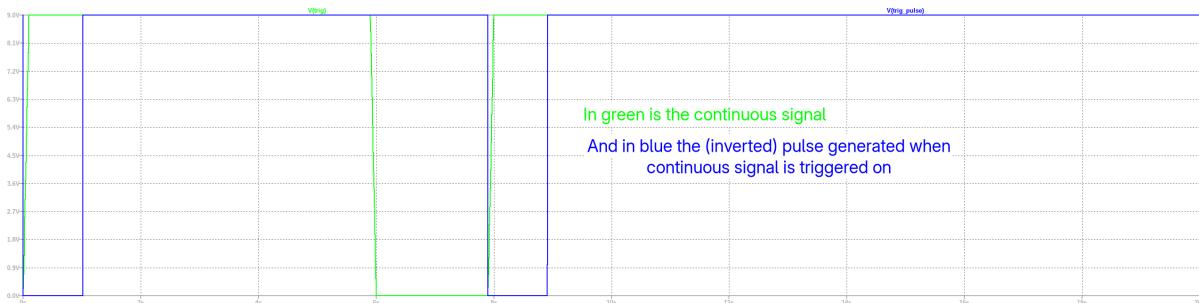
## Simulaciones

Se arma el circuito en LTSpice para una sola señal como se muestra a continuación.



Honh 7.2: Circuito completo en LTSpice

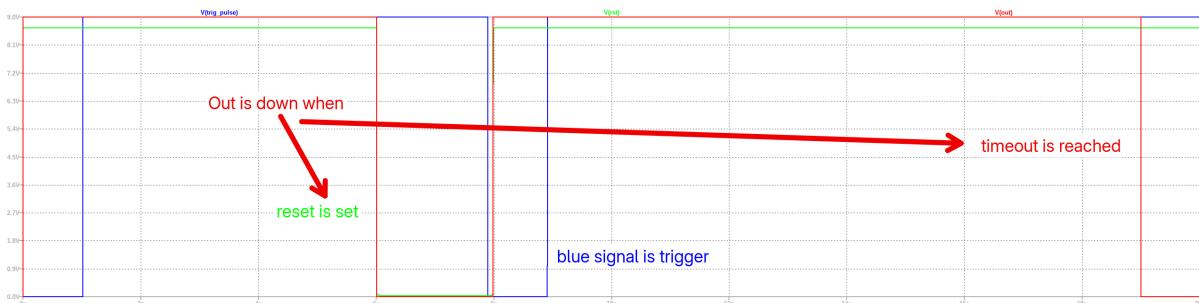
En la primer simulación se puede ver el latch-to-pulse funcionando. Inicialmente, la señal continua (verde) está en estado bajo y pasa a alto, generándose un pulso (invertido) en la salida (azul). Luego a los 6 segundos la señal continua pasa a estado bajo sin que se altere la salida. A los 8 segundos la continua pasa a estado alto, generándose otro pulso negativo en la salida.



Hình 7.3: Forma de onda de entrada y salida del signal-to-pulse

Luego pasamos a la salida del 555. La waveform roja es la salida (activo bajo). Al inicio se dispara el 555 con un pulso de trigger (azul) y a los 6 segundos se activa el reset. Esto genera una salida activa pero no se dispara la alarma por el bloque alarm-logic explicado más arriba.

Luego, a los 5 segundos, se vuelve a activar el timer simulando otro cambio. Esta señal de reset no llega, frente a lo cual, en los 19 segundos, se activa la salida. La lógica de la alarma hará que, al activarse la salida del 555 y no el reset del sensor, se dispare la alarma.

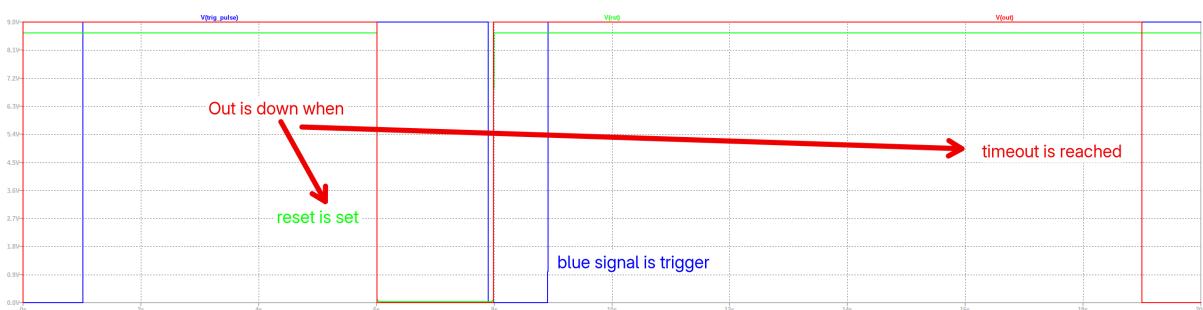


Hình 7.4: Forma de onda de entrada, reset y salida del 555

Finalmente, estó la lógica de la alarma, en la cual se hacen dos pruebas:

- A los 6 segundos, la salida y reset están bajos (activos) frente a lo cual la alarma no se activa
- A los 19 segundos, Trigger está bajo y reset alto, lo cual activa la alarma.

Esta waveform estó sincronizada con la anterior (es la misma simulaciún), con lo cual se puede ver el funcionamiento completo.



Hình 7.5: Forma de onda de lógica de alarma

## Principio de funcionamiento

Lo que hace este sistema es implementar una verificación temporal de coherencia entre la orden de despliegue y la respuesta física del mecanismo.

Cuando se emite una señal de apertura o cierre, el bloque signal-to-pulse genera un pulso que dispara el temporizador 555 en modo monoestable. A partir de ese momento empieza una ventana temporal durante la cual se espera que el sensor indique la posición alcanzada.

Si el sensor confirma la posición antes de que el temporizador expire, el reset interrumpe el conteo y el sistema considera la operación exitosa. Caso contrario, al agotarse el tiempo establecido, la lógica de alarma interpreta la diferencia entre orden y estado como una falla y activa la señal de error.

Esto nos permite detectar atascamientos mecánicos, fallas eléctricas o situaciones en las cuales el panel no alcanza la posición esperada dentro del tiempo previsto.

## 8 Sistema de selección y detección de orientación

### 8.1 Latch de selección

Para seleccionar entre dos estados de funcionamiento (plegado y desplegado) implementamos un latch con transistores NPN acoplados cruzadamente. De esta forma, el circuito constituye un bioestable tipo SR, que es capaz de mantener el estado seleccionado hasta recibir un nuevo pulso de comutación.

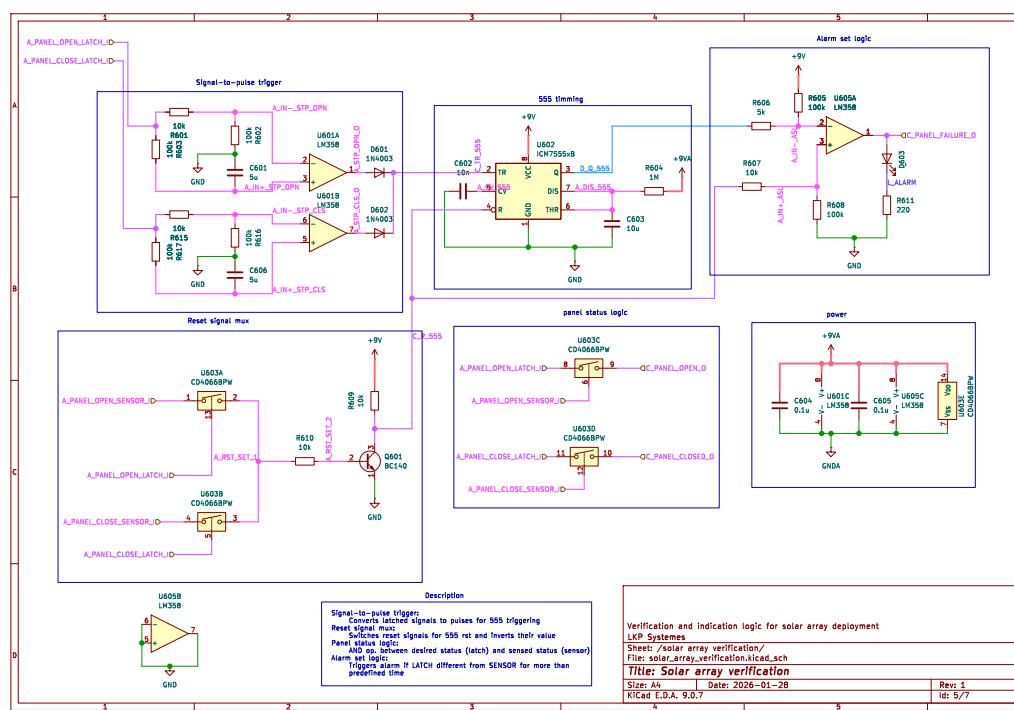
La comutación se realiza mediante pulsos de tensión aplicados a cada una de las entradas. En la simulación, esos pulsos fueron modelados mediante fuentes de voltaje tipo PULSE.

d.yeah First item

e.yeah Second item

custom Third item

Con la simulaciún temporal verificamos el correcto funcionamiento del biestable. En ella se observa la conmutaciún estable entre ambos estados sin oscilaciones indeseadas.



Hönh 8.1: Esquematico completo

## 8.2 Sensor de orientacin grosera

Para determinar la orientaci n del sistema respecto a la luz solar usamos un detector basado en sensores LDR.

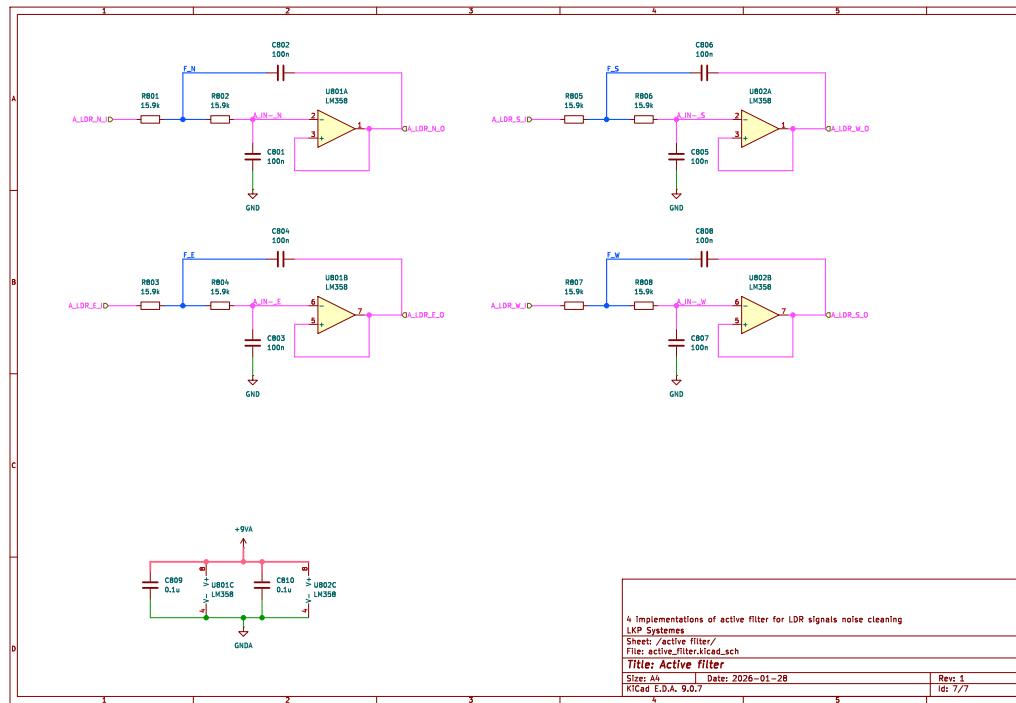
Dispusimos cuatro LDR formando los vórtices de un cuadrado, aunque debido a su comportamiento idéntico simulamos solo uno de los canales.

El principio de funcionamiento se basa en utilizar la variación resistiva del LDR en función de la iluminación incidente. En la simulación esta variación fue modelada asignando al LDR una resistencia dependiente de tensión:

$$R_{LDR} = V(VR) \cdot 10000$$

donde la fuente auxiliar  $V_3$  permite simular un cambio suave en la iluminaciún.

El circuito usa un comparador para determinar si el nivel de iluminaciún supera un umbral ajustable mediante un preset modelado por las resistencias  $RPOT1$  y  $RPOT2$ .



Honh 8.2: Circuito del sensor de orientaciún basado en LDR

El anàlisis temporal muestra la variaciún progresiva del voltaje en el LDR y la correspondiente comutaciún en la salida del comparador.

Debido a que la variaciún lumònica ocurre de manera lenta, no implementamos històresis en el comparador, ya que no se observaron oscilaciones en la zona de umbral.

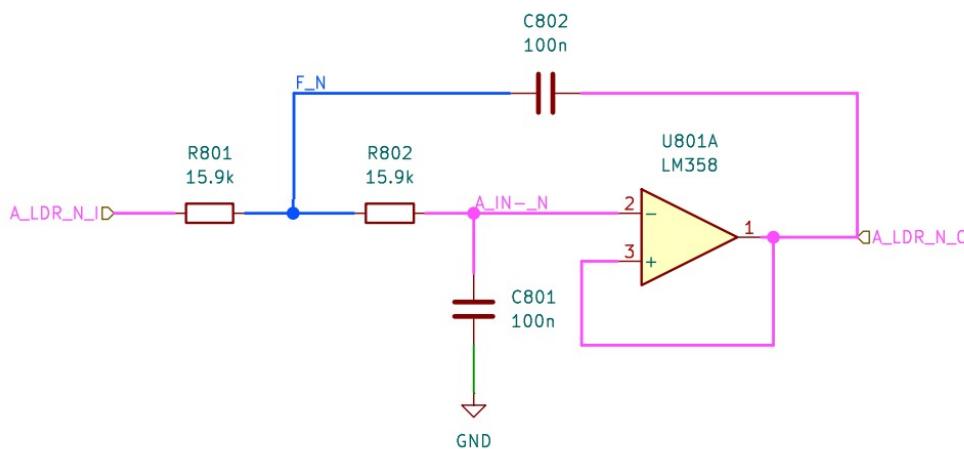
## 9 Filtro Activo

### Objetivo

Diseñar, construir y validar experimentalmente un filtro activo pasabajos de segundo orden utilizando un amplificador operacional, con el objetivo de atenuar ruido de alta frecuencia en se ales provenientes de sensores satelitales (temperatura, iluminaci n y corriente). Se compar  la frecuencia de corte te rica con la medida en el experimento y se analiz  el impacto en la calidad de la se al.

## Implementación

Se utilizó la topología Sallen-Key, ampliamente utilizada para la implementación de filtros activos (op amp) de segundo orden. El orden dos del sistema se debe a que tenemos dos componentes almacenadores de energía (capacitores  $C_1$  y  $C_2$ ), lo que introduce dos polos en la función de transferencia. La imagen a continuación describe cómo es la topología en cuestión.



Hình 9.1: Topología Sallen Key

En este caso, para obtener los valores de los componentes decidimos despejarlos a partir de la función transferencia:

$$H(s) = \frac{K\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$$

donde:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$$

y  $Q$  es el factor de calidad del filtro.

Para simplificar el diseño elegimos una configuración simétrica:

$$R_1 = R_2$$

$$C_1 = C_2$$

lo que nos permite definir una única frecuencia de corte:

$$\omega_0 = \frac{1}{RC}$$

Mediante el seteo de caracter sticas que necesit bamos, definimos una frecuencia de corte de aproximadamente:

$$f_c = 100 \text{ Hz}$$

lo que equivale a:

$$\omega_0 = 2\pi f_c \approx 628 \text{ rad/s}$$

Con los valores seleccionados:

$$R = 15.92 \text{ k}\Omega, \quad C = 100 \text{ nF}$$

se verifica:

$$\omega_0 = \frac{1}{RC} \approx 628 \text{ rad/s}$$

Buscamos adem s una ganancia cercana a la unidad en banda pasante. Por otro lado, la ganancia del amplificador operacional en configuraci n no inversora est  dada por:

$$K = 1 + \frac{R_4}{R_3}$$

## Simulaci n

A continuaci n, realizamos la simulaci n de un script en python con la librer a `python-control` para poder visualizar el diagrama de Bode en magnitud y fase a partir de la funci n transferencia del circuito:

$$H(s) = \frac{1.01}{2.534 \times 10^{-6}s^2 + 0.001368s + 1}$$

Estimaci n de par metros:

$$R_1 = mR$$

$$R_2 = \frac{R}{m}$$

$$C_1 = nC$$



$$C_2 = C/n$$

$$w_0 = 2 * \pi * f_0$$

Investigando al respecto, decidimos que lo más conveniente era definir una única R y una única C para así poder despejar una única frecuencia de corte. Para poder completar los valores de los esquemáticos escalamos las resistencias y capacitores por las constantes 'm' y 'n' respectivamente.

Probamos valores de resistencias y capacitores que tengan sentido con los materiales a disposición, y, para la magnitud unitaria del Bode, forzamos a que la ganancia en la función transferencia sea 1.01. Dicha ganancia fue obtenida del mismo esquemático en función a las resistencias:

$$K = \frac{R_3 + R_4}{R_3} = 1.01$$

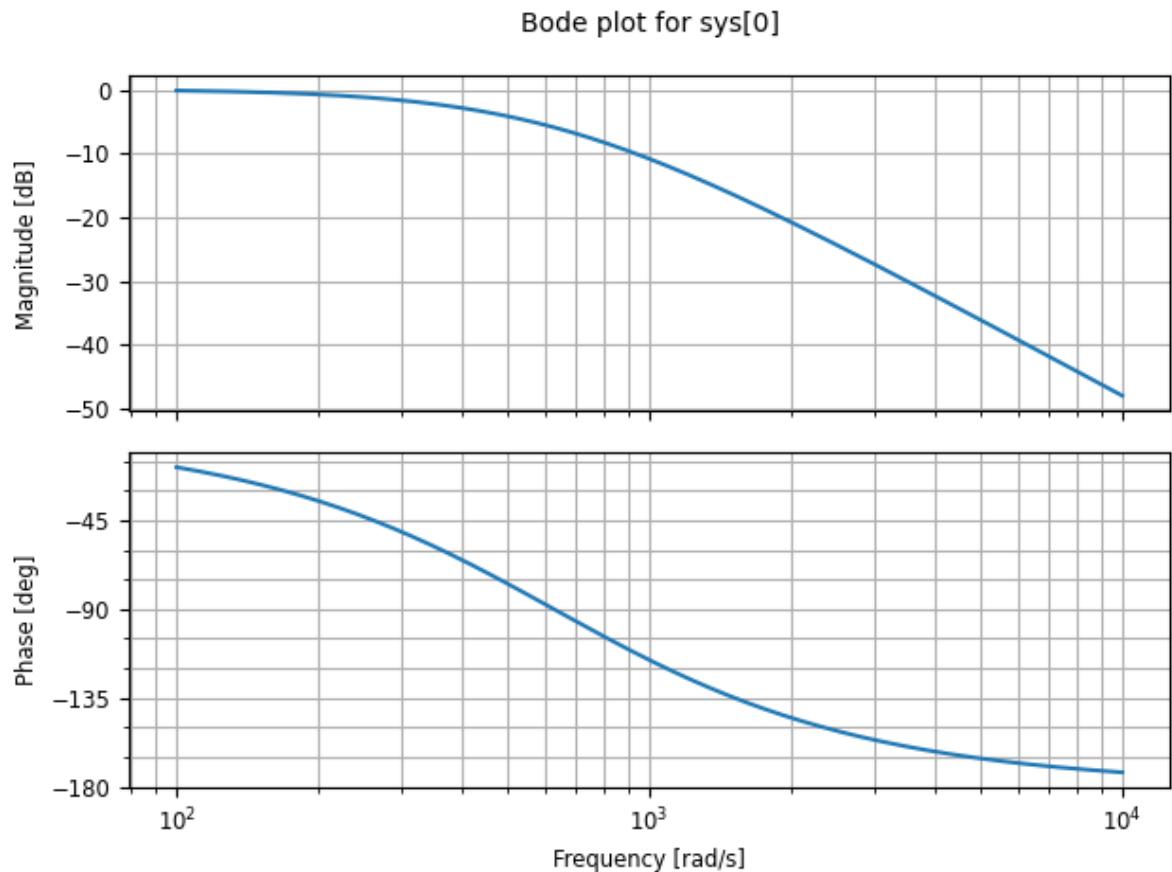
Listing 9.1: Simulación filtro

```
1 import control as ct
2 import sympy as sp
3 import numpy as np
4 import matplotlib.pyplot as plt
5 %matplotlib qt6
6
7 R1=15.92*(10**3)
8 R2=15.92*(10**3)
9 R3=100*(10**3)
10 R4=1*(10**3)
11 C1=100*(10**(-9))
12 C2=100*(10**(-9))
13
14 K=(R3+R4)/R3
15
16 num=[0,0,K]
17 den=[R1*R2*C1*C2,R1*C1+R2*C1+R1*C2*(1-K),1]
18
19 H=ct.tf(num,den)
```

```

21 plt.figure()
22 ct.bode_plot(H, dB=True)
23
24 plt.show()

```



Hình 9.2: Bode filtro activo

De la simulaciún obtuvimos el Bode en fase y en magnitud, de los cuales podemos ver que se cumple con el criterio de corte a 200rad/s y ademòs se aprecia que a una superior a 100 rad/s el filtro desfasarò nuestra señal de salida respecto a la de entrada.

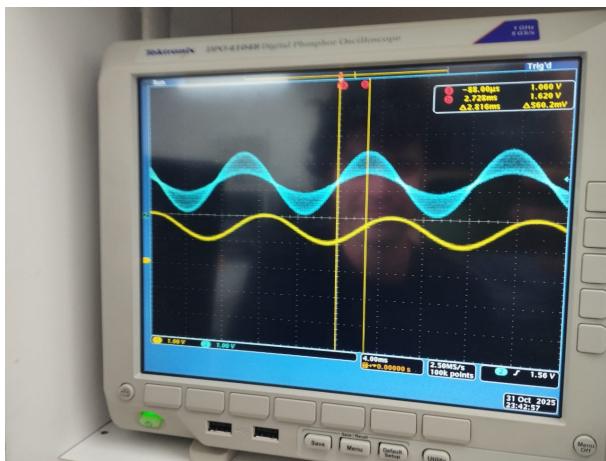
## Pruebas de laboratorio

Sometimos al filtro a diferentes entradas para poder validar y corroborar su comportamiento descrito por los diagramas de Bode.



## Modulaciún AM

Decidimos probar el filtrado con una senoidal modulada en AM mediante un generador de funciones, dicha portadora contenía altas frecuencias y la envolvente bajas frecuencias para corroborar su debido funcionamiento.

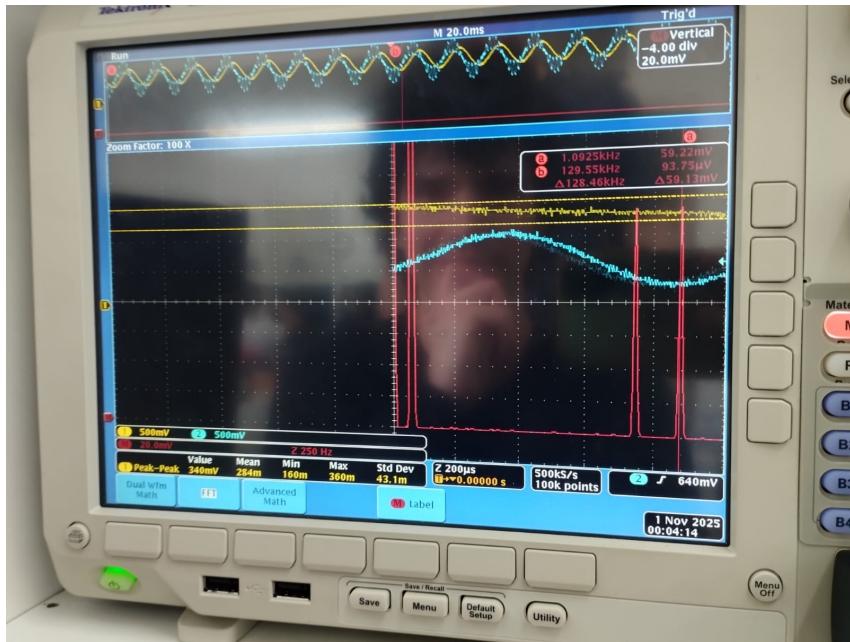


Hóñ 9.3: Modulaciún AM 1

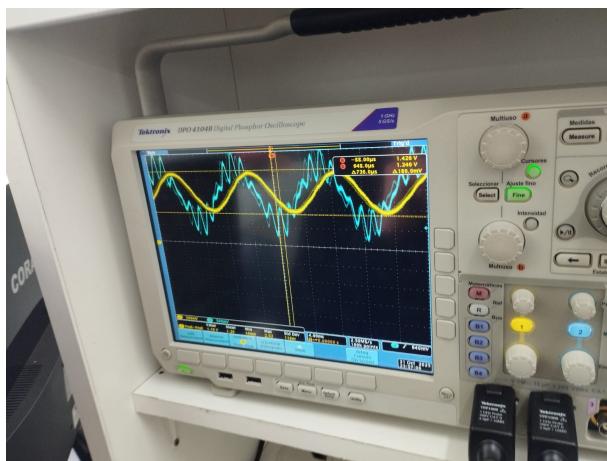
El osciloscopio muestra lo que esperábamos, una señal filtrada(amarillo), un poco desfasada en fase y también atenuada en magnitud, la atenuación corresponde a aproximadamente 7 decibeles que es la transición de la frecuencia de corte.

## Armúnicos

Empleamos el osciloscopio para analizar las componentes frecuenciales de la señal periódica en la señal modulada, a modo de verificar que efectivamente introdujimos unas componentes de alta frecuencia.



Hình 9.4: Armúnicos

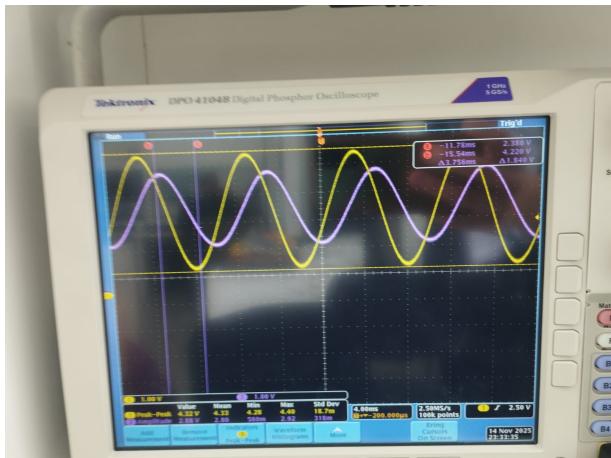


Hình 9.5: Modulaciún AM 2

Esta segunda figura es una prueba con una entrada modulada a una frecuencia un poco mas baja.

### Desfasaje

Ingresamos al sistema con una señal sin modular casi a la frecuencia de corte para visualizar la atenuación en la magnitud y el cambio de fase correspondiente.



Hình 9.6: Desfasaje

## 10 Control térmico

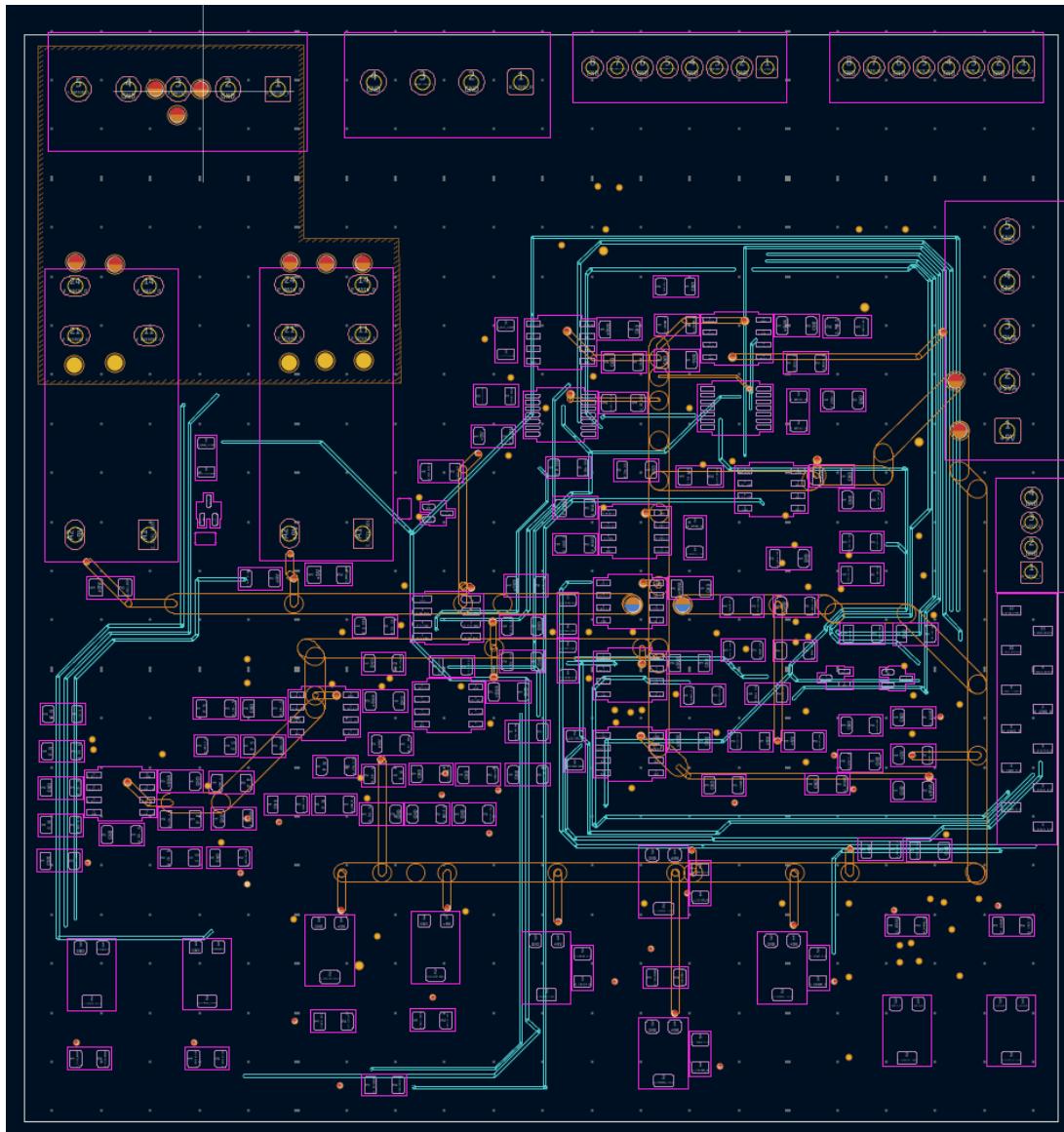
Prueba de inserción de control térmico

d.yeah First item

e.yeah Second item

custom Third item

lalalalalalaaaa



Hình 10.1: Example image 1x1