

UNIVERSIDAD NACIONAL DE RÍO NEGRO
SEDE ANDINA



Laboratorio de Electrónica Analógica

Informe

Control analógico satelital

Profesor: Juan Pablo Adriach

Alumnos: Simón Pedro Aulet

Juan Nicolás Roccasalvo

Nuria Belén Paredes

SAN CARLOS DE BARILOCHE, FEBRUARY 2026

Tabla de contenidos

1. Introducción	7
2. Control térmico	8
2.1. Objetivo	8
2.2. Implementación	8
2.2.1. Análisis y consideraciones de diseño	11
2.3. Implementación en PCB	12
2.3.1. Evaluación de la etapa de control térmico	13
3. Orientación solar	14
3.1. Objetivo	14
3.2. Implementación	14
3.2.1. Planteo	14
3.2.2. Consideraciones de funcionamiento	14
3.2.3. Simulación	15
3.2.4. Implementación en el PCB	16
4. Despliegue de paneles	18
4.1. Objetivo	18
4.2. Implementación	18
4.2.1. Oscilador	19
4.3. Problemas y conclusiones	24
5. Verificación despliegue	24
5.1. Objetivo	24
5.2. Implementación	24
5.2.1. Simulaciones	26
5.3. Principio de funcionamiento	28
6. Sistema de selección y detección de orientación	28
6.1. Latch de selección	28
7. Filtro Activo	29
7.1. Objetivo	29
7.2. Implementacion	30
7.2.1. Simulación	31

7.2.2. Pruebas de laboratorio	33
8. Implementación en PCB	35
8.1. Diseño de esquemáticos	35
8.1.1. Selección de componentes	36
8.1.2. Manejo de señales	37
8.2. Armado del PCB físico	37
8.2.1. Ruteo	38
8.2.2. Ancho de pistas	40
8.2.3. Silkscreen y consideraciones de fabricación	40
8.3. Sensores externos	41
8.3.1. Esquemático	41
8.3.2. PCB Físico	42
8.4. Aprendizajes al implementar el PCB	42
8.4.1. Planificación y organización	42
8.4.2. Estrategias de ruteo	43
8.4.3. Consideraciones técnicas	43
8.4.4. Preparación para fabricación	43
9. Conclusión	43

Indice de figuras

1.1. PCB Terminado	7
2.1. Ploteo de límites para histéresis	9
2.2. Circuito implementado en LTSpice	10
2.3. Salida de inverting schmitt trigger	10
2.4. Salida de non-inverting schmitt trigger	11
2.5. Salida sin histéresis	11
2.6. Medición características de la histéresis	11
2.7. Esquemático	12
2.8. Controles manuales en PCB	13
3.1. Simulación del LDR	15
3.2. Salida del LDR	15
3.3. Esquematico de detección de orientacion	17
3.4. Selectores e indicador de eclipse en el PCB	18

3.5.	Sensores exteriores de luz	18
4.1.	Diagrama en bloques del despliegue.	18
4.2.	Círculo oscilador sinusoidal	20
4.3.	Círculo comparador analógico	21
4.4.	Círculo selector con panel indicadorl	22
4.5.	Prueba en osciloscopio	23
5.1.	Esquematico completo	25
5.2.	Círculo completo en LTSpice	26
5.3.	Forma de onda de entrada y salida del signal-to-pulse	27
5.4.	Forma de onda de entrada, reset y salida del 555	27
5.5.	Forma de onda de lógica de alarma	28
6.1.	Esquematico completo	29
7.1.	Topología Sallen Key	30
7.2.	Bode filtro activo	33
7.3.	Modulación AM 1	34
7.4.	Armónicos	34
7.5.	Modulación AM 2	34
7.6.	Desfasaje	35
8.1.	Diagrama de bloques del PCB	36
8.2.	Zonas definidas en el PCB	38
8.3.	F.Cu: Señales analógicas y de Feedback	39
8.4.	In1.Cu: Plano GND común a toda la placa	39
8.5.	In2.Cu: Vías de alimentación	39
8.6.	In3.Cu: Señales de control	39
8.7.	In4.Cu: Cruces de control y LEDs	39
8.8.	B.Cu: Autopistas analógicas	39
8.9.	Esquemático sensores externos	41
8.10.	Vista del PCB con los sensores y actuadores	42

Indice de Tablas

8.1.	Descripción de los prefijos de señal.	37
8.2.	Net Classes	40



Listings

2.1. Simulacion histeresis	8
7.1. Simulacion filtro	32

1. Introducción

Diseñamos la computadora de a bordo de un sistema de control satelital completamente analógico. El desarrollo del proyecto se desglosó en 14 laboratorios, cada uno de los cuales aportó componentes relevantes para el aprendizaje del diseño analógico. Esto incluyó la implementación de funciones específicas para la placa, la implementación de conceptos de teoría de control, la integración de sistemas electrónicos, previa simulación y, finalmente, la puesta a punto.

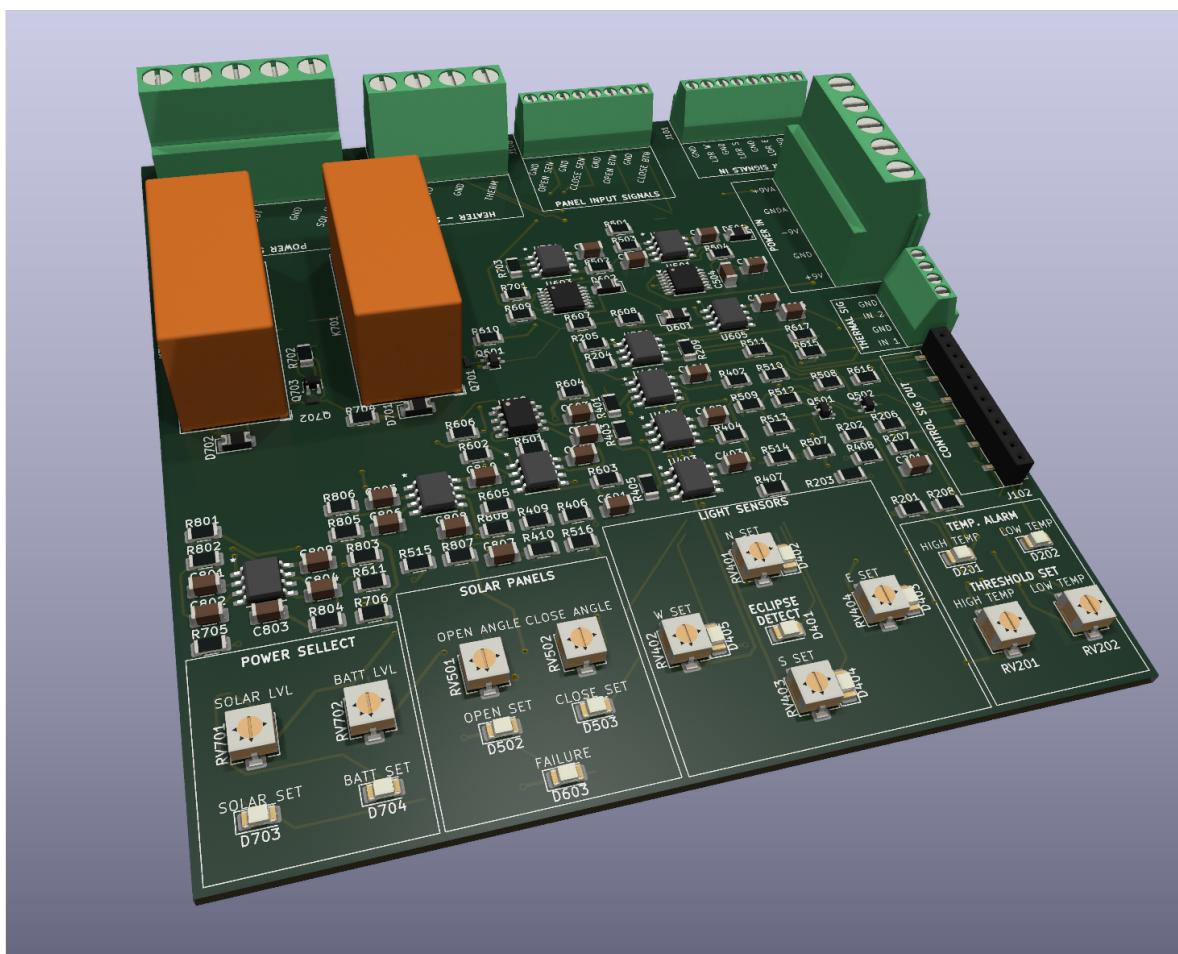


Figura 1.1: PCB Terminado

2. Control térmico

2.1. Objetivo

Obtener mediciones de temperatura de dos sensores ubicados en el exterior del sistema principal, verificar si pasan un umbral y tomar las medidas necesarias.

2.2. Implementación

Simulaciones

Planteo matemático Para las simulaciones se parte de la ecuación de schmitt trigger:

$$V_{inL} = \frac{R_1}{R_1 + R_2} (V_{OL} - V_{ref}) + V_{ref}$$
$$V_{inH} = \frac{R_1}{R_1 + R_2} (V_{OH} - V_{ref} + V_{ref})$$
$$H = \frac{R_1}{R_1 + R_2} (V_{OH} - V_{OL})$$

Para elegir los valores, se simula el sistema de ecuaciones en Python

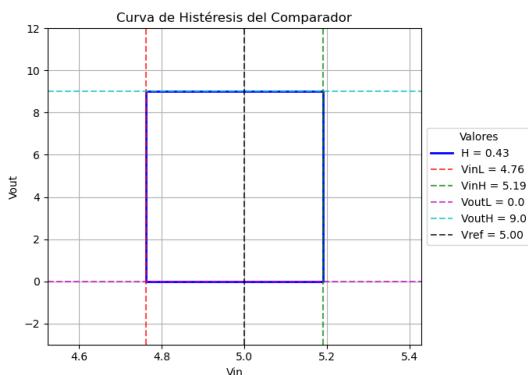
Listing 2.1: Simulacion histeresis

```
1
2     from sympy import symbols, Eq, solve
3     import matplotlib.pyplot as plt
4
5     #Generacion de simbolos
6     VinL, VinH, H, R1, R2, VOL, VOH, Vref = symbols('VinL'
7             'VinH H R1 R2 VOL VOH Vref')
8
9     #Implementacion de ecuaciones
10    eq_min = Eq(VinL, R1/(R1+R2) * (VOL - Vref) + Vref)
11    eq_max = Eq(VinH, R1/(R1+R2) * (VOH - Vref) + Vref)
12    eq_H    = Eq(H,      R1/(R1+R2) * (VOH - VOL))
13
14    #Se sobreesciben los valores conocidos dejandose 3
15        incognitas
16    VinL_val = VinL
```

```

15     VinH_val = VinH
16     H_val      = H
17     R1_val     = 5e3
18     R2_val     = 100e3
19     VOL_val    = 0
20     VOH_val    = 9
21     Vref_val   = 5
22
23     #Se resuelve el circuito para v superior, inferior e
24     histeresis
25     sol = solve(
26         (eq_min.subs({R1: R1_val, R2:R2_val, VOL:VOL_val,
27             Vref:Vref_val}),
28         eq_max.subs({R1: R1_val, R2:R2_val, VOH:VOH_val,
29             Vref:Vref_val}),
30         eq_H.subs({  R1: R1_val, R2:R2_val, VOH:VOH_val, VOL
31             :VOL_val})),
32         (VinL, VinH, H)
33     )

```



El código nos determina límites de voltaje para encendido y apagado (V_{in}) de la salida del amplificador, así como los valores superiores e inferior de voltaje que son VCC y 0 respectivamente. El ancho resulta en $430mV$

Figura 2.1: Ploteo de límites para histéresis

Simulación en LTSpice A partir de esto, se realizan las simulaciones en LTSpice. No del circuito final, si no de los tres casos posibles de funcionamiento del schmitt trigger:

- Histeresis con inversión
- Histéresis sin inversión

- Comparador sin histéresis

El circuito implementado en LTSpice es el siguiente:

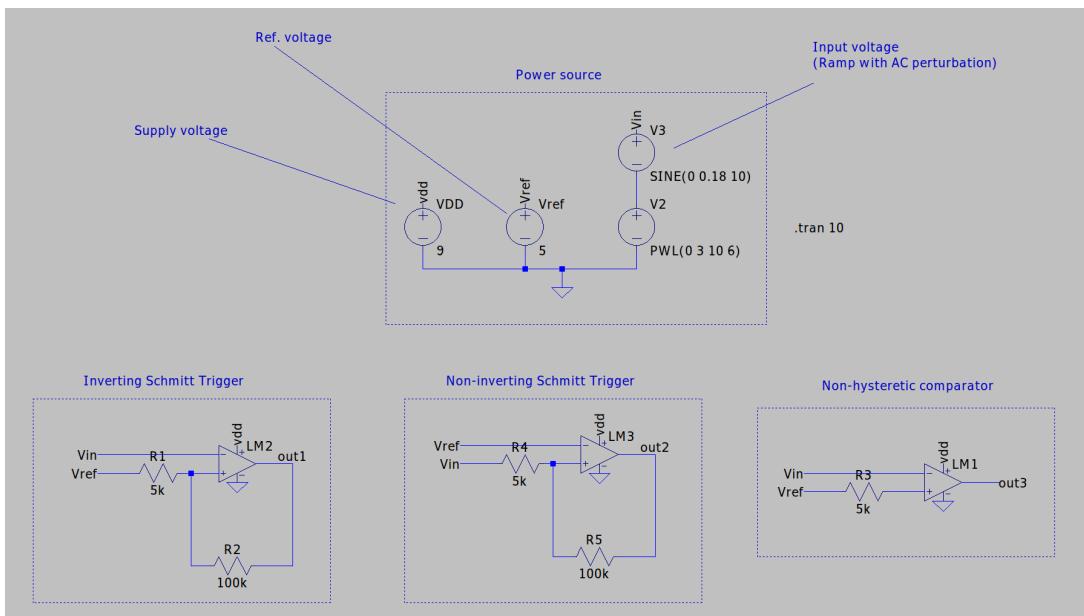


Figura 2.2: Circuito implementado en LTSpice

Se puede apreciar cómo se hacen 3 circuitos para cada uno de los casos detallados más arriba

Resultados simulación A continuación, se muestran los resultados de cada simulación realizada. Las primeras tres imágenes muestran la forma de onda de los 3 casos medidos.

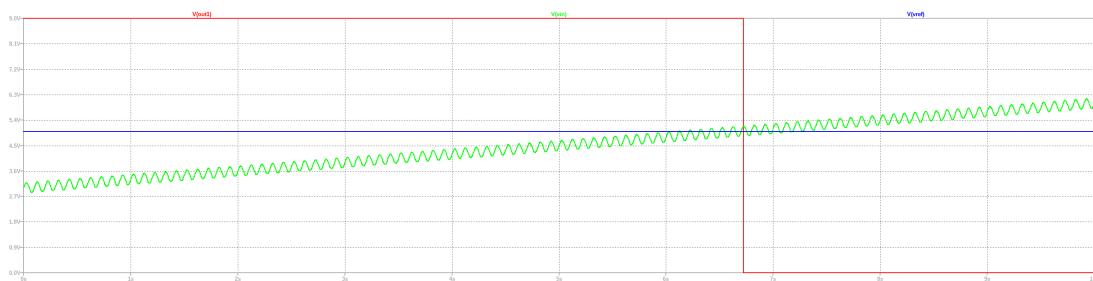


Figura 2.3: Salida de inverting schmitt trigger

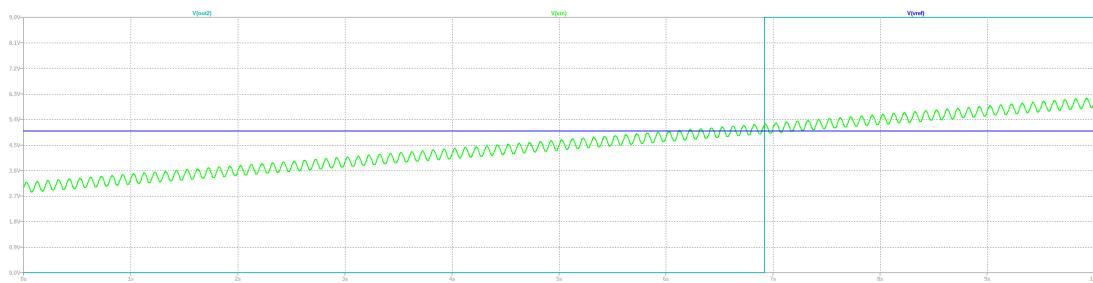


Figura 2.4: Salida de non-inverting schmitt trigger

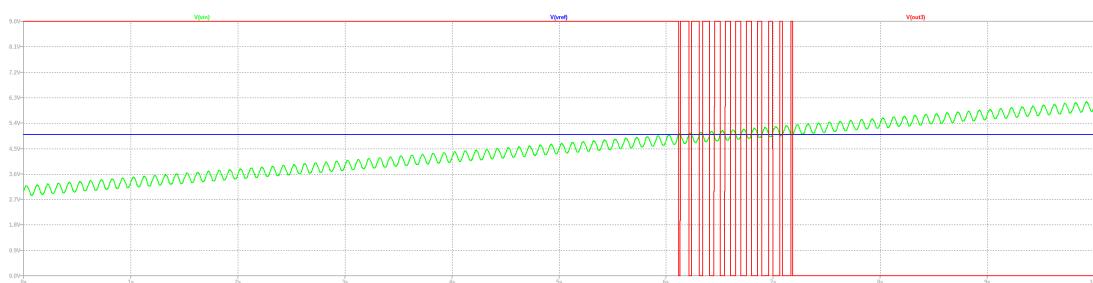


Figura 2.5: Salida sin histéresis

Finalmente, se incluye una prueba de la amplitud de la histéresis para verificar que la simulación concuerda con los calculos teóricos

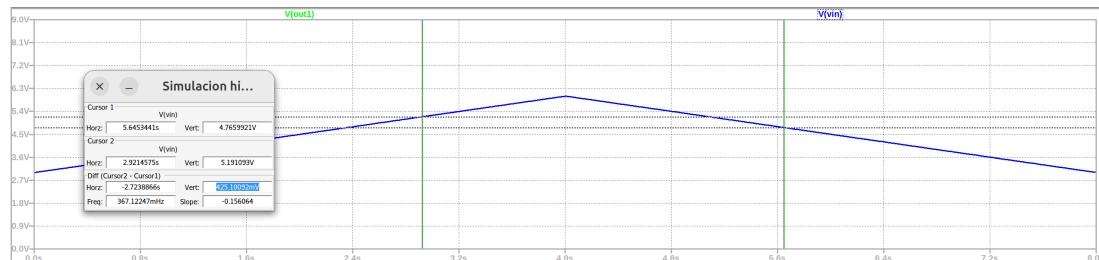


Figura 2.6: Medición características de la histéresis

Se usan marcadores para determinar el ancho de la histéresis (H). Ese valor se resalta en azul en la ventana de marcadores. Se puede apreciar que da 425mV , totalmente en línea con lo simulado en Python

2.2.1. Análisis y consideraciones de diseño

El ancho de histéresis obtenido fue aproximadamente $H \approx 430\text{mV}$ en la entrada del comparador. Dado que el sensor LM35 posee una sensibilidad de $10\text{mV}/^\circ\text{C}$ y la etapa amplificadora tiene una ganancia de 5, esto implica que el ancho real de histéresis en temperatura es:

$$\Delta T = \frac{H}{5 \cdot 10 \text{ mV}/\text{C}} \approx 8,6^\circ\text{C}$$

Este valor resulta adecuado para evitar conmutaciones erráticas debidas a pequeñas fluctuaciones o ruido cercano al umbral.

Por otro lado, en la implementación práctica deben considerarse tolerancias de resistencias y no idealidades del LM358, como tensión de saturación no perfectamente rail-to-rail y pequeño offset de entrada. Estas variaciones pueden generar leves diferencias respecto a los valores teóricos, aunque no afectan demasiado el funcionamiento general del sistema.

En conjunto, el diseño presenta un comportamiento coherente con el análisis teórico, la simulación y la práctica experimental.

2.3. Implementación en PCB

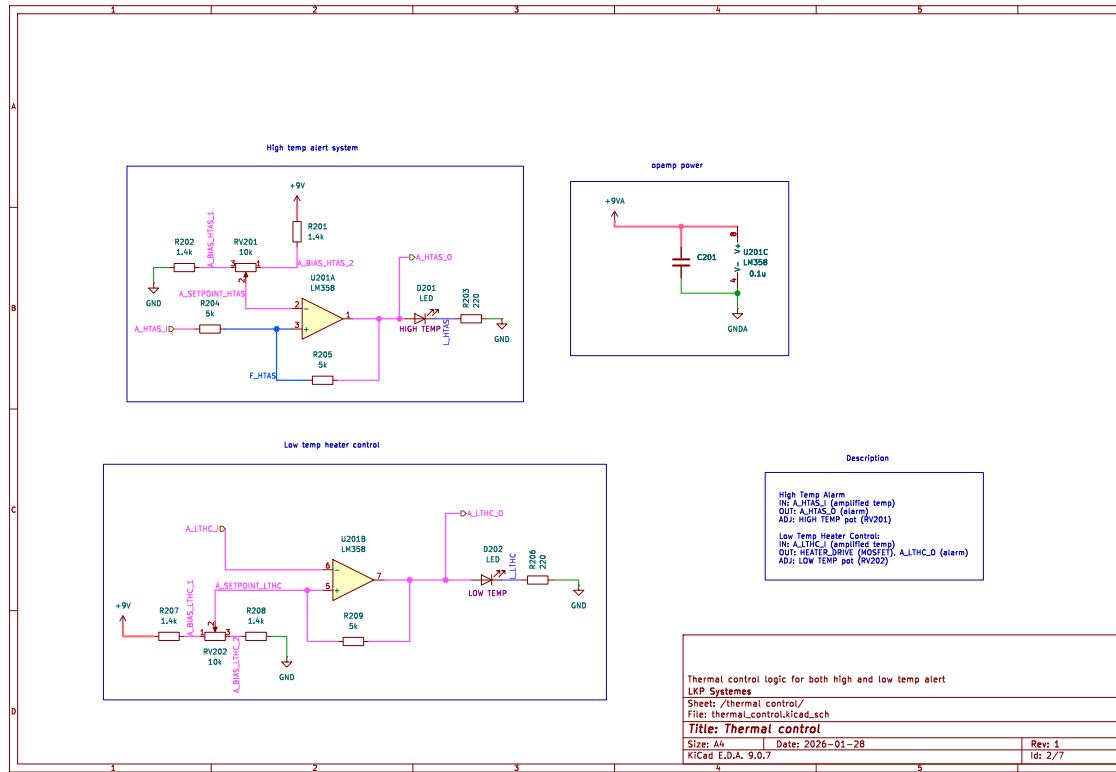


Figura 2.7: Esquemático

Para la implementación en el PCB se diseñan 2 bloques diferentes correspondientes a dos laboratorios. Ambos bloques encienden una señal de control en el board principal

y envían una señal de control a la salida. High temp alert system envía señal de control cuando la temperatura está por encima del valor establecido y low temp heater control hace lo inverso.

El stetpoint de temperatura se establece mediante potenciómetros analógicos ubicados en el main board. En la figura se muestra el sector del PCB donde se ubican los potenciómetros para setear high y low temp respectivamente más los LED indicadores.



Figura 2.8: Controles manuales en PCB

2.3.1. Evaluación de la etapa de control térmico

La etapa de control térmico permitió validar el funcionamiento del sistema desde el sensor hasta la señal de salida. El análisis teórico de los umbrales y del ancho de histéresis mostró coherencia con las simulaciones realizadas, y el armado del modelo confirmó un comportamiento estable del comparador ante variaciones próximas al punto de disparo.

La incorporación de histéresis resultó fundamental para evitar oscilaciones no deseadas, garantizando una conmutación limpia y predecible en condiciones cercanas al umbral.

3. Orientación solar

3.1. Objetivo

Determinar la orientación del satélite y el evento de un eclipse mediante la luz recibida en sensores luminicos, activando salidas de control correspondientes

3.2. Implementación

3.2.1. Planteo

Para determinar la orientación del sistema respecto a la luz solar usamos un detector basado en sensores LDR.

Dispusimos cuatro LDR formando los vértices de un cuadrado, aunque debido a su comportamiento idéntico simulamos solo uno de los canales.

El principio de funcionamiento se basa en utilizar la variación resistiva del LDR en función de la iluminación incidente. En la simulación esta variación fue modelada asignando al LDR una resistencia dependiente de tensión:

$$R_{LDR} = V(VR) \cdot 10000$$

donde la fuente auxiliar V_3 permite simular un cambio suave en la iluminación.

3.2.2. Consideraciones de funcionamiento

El circuito usa un comparador para determinar si el nivel de iluminación supera un umbral ajustable mediante un preset modelado por las resistencias $RPOT1$ y $RPOT2$.

El uso de cuatro sensores LDR ubicados en los puntos cardinales permite obtener una estimación de la orientación relativa del satélite respecto a la fuente luminosa. Una mayor iluminación sobre un sensor implica una menor resistencia del LDR correspondiente, generando una variación en la tensión de entrada del comparador y activando la salida asociada.

La detección de eclipse se define cuando los cuatro sensores presentan niveles de iluminación por debajo del umbral configurado. En esta condición, las cuatro salidas individuales permanecen en el mismo estado lógico, lo que permite activar una señal global de eclipse. Debe considerarse que los LDR presentan una respuesta no lineal y dependiente de la intensidad luminosa, así como variaciones entre dispositivos. Por este motivo,

se incorporan potenciómetros de ajuste que permiten calibrar los umbrales de disparo y compensar diferencias entre sensores.

De este modo, el sistema permite una detección de condiciones de iluminación y orientación básica mediante un esquema analógico simple.

3.2.3. Simulación

Siendo un circuito muy simple, se realiza únicamente una simulación en la cual se hace variar una resistencia (simulando el LDR) cuyo valor depende de una fuente de voltaje $R = V(VR) \cdot 1M\Omega$. El circuito se muestra a continuación

El análisis temporal muestra la variación progresiva del voltaje en el LDR y la correspondiente conmutación en la salida del comparador.

Debido a que la variación lumínica ocurre de manera lenta, no implementamos histéresis en el comparador, ya que no se observaron oscilaciones en la zona de umbral.

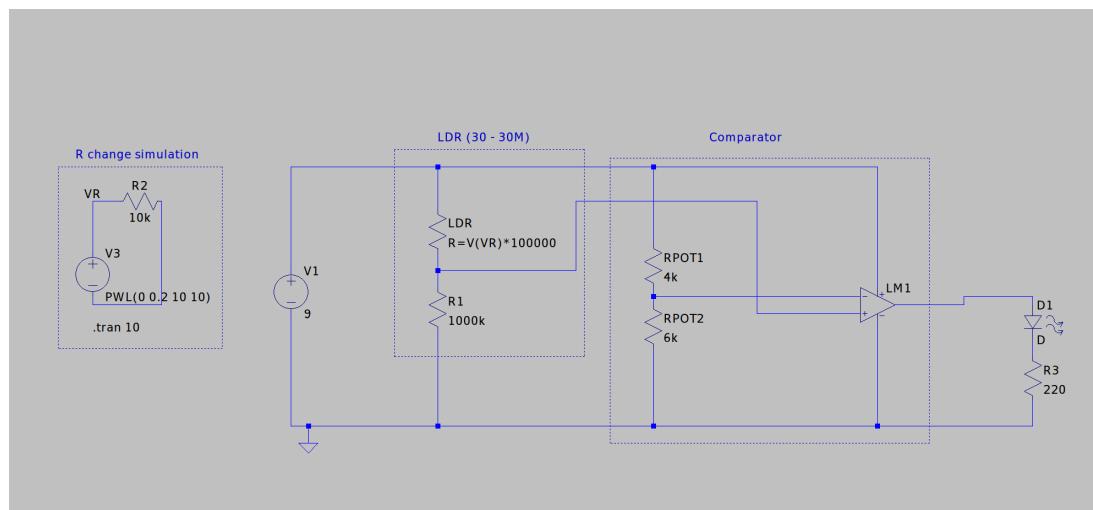


Figura 3.1: Simulación del LDR

La salida es un simple comparador:

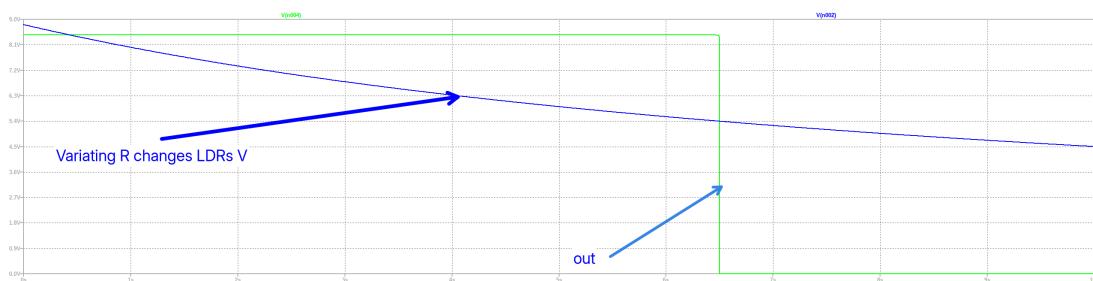
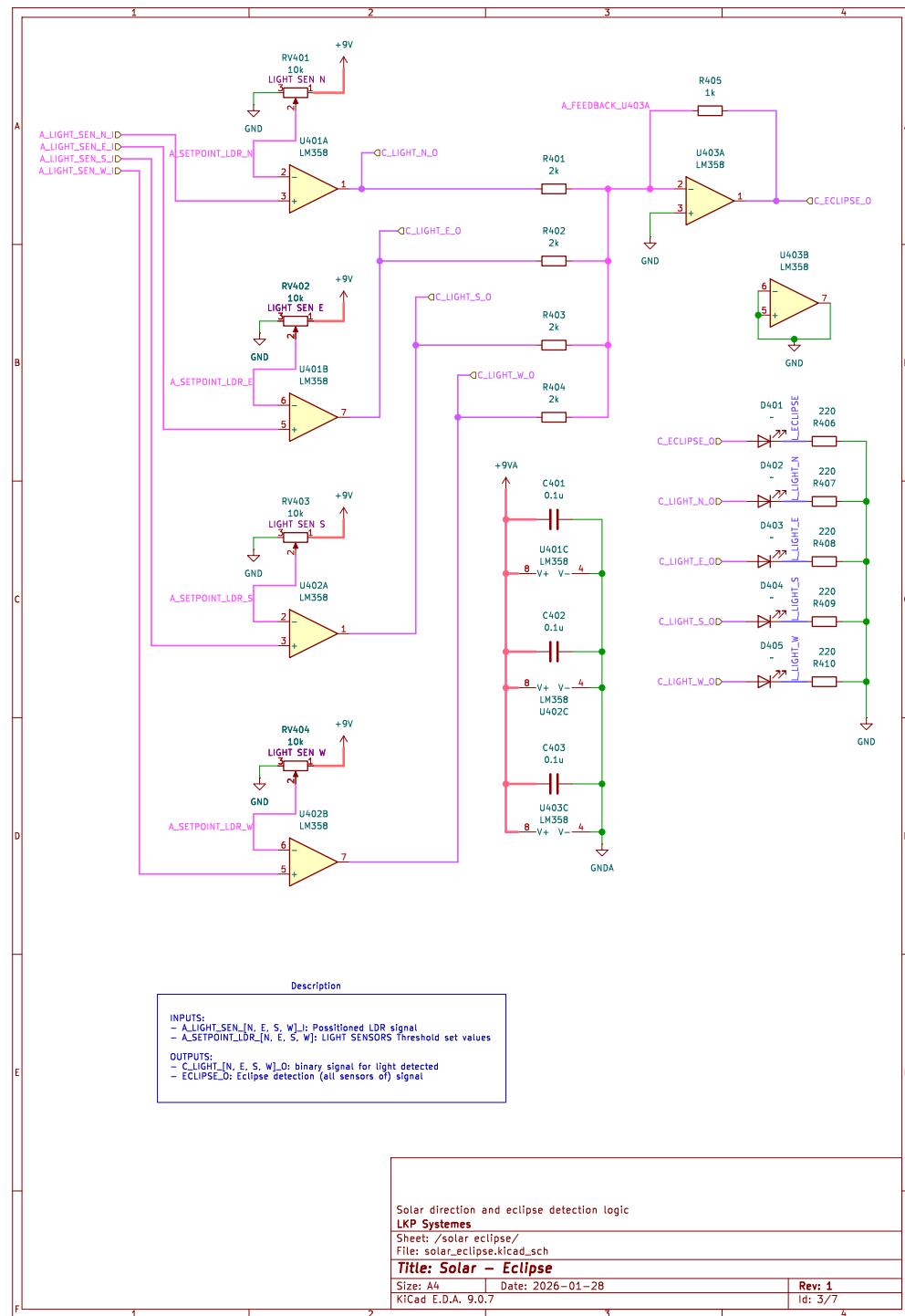


Figura 3.2: Salida del LDR



3.2.4. Implementación en el PCB

Para el esquemático, se usa el mismo circuito comparador 4 veces. Notese que se tienen 4 LEDs, 4 Setpoints y una salida de Eclipse. La detección de eclipse se ajusta mediante un setpoint que se setea al punto en el cual los 4 sensores están apagados (las cuatro salidas en alto)



En cuanto al PCB, se agruparon los setpoints para los LDR en un sector junto con

el LED indicador de detección de eclipse. Los 4 sensores se implementan en 4 PCBs separados con conectores para las señales hacia el main board

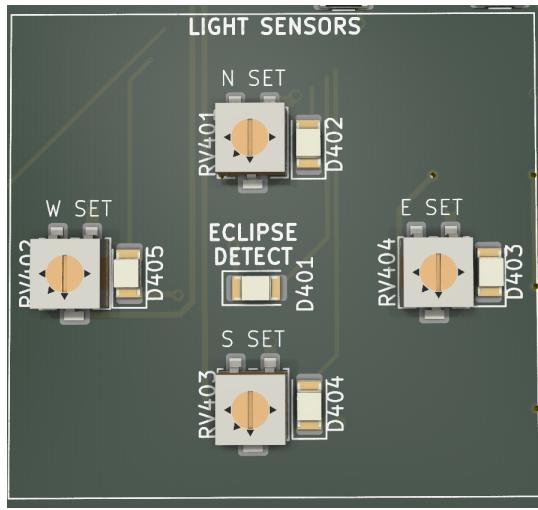


Figura 3.4: Selectores e indicador de eclipse en el PCB

pt

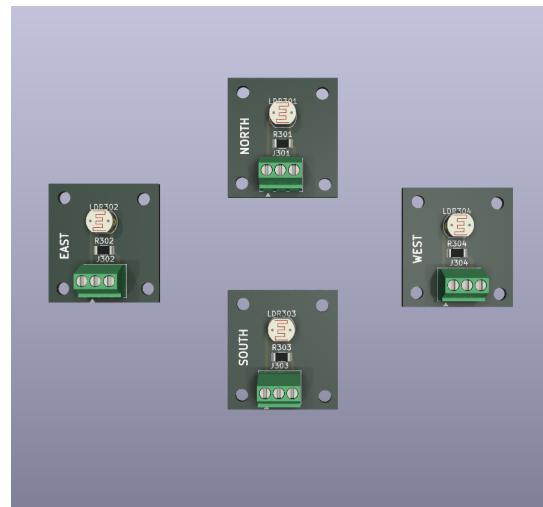


Figura 3.5: Sensores exteriores de luz

4. Despliegue de paneles

4.1. Objetivo

Diseñar un sistema de control para el despliegue automático de paneles solares o antenas. Relación con Sistemas Reales: Este circuito representa el mecanismo de despliegue de paneles solares o antenas en satélites, que deben activarse de forma precisa y detenerse automáticamente al alcanzar su posición final.

4.2. Implementación

El despliegue es realizado por un servomotor, donde su debido control nos garantiza la precisión en la activación, y recorrido final (control PWM). El sistema de despliegue se conforma de tres etapas, donde la primera tal como lo dice la grafica es de oscilación, la segunda de activación y la última es la física.



Figura 4.1: Diagrama en bloques del despliegue.

La idea en esta implementacion es diseñar un controlador analógico para un servomotor, la única manera de lograrlo es mediante el conocido PWM, en otras palabras es hacerle llegar una determinada cantidad de pulsos por segundo para su activacion y modularlos para su control en grados. Para ello decidimos transformar una señal sinudoidal en una de pulso cuadrado mediante un amplificador operacional en una configuración de comparador.

4.2.1. Oscilador

Ecuación que rige el funcionamiento de un oscilador:

$$A_f = \frac{V_o}{V_i} = \frac{A}{1 - A\beta}$$

A diferencia de un feedback convencional con entrada de referencia y salida, el oscilador se caracteriza por no poseer entrada es decir, tenemos un bloque de ganancia A con una salida V_0 realimentada mediante un bloque de ganancia de β hacia el bloque A directamente, sin pasar por ningun sumador entre medio. Esta caracterizacion hace que la ecuacion de ganancia de feedback necesite a $A\beta = 1$ para hacer la ganancia infinita y entrar en el bucle de oscilación. Entonces para que la placa cumpla con este requisito de un sencillo despeje tenemos que que la ganancia de feedback expresada con Laplace queda en: $A(s) = \frac{V_o(s)}{V_f(s)} = 1 + \frac{R_F}{R_1}$

R1 y Rf están asociadas a la parte de realimentación negativa del amplificador.

R1 y Rf están asociadas a la parte de realimentación negativa del amplificador.

$$(1 + \frac{R_F}{R_1}) \frac{RCs}{R^2C^2s^2 + 3RCs + 1} = 1$$

si sustituimos jw por s en la ecuación obtenemos que:

$$(1 + \frac{R_F}{R_1}) \frac{RC(jw)}{R^2C^2(jw)^2 + 3RC(jw) + 1} = 1$$

Luego de despejar de la parte imaginaria w, quedamos en los siguientes valores: $1 + \frac{R_f}{R_1} = 3$ donde necesariamente nos queda que $\frac{R_f}{R_1} = 2$

Lo cual para la práctica impone ésta condición de frontera para garantizar la estabilidad del oscilador, es decir que no diverga ni converga la onda en ningun periodo de operacion. Por recomendación del profesor la resistencia de Rf fue implementada por preset para poder dar ese ajuste fino que en calculos no se puede manejar a causa de las perturbaciones

externas.

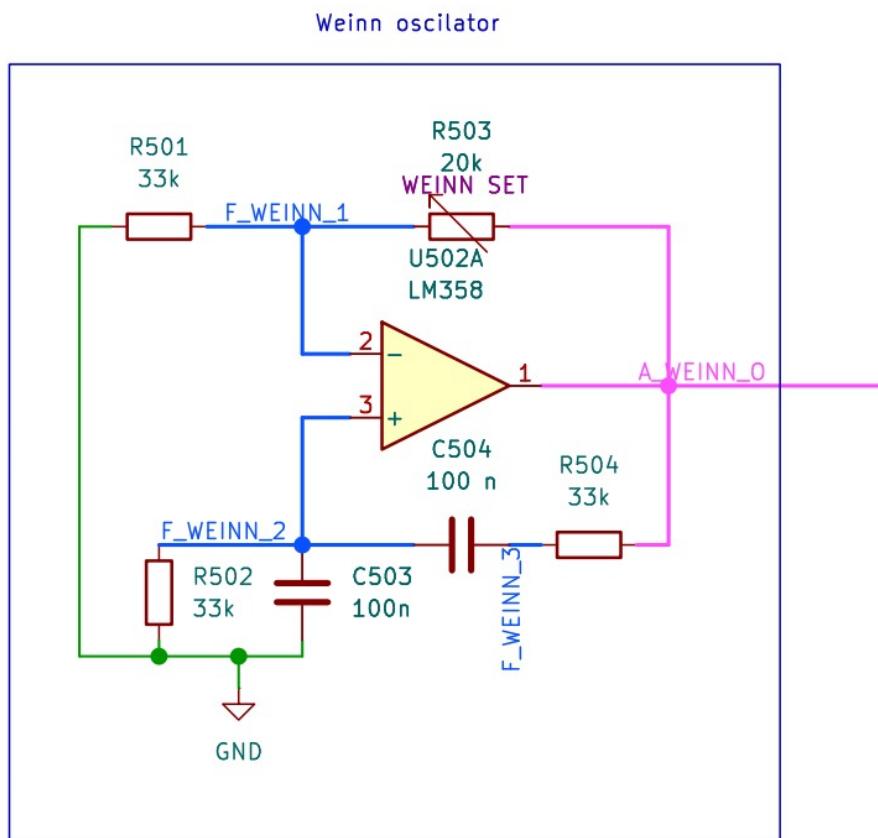


Figura 4.2: Circuito oscilador sinusoidal

Comparador

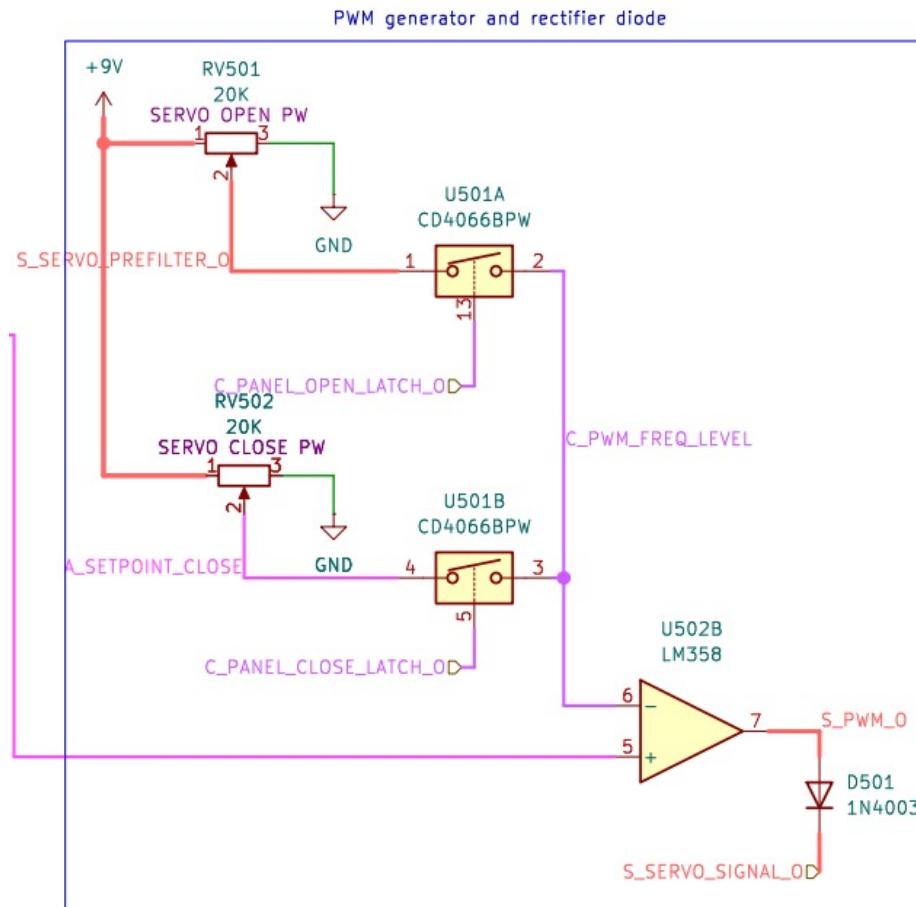


Figura 4.3: Circuito comparador analógico

El comparador consta de una señal de referencia en la pata inversora que compara constantemente con la tensión de la señal sinusoidal inyectada en la pata no inversora, entonces cuando la señal alcanza y supera el voltaje de comparación, la salida permanece en estado alto en toda la fracción de la cresta que hasta que este voltaje es menor a la referencia, entonces obtenemos el pulso cuadrado, que se repite cada 50Hz, ya que la comparación aparece en éste periodo de 20mS. Modulando el pulso con un preset que ajuste la referencia estamos sobrados para hacer todo el barrido del servomotor ya que el rango de valores de 0 a 180° equivale a 1 a 2mS en la señal.

Comparador: selectora

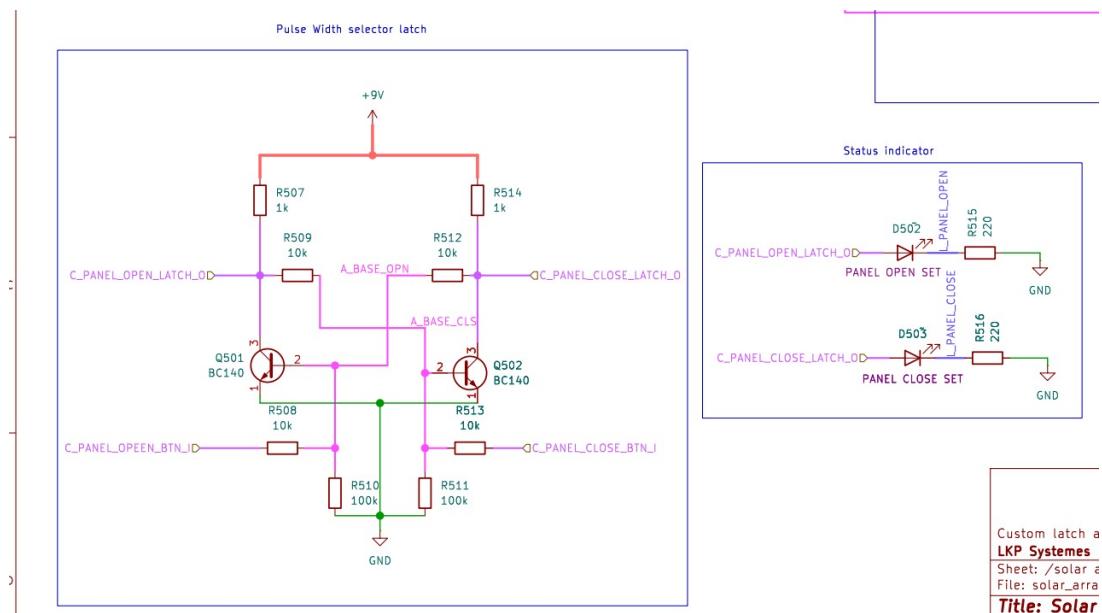


Figura 4.4: Circuito selector con panel indicadorl

Dentro del comparador tenemos una selectora de apertura o cierre del panel,fue implementada con un latch analógico compuesto de dos transistores bjt.

Pruebas de laboratorio

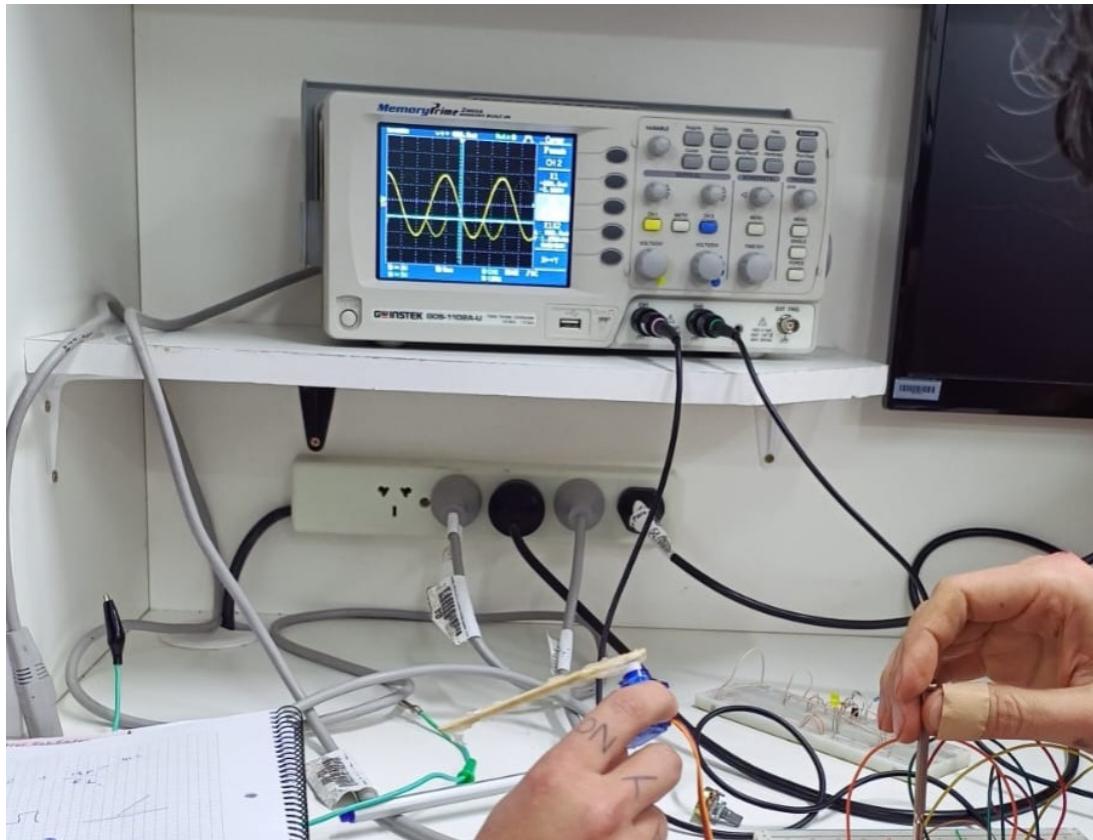


Figura 4.5: Prueba en osciloscopio

Seteamos los valores de resistencias y capacitivos en la parte de feedback a un mismo R y un mismo C para poder despejar una única frecuencia de oscilación en este caso la frecuencia de operación es 50Hz para mover el servomotor.

Análisis del control PWM

El servomotor utilizado requiere una señal PWM con frecuencia cercana a 50 Hz (período aproximado de 20 ms). Dentro de cada período, el ancho de pulso determina la posición angular del eje, siendo típicamente 1 ms el extremo mínimo y 2 ms el máximo (0° a 180°).

La señal sinusoidal generada por el oscilador Wien es convertida en una señal cuadrada mediante un comparador. La tensión de referencia aplicada al comparador determina el punto de cruce con la señal senoidal y, por lo tanto, el ancho del pulso generado. Al

variar dicha referencia mediante un preset, se modifica el tiempo durante el cual la señal permanece en nivel alto dentro de cada período de 20 ms, permitiendo controlar la posición del servomotor de manera analógica.

Este enfoque permite implementar un control PWM simple sin necesidad de microcontroladores, utilizando solo bloques analógicos.

4.3. Problemas y conclusiones

En el oscilador Puente Wien la ganancia $RF/R1 = 2$ tenía que ser un valor exacto al principio con un valor teórico exacto no pudimos llegar a la oscilación como tal que primero nos aparecía una línea continua en el osciloscopio (convergencia rápida) o directamente no aparecía nada (divergencia rápida). La recomendación del profesor de colocar el preset fue de gran utilidad para visualizar el punto justo de oscilación en pantalla a medida que íbamos girando la perilla.

5. Verificación despliegue

5.1. Objetivo

Hacer un sistema de verificación analógica de despliegue exitoso de paneles solares.

5.2. Implementación

Para verificar el correcto despliegue, se comparan dos señales: La señal de selección A_PANEL_OPEN / CLOSE_LATCH_I con la señal de sensor A_PANEL_OPEN / CLOSE_SENSOR_I. Al haber un cambio en la señal de control de selección se dispara un timer. Si la señal de selección (latcheada) tiene una diferencia con la señal de sensor durante un tiempo mayor al establecido con el timer 555, se asume un error y se envía señal de alarma. Si las señales se igualan antes que el timer llegue a su límite, se asume correcto funcionamiento. A continuación se muestra el esquemático con cada bloque:

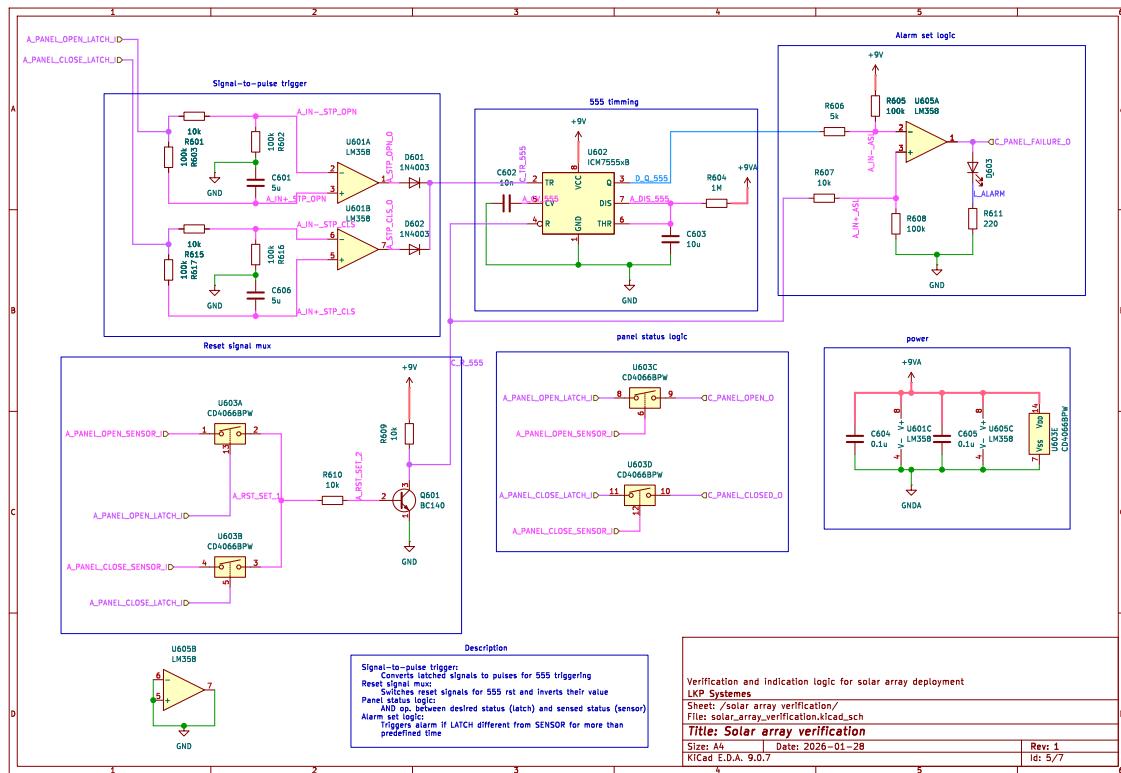


Figura 5.1: Esquematico completo

- Signal-to-pulse trigger:** La función de este bloque es convertir la señal continua de selección en un pulso invertido para activar el 555 ya que éste necesita pulsos para activarse. Para lograrlo, se usa un capacitor el cual, al llegar una señal continua al comparador, genera una diferencia temporal manteniéndose la entrada negativa a mayor voltaje que la positiva. Esto hace que el opamp tenga una salida baja. Luego, una vez el capacitor se estabiliza la salida vuelve a estado alto. En las simulaciones se puede ver este funcionamiento. El sistema se duplica para poder activar el timer con ambas entradas; apertura y cierre de paneles.
- 555 timing:** Timer 555 configurado en modo monoestable con una duración de 10 segundos approx.
- Reset signal mux:** La señal de reset es tomada de los sensores. Cuando un sensor se activa (el panel está en posición) se activa el reset. Cuando se selecciona apertura paneles, el mux deja pasar la señal del sensor de apertura. De esta manera, cuando el panel está totalmente abierto, el sensor de apertura se activa y a su vez activa

el reset. Como el reset es ativo bajo, esta señal se invierte en el mismo mux con el transistor $Q601$. Idem para cierre.

- **Alarm set logic:** Activa la alarma cuando la salida Q del timer está en bajo (activa) y el reset no está activado. Esto indica que se superó el tiempo de espera para apertura. Si el sensor indica que el panel llegó a su posición, el reset se activa (bajo) y el comparador se mantiene en cero. Si el timer se agota antes que el sensor llegue a la posición, el comparador da salida en alto activando la alarma.
- **Panel status logic:** Indicador que informa el estado de los paneles. Cuando el latch seleccióna apertura y el sensor indica que está abierto, sale la señal de panel abierto. Lo mismo para cerrado

5.2.1. Simulaciones

Se arma el circuito en LTSpice para una sola señal como se muestra a continuación.

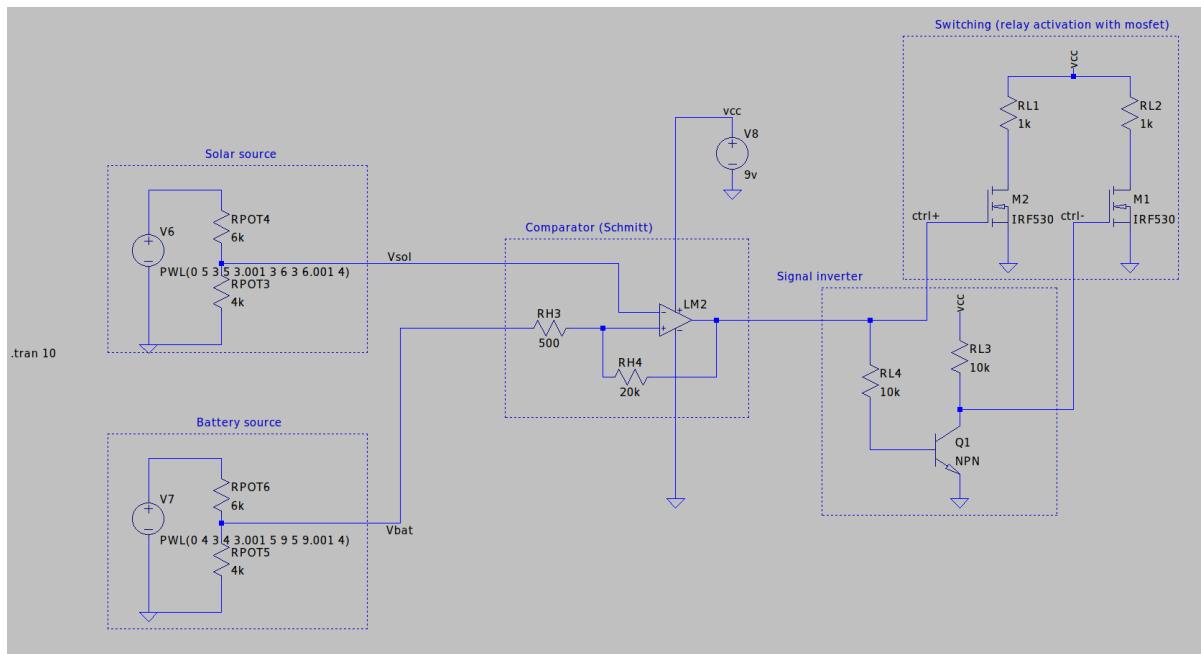


Figura 5.2: Circuito completo en LTSpice

En la primer simulación se puede ver el latch-to-pulse funcionando. Inicialmente, la señal continua (verde) esta en estado bajo y pasa a alto, generandose un pulso (invertido) en la salida (azul). Luego a los 6 segundos la señal continua pasa a estado bajo sin que se altere la salida. A los 8 segundos la continua pasa a estado alto, generandose otro pulso negativo en la salida.

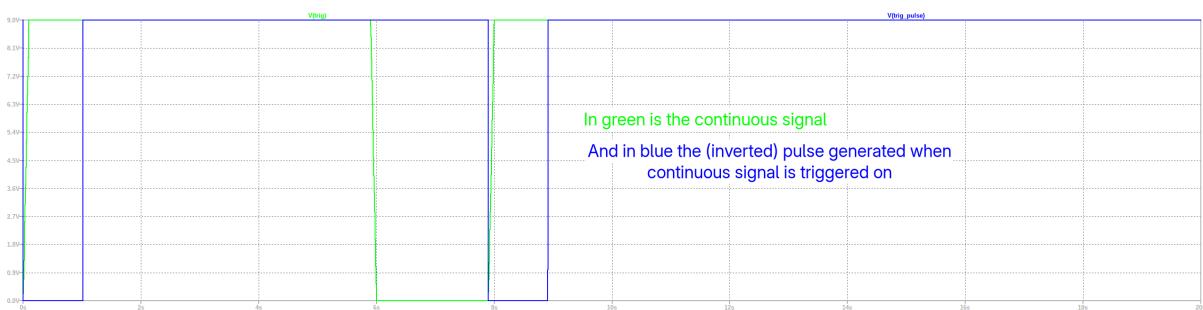


Figura 5.3: Forma de onda de entrada y salida del signal-to-pulse

Luego pasamos a la salida del 555. La waveform roja es la salida (activo bajo). Al inicio se dispara el 555 con un pulso de trigger (azul) y a los 6 segundos se activa el reset. Esto genera una salida activa pero no se dispara la alarma por el bloque alarm-logic explicado más arriba.

Luego, a los 5 segundos, se vuelve a activar el timer simulando otro cambio. Esta la señal de reset no llega, frente a lo cual, en los 19 segundos, se activa la salida. La lógica de la alarma hará que, al activarse la salida del 555 y no el reset del sensor, se dispare la alarma.

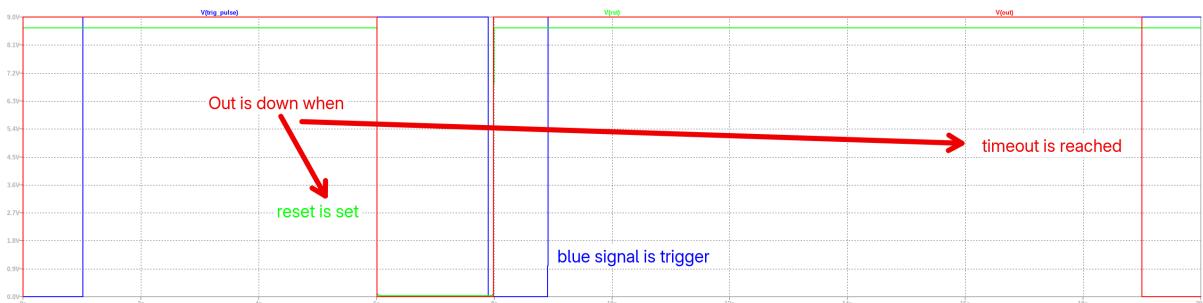


Figura 5.4: Forma de onda de entrada, reset y salida del 555

Finalmente, está la lógica de la alarma, en la cual se hacen dos pruebas:

- A los 6 segundos, la salida y reset están bajos (activos) frente a lo cual la alarma no se activa
- A los 19 segundos, Trigger está bajo y reset alto, lo cual activa la alarma.

Esta waveform está sincronizada con la anterior (es la misma simulación), con lo cual se puede ver el funcionamiento completo.

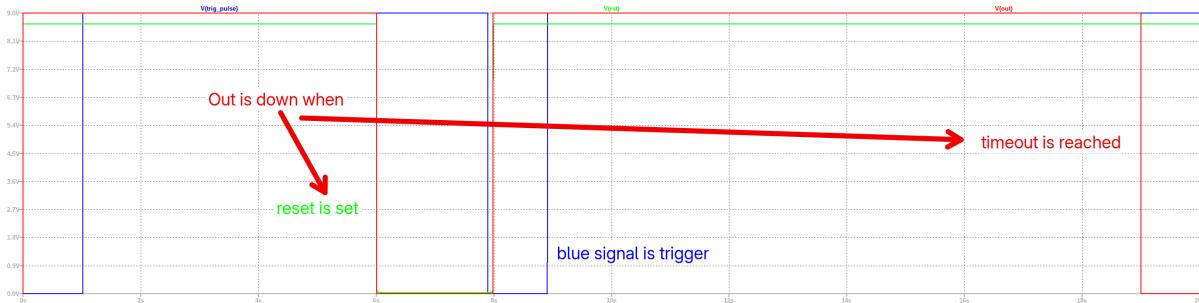


Figura 5.5: Forma de onda de lógica de alarma

5.3. Principio de funcionamiento

Lo que hace este sistema es implementar una verificación temporal de coherencia entre la orden de despliegue y la respuesta física del mecanismo.

Cuando se emite una señal de apertura o cierre, el bloque signal-to-pulse genera un pulso que dispara el temporizador 555 en modo monoestable. A partir de ese momento empieza una ventana temporal durante la cual se espera que el sensor indique la posición alcanzada.

Si el sensor confirma la posición antes de que el temporizador expire, el reset interrumpe el conteo y el sistema considera la operación exitosa. Caso contrario, al agotarse el tiempo establecido, la lógica de alarma interpreta la diferencia entre orden y estado como una falla y activa la señal de error.

Esto nos permite detectar atascamientos mecánicos, fallas eléctricas o situaciones en las cuales el panel no alcanza la posición esperada dentro del tiempo previsto.

6. Sistema de selección y detección de orientación

6.1. Latch de selección

Para seleccionar entre dos estados de funcionamiento (plegado y desplegado) implementamos un latch con transistores NPN acoplados cruzadamente. De esta forma, el circuito constituye un bioestable tipo SR, que es capaz de mantener el estado seleccionado hasta recibir un nuevo pulso de comutación.

La comutación se realiza mediante pulsos de tensión aplicados a cada una de las entradas. En la simulación, esos pulsos fueron modelados mediante fuentes de voltaje tipo PULSE.

d.yeah First item

e.yeah Second item

custom Third item

Con la simulación temporal verificamos el correcto funcionamiento del biestable. En ella se observa la comutación estable entre ambos estados sin oscilaciones indeseadas.

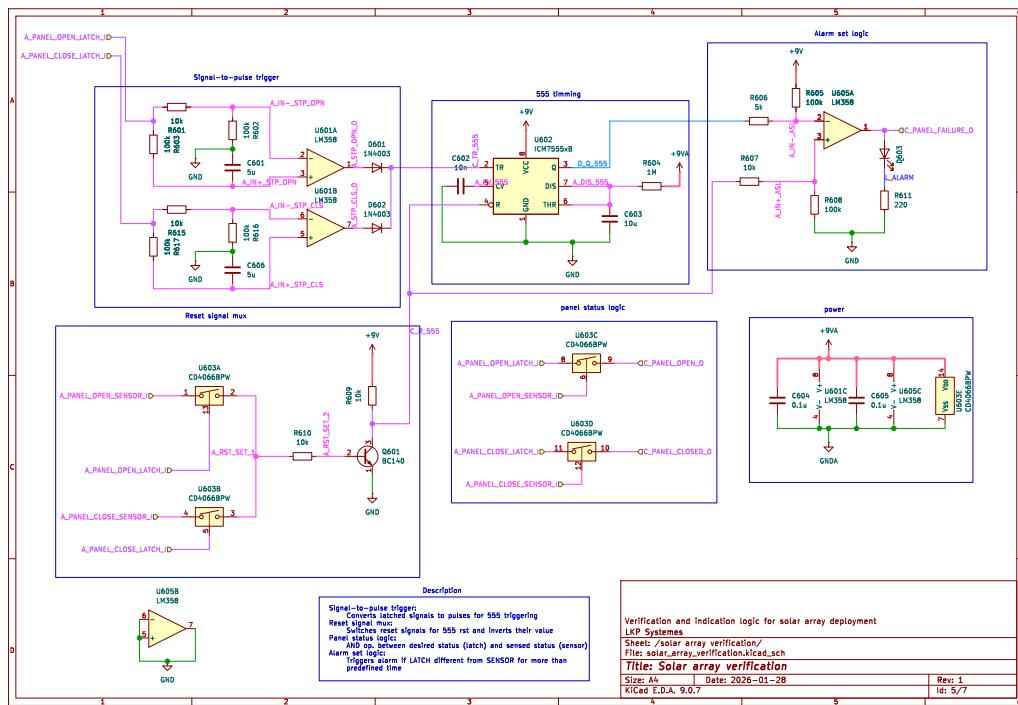


Figura 6.1: Esquematico completo

7. Filtro Activo

7.1. Objetivo

Diseñar, construir y validar experimentalmente un filtro activo pasabajos de segundo orden utilizando un amplificador operacional, con el objetivo de atenuar ruido de alta frecuencia en señales provenientes de sensores satelitales (temperatura, iluminación y corriente). Se comparó la frecuencia de corte teórica con la medida en el experimento y se analizó el impacto en la calidad de la señal.

7.2. Implementación

Se utilizó la topología Sallen-Key, ampliamente utilizada para la implementación de filtros activos (op amp) de segundo orden. El orden dos del sistema se debe a que tenemos dos componentes almacenadores de energía (capacitores C_1 y C_2), lo que introduce dos polos en la función de transferencia. La imagen a continuación describe como es la topología en cuestión.

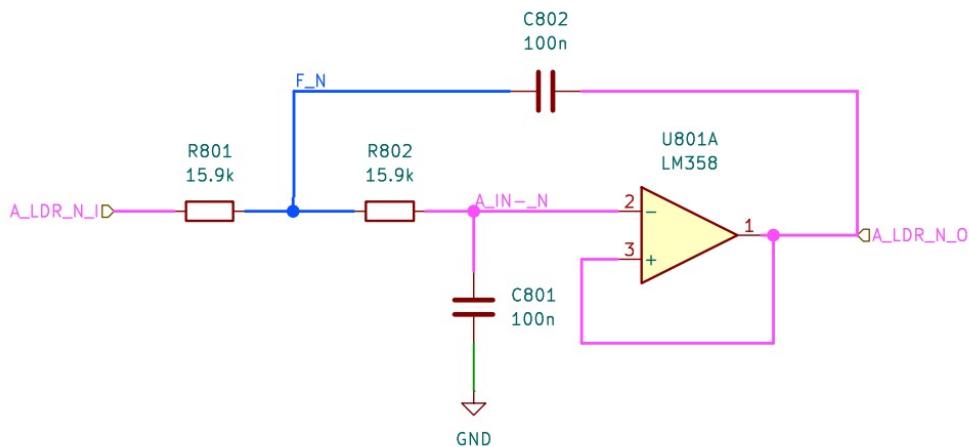


Figura 7.1: Topología Sallen Key

En este caso, para obtener los valores de los componentes decidimos despejarlos a partir de la función transferencia:

$$H(s) = \frac{K\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$$

donde:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$$

y Q es el factor de calidad del filtro.

Para simplificar el diseño elegimos una configuración simétrica:

$$R_1 = R_2$$

$$C_1 = C_2$$

lo que nos permite definir una única frecuencia de corte:

$$\omega_0 = \frac{1}{RC}$$

Mediante el seteo de características que necesitábamos, definimos una frecuencia de corte de aproximadamente:

$$f_c = 100 \text{ Hz}$$

lo que equivale a:

$$\omega_0 = 2\pi f_c \approx 628 \text{ rad/s}$$

Con los valores seleccionados:

$$R = 15,92 \text{ k}\Omega, \quad C = 100 \text{ nF}$$

se verifica:

$$\omega_0 = \frac{1}{RC} \approx 628 \text{ rad/s}$$

Buscamos además una ganancia cercana a la unidad en banda pasante. Por otro lado, la ganancia del amplificador operacional en configuración no inversora está dada por:

$$K = 1 + \frac{R_4}{R_3}$$

7.2.1. Simulación

A continuación, realizamos la simulación de un script en python con la librería `python-control` para poder visualizar el diagrama de Bode en magnitud y fase a partir de la función transferencia del circuito:

$$H(s) = \frac{1,01}{2,534 \times 10^{-6}s^2 + 0,001368s + 1}$$

Estimación de parámetros:

$$R_1 = mR$$

$$R_2 = \frac{R}{m}$$

$$C_1 = nC$$

$$C_2 = C/n$$

$$w_0 = 2 \cdot \pi \cdot f_0$$

Investigando al respecto, decidimos que lo más conveniente era definir una única R y una única C para así poder despejar una única frecuencia de corte. Para poder completar los valores de los esquemáticos escalamos las resistencias y capacitores por las constantes 'm' y 'n' respectivamente.

Probamos valores de resistencias y capacitores que tengan sentido con los materiales a disposición, y, para la magnitud unitaria del Bode, forzamos a que la ganancia en la función transferencia sea 1.01. Dicha ganancia fue obtenida del mismo esquemático en función a las resistencias:

$$K = \frac{R_3 + R_4}{R_3} = 1,01$$

Listing 7.1: Simulacion filtro

```
1 import control as ct
2 import sympy as sp
3 import numpy as np
4 import matplotlib.pyplot as plt
5 %matplotlib qt6
6
7 R1=15.92*(10**3)
8 R2=15.92*(10**3)
9 R3=100*(10**3)
10 R4=1*(10**3)
11 C1=100*(10**(-9))
12 C2=100*(10**(-9))
13
14 K=(R3+R4)/R3
15
16 num=[0,0,K]
17 den=[R1*R2*C1*C2,R1*C1+R2*C1+R1*C2*(1-K),1]
18
19 H=ct.tf(num, den)
20
21 plt.figure()
22 ct.bode_plot(H, dB=True)
23
```

```
24 plt.show()
```

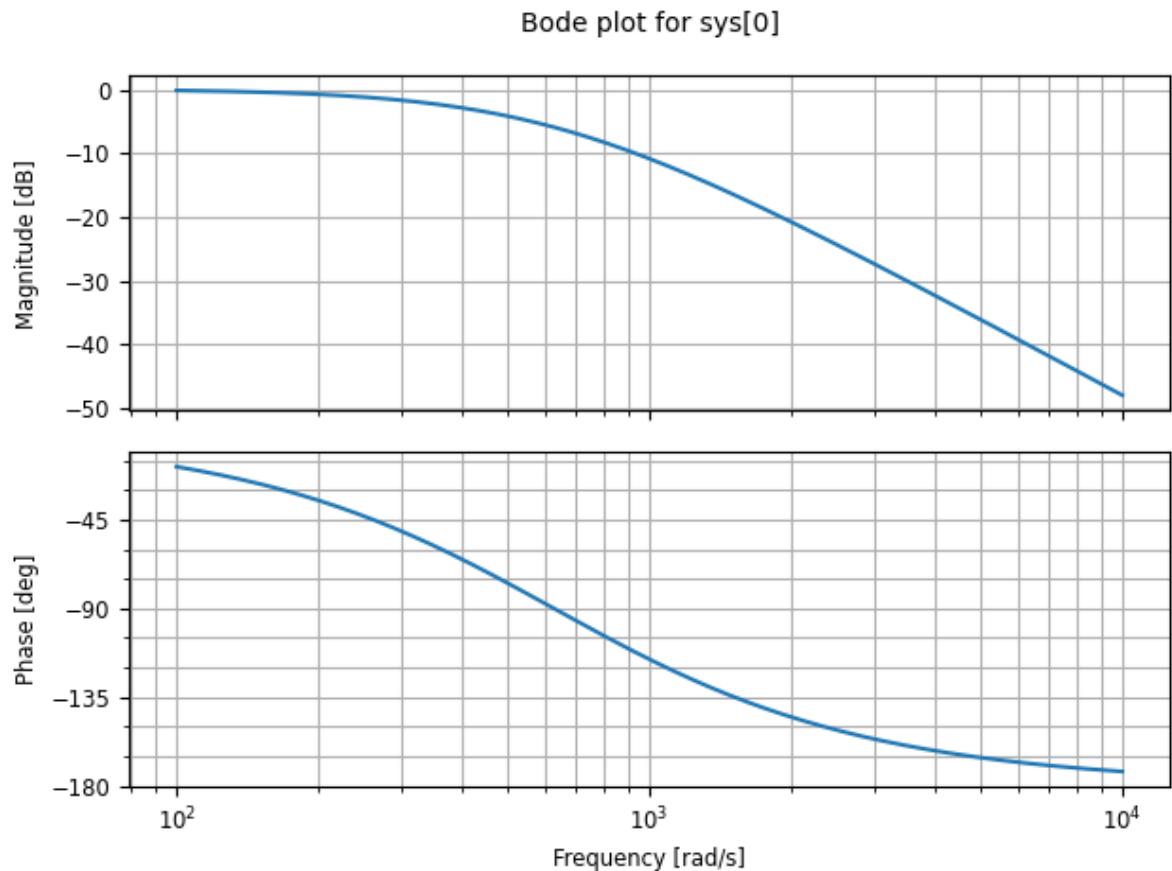


Figura 7.2: Bode filtro activo

De la simulación obtuvimos el Bode en fase y en magnitud, de los cuales podemos ver que se cumple con el criterio de corte a 200rads y además se aprecia que a una superior a 100 rad/s el filtro desfasará nuestra señal de salida respecto a la de entrada.

7.2.2. Pruebas de laboratorio

Sometimos al filtro a diferentes entradas para poder validar y corroborar su comportamiento descrito por los diagramas de Bode.

Modulación AM Decidimos probar el filtrado con una senoidal modulada en AM mediante un generador de funciones, dicha portadora contenía altas frecuencias y la envolvente bajas frecuencias para corroborar su debido funcionamiento.

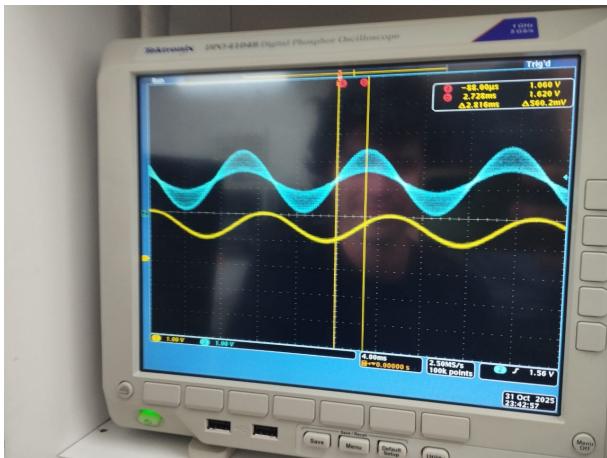


Figura 7.3: Modulación AM 1

El osciloscopio muestra lo que esperábamos, una señal filtrada(amarillo), un poco desfasada en fase y también atenuada en magnitud, la atenuación corresponde a aproximadamente 7 decibeles que es la transición de la frecuencia de corte.

Armónicos Empleamos el osciloscopio para analizar las componentes frecuenciales de la señal periódica en la señal modulada, a modo de verificar que efectivamente introdujimos unas componentes de alta frecuencia.



Figura 7.4: Armónicos

La segunda figura es una prueba con una entrada modulada a una frecuencia un poco mas baja.

Figura 7.5: Modulación AM 2

Desfasaje Ingresamos al sistema con una señal sin modular casi a la frecuencia de corte para visualizar la atenuacion en la magnitud y el cambio de fase correspondiente.

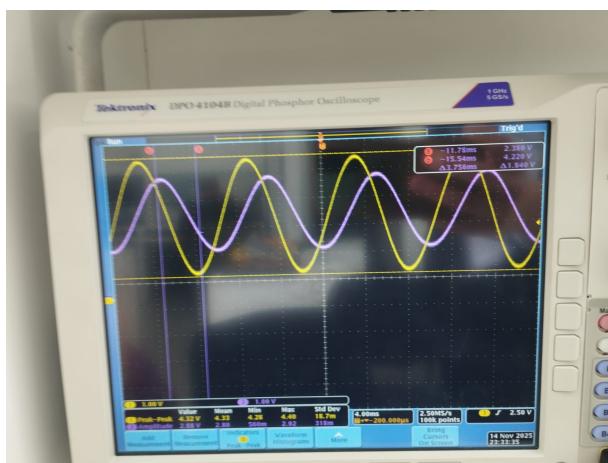


Figura 7.6: Desfasaje

8. Implementación en PCB

Para la implementación en el PCB se usa KiCad

Se trata de dos proyectos distintos:

- **Main board:** PCB principal con 6 capas. Se priorizan componentes SMD excepto en conectores con el exterior y Relays por necesitar conexiones más robustas.
- **Sensores externos:** Los sensores distribuidos en el satélite se comunican con el main board mediante cables. Entonces cada sensor se monta en un PCB simple con orificios para atornillar en su destino final. Las señales de esos sensores y actuadores se llevan mediante cables al PCB principal.

8.1. Diseño de esquemáticos

Se optó por hacer un sheet principal con bloques, cada uno de los cuales representa un subsistema. En el esquemático principal se pueden ver las señales entrando y saliendo de cada bloque. De esta manera, se consigue un sistema entendible y mantenible.

Todos los diseños fueron evaluados con el ERC a fondo eliminándose la totalidad de los errores del diseño.

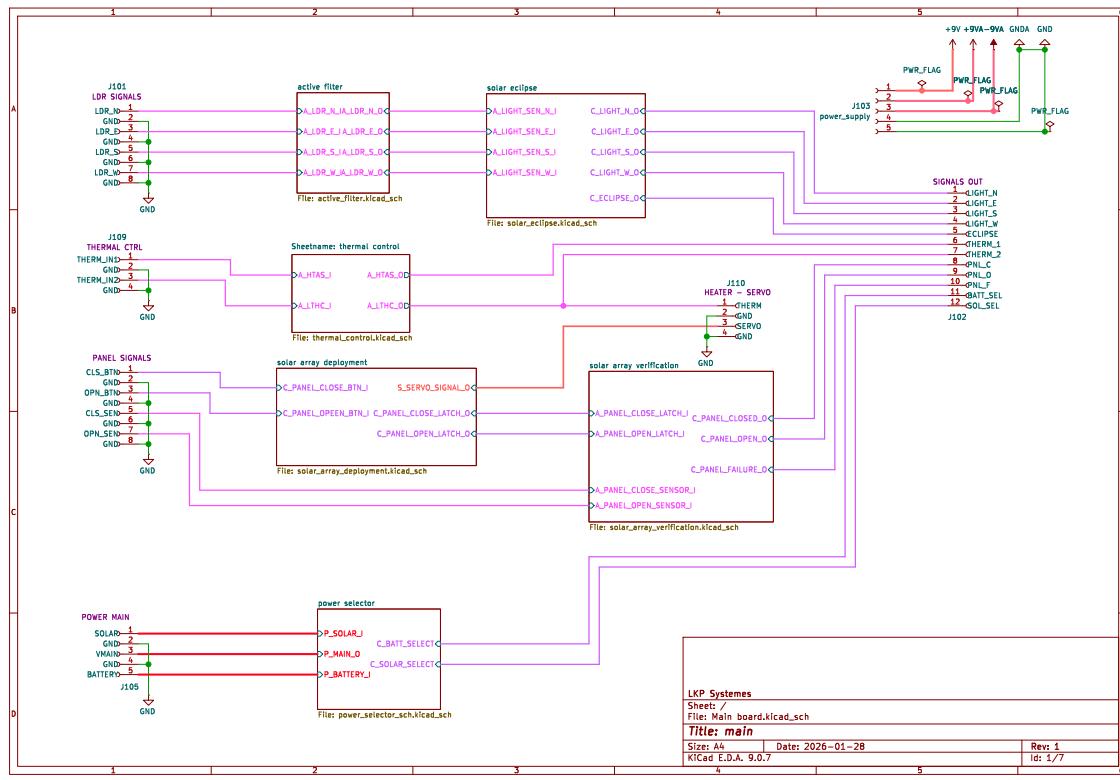


Figura 8.1: Diagrama de bloques del PCB

Para los esquemáticos se copian los diseños validados en simulaciones o protoboards con ligeras diferencias de implementación. Por ejemplo; el filtro se armó en protoboard una sola vez pero en la implementación se usan 4, uno para cada señal de LDR.

8.1.1. Selección de componentes

Principalmente se eligió Texas Instruments en los componentes, por ser marca usada en los laboratorios y ser fiable.

- **LM35:** Como sensor de temperatura se elige el LM35 de Texas instruments. El encapsulado seleccionado es TO-220, el cual se puede atornillar a las baterías para la medición de baja temperatura
- **LM358B:** Amplificador operacional principal. También de TI, versión SMD para montaje compacto en el main board. Se colocan capacitores de $0,1\mu F$ como indica el datasheet, pegados a la alimentación

- **Mosfet:** En este caso se optó por el CSD17577Q5A de Texas Instruments por ser el más pequeño que cumple con los requerimientos. Esta elección trajo problemas ya que la escasa separación entre los pines generó conflictos con el ancho de pista definido
- **RT314009:** Este componente se eligió como Relay para las baterías por estar disponible en la biblioteca de Kicad y manejar altos amperajes. Texas instruments no tenía alternativas
- **Componentes genéricos** Resistores, ldr, capacitores, etc. se eligen basandose en disponibilidad de componentes genéricos disponibles en biblioteca de Kicad.

8.1.2. Manejo de señales

Las señales externas (de sensores, pulsos, etc.) se reciben mediante borneras. Los setpoint se determinan mediante potenciómetros, los cuales estarán claramente indicados en el PCB. Las señales de indicación se colocan en el PCB mediante LEDs señalizados y se envían también al exterior mediante un conector tipo socket hembra.

A conciencia de que no todas las señales se manejan igual, se eligen distintas clases de señales:

Prefijo	Significado	Explicación
A_	Analógicas	Sensibles a ruido, se intenta reducir los saltos entre capas
F_	Feedback	Críticas, se intenta minimizar su longitud
L_	LEDs del main board	Poco importantes / sensibles, solo indicadoras
C_	Control	Generalmente on / off o set_point
S_	Power signal	Señal de potencia
±9VA	Power clean	Alimentación de amplificadores

Tabla 8.1: Descripción de los prefijos de señal.

8.2. Armado del PCB físico

En el board principal, todos los componentes se distribuyen de manera que queden lo más juntos posibles. Al comenzar con el ruteo se observa que es necesaria una mucho mayor distancia entre componentes frente a lo cual se reacomoda todo. Se definen las siguientes secciones del PCB:

- **Conecadores:** Ubicados en los costados externos
- **Relés:** Los relés de potencia se dejan lo más separados posibles para evitar interferencia
- **Circuitería principal:** Principalmente en el centro
- **Interacción con usuario:** Sección con los setpoints y leds indicadores. Todo se señaliza

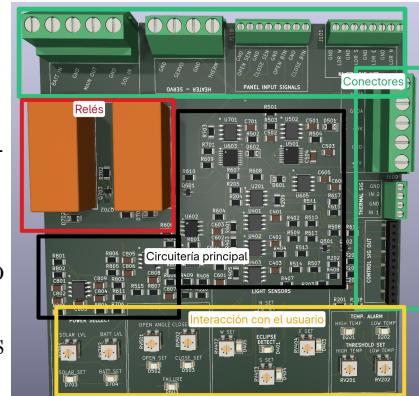


Figura 8.2: Zonas definidas en el PCB

8.2.1. Ruteo

Se optó por hacer 6 capas, distribuídias de la siguiente manera:

- **F.Cu (Capa frontal):** Señales analógicas (las más importantes), con tramos cortos. Esta disposición facilita el debugging y la interpretación de las señales.
- **In1.Cu (Capa interna 1):** Plano de tierra (GND) común para toda la placa, proporcionando una referencia de tierra estable y de baja impedancia.
- **In2.Cu (Capa interna 2):** Vías de alimentación. Se implementaron secciones largas que atraviesan todo el PCB, utilizando colectores gruesos con ramales de grosor según la clase de corriente. Se separa la alimentación sensible (**power_clean**) para amplificadores de la alimentación general (**power**).
- **In3.Cu (Capa interna 3):** Señales de control (**setpoint**, salidas a un conector que recibe todas las señales de información). Aunque esta capa es menos debuggable, al tratarse de señales de control se puede medir directamente en los pads para entender su origen. La prioridad se mantuvo en las señales analógicas.
- **In4.Cu (Capa interna 4):** Cruces de señales de control y señales de LEDs, optimizando el espacio y minimizando interferencias.
- **B.Cu (Capa posterior):** Autopistas de muchas pistas en paralelo, principalmente analógicas, con trazos largos. Se eligió esta capa para poder seguir las señales desde arriba, ya que las vías van de extremo a extremo, permitiendo rastrear todo el recorrido de las señales.

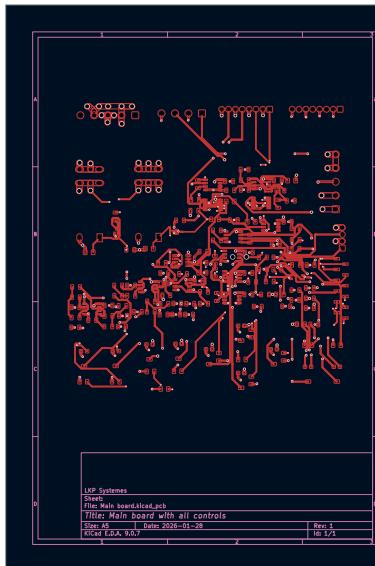


Figura 8.3: F.Cu: Señales analógicas y de Feedback

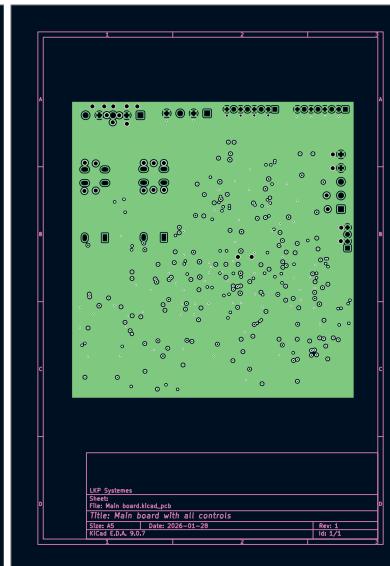


Figura 8.4: In1.Cu: Plano GND común a toda la placa

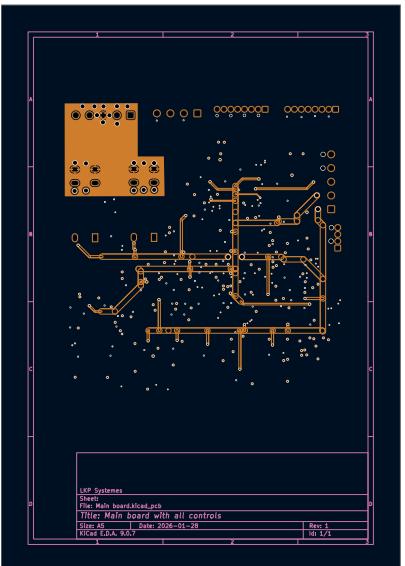


Figura 8.5: In2.Cu: Vías de alimentación

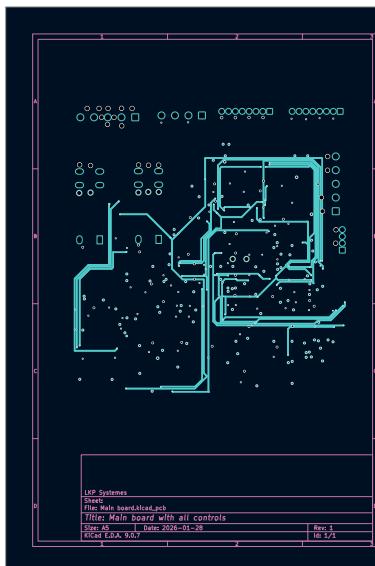


Figura 8.6: In3.Cu: Señales de control

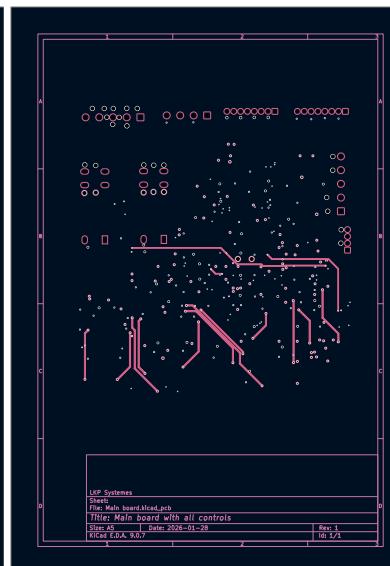


Figura 8.7: In4.Cu: Cruces de control y LEDs

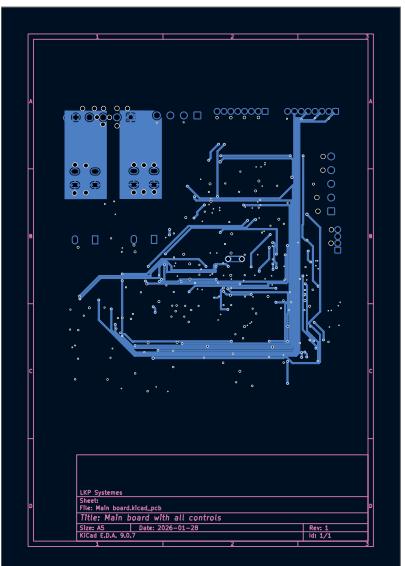


Figura 8.8: B.Cu: Autopistas analógicas

Se inició haciendo las conexiones de las señales de GND, las cuales van directo al plano tierra. Acto seguido se conectaron las líneas de Feedback y analógicas intentando reducir al mínimo necesario los cruces y saltos entre capas. Finalmente, se suman las de control y el resto.

8.2.2. Ancho de pistas

El ancho de pistas fué definido mediante netclasses de la siguiente manera:

Name	Clearance	TrackWidth	Via Size	Via Hole
GND	0.25 mm	0.6 mm	-	-
Digital	0.3 mm	0.3 mm	0.8 mm	0.4 mm
pwr signal	0.2 mm	0.4 mm	1 mm	0.6 mm
Power clean	0.3 mm	0.6 mm	1 mm	0.6 mm
Feedback	0.4 mm	0.3 mm	0.8 mm	0.4 mm
LED	0.2 mm	0.4 mm	0.8 mm	0.4 mm
Control	0.2 mm	0.3 mm	0.3 mm	0.1 mm
Power raw	0.4 mm	2 mm	1 mm	0.5 mm
Power	0.4 mm	0.8 mm	0.8 mm	0.6 mm
Analog	0.2 mm	0.4 mm	0.8 mm	0.4 mm
Default	0.2 mm	0.2 mm	0.6 mm	0.3 mm

Tabla 8.2: Net Classes

En algunos casos hubo que hacer que el ultimo tramo de una pista, por entrar a un dispositivo con pines muy juntos, se deba angostar un poco. En esos casos, el ancho de la pista era el suficiente para la corriente transportada.

Se puede apreciar en los tamaños que, tratandose de un circuito prácticamente 100 % analógico, se usan anchos considerables. Power Clean es alimentación cuidada que alimenta integrados.

8.2.3. Silkscreen y consideraciones de fabricación

Se señalizaron lo mejor posible las áreas significativas del PCB. Cada componente tiene su nombre así como las conexiones de cada bornera. Al terminar el PCB se observó que previa definición de tramaños de vías y pistas, se debe verificar con el fabricante cuáles son las disponibles.

Se corrió el DRC (Design Rules Checker) para eliminar todo tipo de error y reducir al mínimo posible la complejidad de fabricación

8.3. Sensores externos

Para los sensores externos se usó la misma lógica que en el PCB principal, con la salvedad que, al ser circuitos simples, se usan solo dos capas (F.Cu y B.Cu)

8.3.1. Esquemático

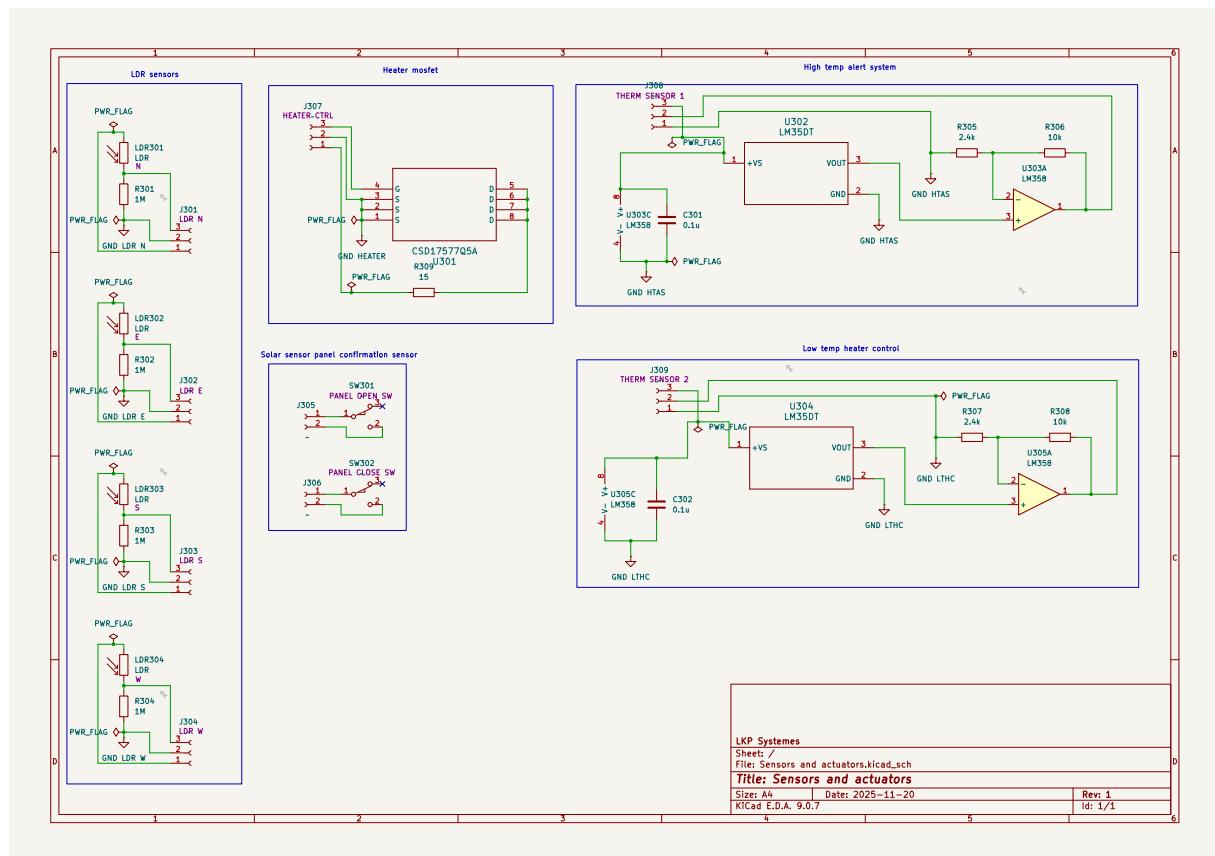


Figura 8.9: Esquemático sensores externos

Todo el esquemático con los módulos externos se implementa en una sola sheet. Para evitar problemas con el ERC se generan distintas redes GND en cada esquemático

8.3.2. PCB Físico

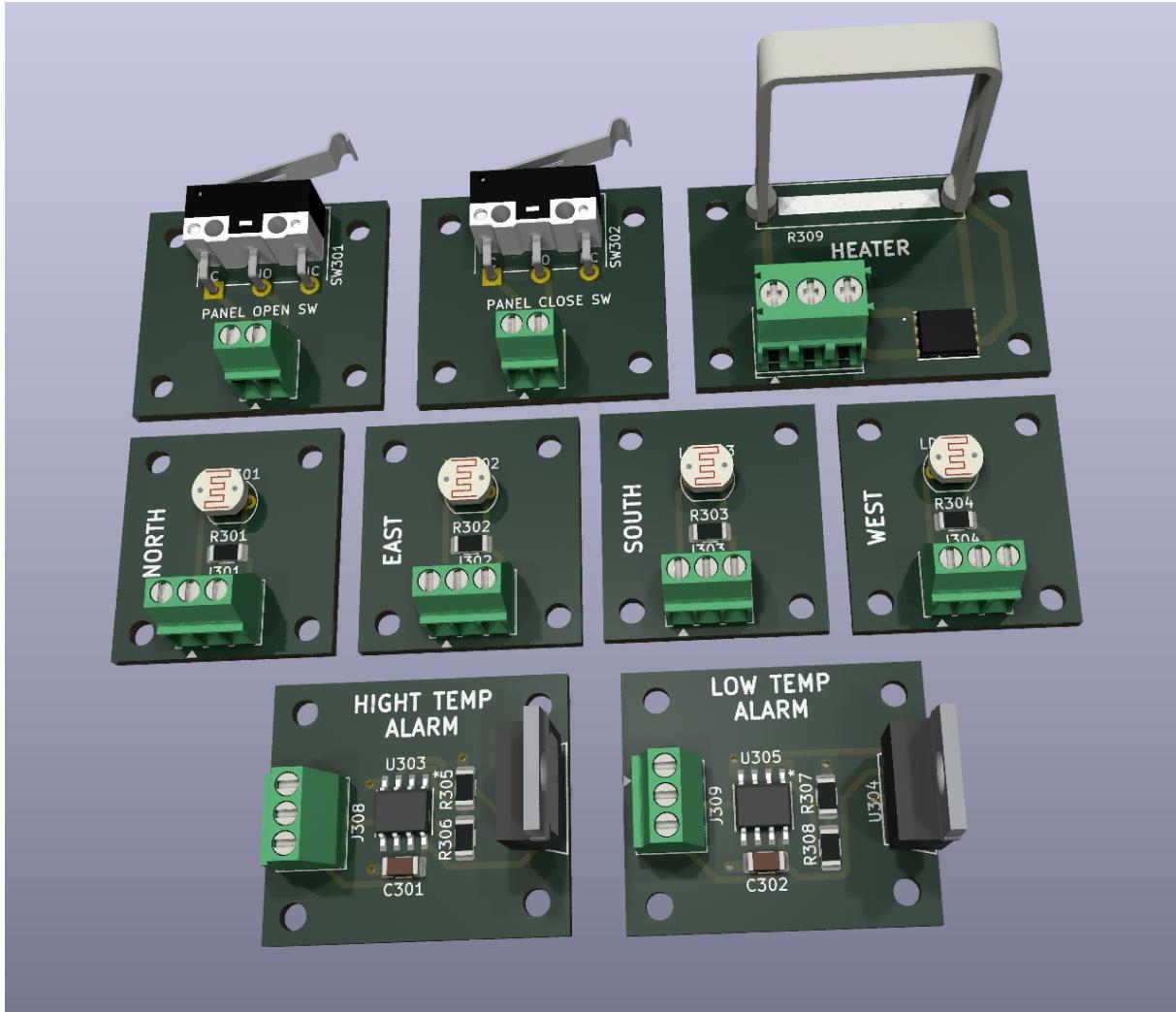


Figura 8.10: Vista del PCB con los sensores y actuadores

Notese en el Silkscreen la indicación de cada módulo para su correcta ubicación

8.4. Aprendizajes al implementar el PCB

La implementación del PCB principal y los módulos de sensores externos dejó varias lecciones valiosas que se resumen a continuación:

8.4.1. Planificación y organización

La planificación temprana de redes por categoría demostró ser crucial incluso durante el posicionamiento inicial de componentes. Ubicar los elementos por zonas funcionales

resultó más importante de lo anticipado, facilitando tanto el ruteo como la depuración posterior. Una estrategia que habría mejorado significativamente el proceso es posicionar primero los conectores y luego los integrados de acuerdo a ellos, en lugar de hacerlo al revés.

8.4.2. Estrategias de ruteo

Para el ruteo, se aprendió que es más eficiente comenzar por las zonas más densas. Las autopistas (tramos con muchas pistas en paralelo) deben ubicarse en áreas poco pobladas para permitir el uso de vías. Un hallazgo importante fue que las autopistas no pueden tener vías paralelas en la capa superior, ya que esto imposibilita los cruces. En retrospectiva, una estrategia de capas ortogonales (una capa con trazos verticales y otra con horizontales) podría haber sido más efectiva.

8.4.3. Consideraciones técnicas

El uso de la capa inferior (B.Cu) para los cruces demostró ser una excelente práctica, facilitando enormemente el seguimiento de trazos y la depuración. En cuanto a la selección de componentes, se aprendió que es fundamental considerar el tamaño de los pads: componentes con pads muy pequeños limitan el grosor de pistas que se pueden conectar a ellos. Esta consideración previa ayuda a evitar excepciones en las directivas de diseño.

8.4.4. Preparación para fabricación

Finalmente, una lección clave fue la importancia de definir desde el inicio las restricciones de fabricación. Antes de comenzar cualquier diseño, es esencial conocer dónde se va a fabricar el PCB y configurar las constraints adecuadas (mínimo ancho de pista, separación entre pistas, tamaño de vías, etc.) para evitar rediseños costosos.

9. Conclusión

Como conclusión, la implementación de todos los subsistemas nos brindó un panorama integral de lo que implica el diseño electrónico desde sus fundamentos. En este caso trabajamos con electrónica analógica, lo que nos permitió comprender que el flujo de desarrollo parte de una idea inicial, continúa con el diseño del esquemático, la simulación y, como último eslabón, la selección de la tecnología adecuada. A cada etapa le corresponde un equipamiento de laboratorio específico para medir, verificar y validar el funcionamiento.



El diseño de cada esquemático estuvo acompañado por una serie de pruebas y ajustes sucesivos hasta alcanzar el PCB definitivo. En esta instancia final se aplicaron técnicas de optimización y criterios de practicidad que garantizan una correcta interacción entre los distintos bloques del sistema. Sin dudas, fue una experiencia sumamente enriquecedora y satisfactoria.