

Laboratorio 5

Objetivo

- Utilización de las instrucciones secuenciales, concurrentes y paquetes aprendidos en clase.
- Interpretación de información especificada en hojas de datos o especificaciones de diseño.
- Familiarizarse con el DE2-115 Cyclone IV development kit board. Uso de un constraint file para asignación de pines de I/O, pulsadores, switches y LEDs.
- Uso de la herramienta MegaWizard para la implementación de un DLL o PLL para generar un reloj de baja frecuencia (opcional).
- Uso de código VHDL genérico para inferir una memoria de solo lectura tipo ROM.
- Uso de la herramienta MegaWizard para la implementación de una memoria de solo lectura tipo ROM (opcional).
- Simulación a nivel de compuerta o post-place and route.
- Configuración del FPGA.
- Comunicación entre el módulo descrito e implementado en el Cyclone IV y una PC a través del puerto RS-232.

Descripción

Realizar la descripción en VHDL de un sistema digital que transmita datos en forma serie según el protocolo RS-232 y muestre los datos recibidos y transmitidos en un LCD (esto último es opcional). Implementar el diseño en el DE2-115 development kit.

El dato a transmitir debe tener el formato detallado en Figura 1, con la siguiente configuración:

- 1 bit de start
- 8 bits de datos
- Paridad par
- 1 bit de stop
- Frecuencia de recepción/transmisión por defecto es de 9600 Bauds, con la posibilidad de cambiar la velocidad de Rx/Tx a 4800, 38400, 115200 Bauds, seleccionadas por las llaves disponibles en el board.

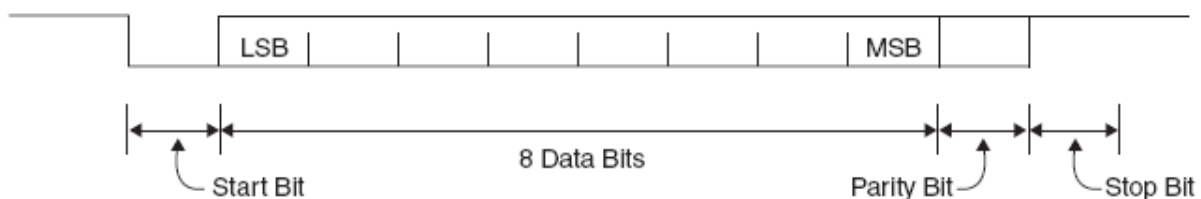


Figura 1: RS-232 formato de transmisión

Parte A

Los datos a transmitir serán 3 datos constantes diferentes seleccionados por los alumnos. Realizar la simulación funcional y a nivel de compuerta. **Recién entonces** generar el archivo de configuración del FPGA.

Parte B

Los datos a transmitir por RS-232 deben ser leídos de:

- A- Una memoria ROM que debe ser inferida desde el código VHDL escrito en forma genérica.
- B- Una memoria ROM creada con MegaWizard.

En ambos casos la memoria debe ser implementada usando los bloques de memoria RAM (BRAM) disponibles en el Cyclone IV. Los datos almacenados en la memoria son 4 mensajes diferentes:

- 1- “Laboratorio 4: Completado por <Nombre_del_Alumno>”
- 2- “Curso 1er Escuela SE”
- 3- “<frase_a_eleccion_del_alumno>”
- 4- “<frase_a_eleccion_del_alumno>”

El mensaje a transmitir deberá ser seleccionado por los botones disponibles en el DE2-115 board. Así, cuando se presione cierto botón se debe transmitir mensaje 1, con otro botón transmitir el mensaje 2, otro botón mensaje 3, otro botón mensaje 4, y con una llave los cuatro mensajes.

Visualización (opcional)

Tanto durante la recepción como durante la transmisión los datos recibidos como los transmitidos deben ser visualizados en el LCD del board. Para el caso de la transmisión de los 4 mensajes, agregar un retardo para poder leer correctamente los mensajes en el LCD.

En caso de querer realizar este módulo, se recomienda que haga el modulo de control del LCD por separado, verifique con simulación funcional y a nivel de compuerta su correcto funcionamiento, y luego configure el FPGA y verifique que funcione también en hardware. Después de todos estos pasos recién agregar este módulo al de la Rx-RS232.

Receptor (opcional)

Diseñe un modulo receptor basado en el protocolo de comunicación serie RS232, siguiendo los lineamientos expresados anteriormente.

Verifique el correcto funcionamiento mediante simulación funcional y a nivel de compuerta.

IMPORTANTE: Requerimientos

- A fines de familiarizarse con las diferentes herramientas de VHDL el proyecto deberá tener por lo menos un paquete para:
 - La definición de constantes y componentes del sistema
 - Definir una función para el cálculo del bit de paridad
- El código del componente de mayor jerarquía (top level) **solo** debe poseer instrucciones de instanciación, **no lógica**.
- Constatar con el PAD report la correcta asignación de I/Os, teniendo en cuenta la asignación de pines I/O realizada en el DE2-115 board.
- Opcional: Utilice un PLL/DLL para dividir la frecuencia de entrada de 50MHz a la frecuencia de salida mínima posible del PLL/DLL.
- Verifique que no haya problemas de timing, al revisar el informe de timing elaborado por el Quartus. Recuerde detallar en el constraint file la frecuencia de trabajo de su sistema. Encuentre cual es el camino crítico (critical path) y dibuje el correspondiente esquemático en el informe detallando los distintos retardos.
- Especifique en un constraint file (.ucf) los pines de E/S con sus respectivos estándares E/S, slew y drive, la(s) frecuencias de funcionamiento, los constraints del PLL.

- Verifique el correcto funcionamiento del sistema descrito mediante una simulación a nivel de compuerta o simulación post-place and route.
- Investigue el timing report, y descubra cual es el camino más crítico de este diseño. Realice un dibujo esquemático del mismo que deberá incluir en el informe.

Una vez comprobado en simulación el correcto funcionamiento del sistema Rx/Tx RS-232, se procederá a configurar el FPGA con el respectivo bitstream.

Utilizando en una PC un programa tipo HyperTerminal se procederá a la comunicación serial entre el DE2-115 development kit board y la PC.

Nota:

En la simulación se pueden conectar en el Test Bench el transmisor y el receptor juntos para verificar ambos componentes.

Utilizando en una PC un programa tipo HyperTerminal se procederá a la comunicación serial entre el DE2-115 development kit board y la PC.

Informe

Presentar un informe completo del diseño siguiendo las reglas especificadas. Los códigos escritos para los distintos componentes deben ser agregados al informe como apéndices. Presentar un ítem describiendo los problemas encontrados y sus respectivas soluciones. Como así también los warning generados por el Quartus y sus soluciones.

Nota:

En la simulación se pueden conectar en el Test Bench el transmisor y el receptor juntos para verificar ambos componentes.