

**APELLIDOS Y NOMBRE:**.....

**SISTEMAS ELECTRÓNICOS DIGITALES**

**2º-CONTROL-CURSO 15-16**

**NOTAS IMPORTANTES:**

- El único resultado válido será la que se indique en la casilla de solución.
- La resolución de las cuestiones sin una mínima explicación escrita de los pasos seguidos para la obtención de los resultados, producirá penalización en la calificación, considerándose no válida la respuesta.
- La resolución de las cuestiones se realizara en el mismo examen.
- La fecha de publicación de las calificaciones y de la revisión estará dentro de los márgenes establecidos según normativa.
- La puntuación del ejercicio se indica en cada parte.

**TIEMPO MÁXIMO PARA REALIZAR TODO EL EJERCICIO: 90 MINUTOS.**

**Cuestión 1**

(10%)

Indique de forma conceptual el método para realizar la conversión de Digital a Analógico (D/A).

**APELLIDOS Y NOMBRE:**.....

**Cuestión 2**

(10%)

Distinga las formas en que se puede realizar una función combinacional con un CPLD y con un FPGA.

**APELLIDOS Y NOMBRE:**.....

**Cuestión 3**

(10%)

Describe brevemente la estructura del bloque de E/S de los CPLD Coolrunner™ de Xilinx.

**APELLIDOS Y NOMBRE:**.....

**Cuestión 4**

(20%)

Se desea digitalizar una señal de audio. Para ello utilizaremos un conversor A/D sigma-delta. La amplitud máxima de la señal a la entrada de dicho convertidor es de  $\pm 5$  voltios. Se requiere que la precisión en la digitalización del audio sea igual o mejor que 0,2 milivoltios. Se pide:

4.1.- Indicar el número efectivo de bits de convertidor.

4.2- Hallar su relación señal a ruido.

4.3- Si se utiliza un convertidor de aproximaciones sucesivas, halle la máxima frecuencia de la señal de entrada al convertidor, si su reloj es de 1 MHz. Indique si es posible digitalizar audio con él como se pretende.

**APELLIDOS Y NOMBRE:**.....

**Cuestión 5**

(20%)

Módulos IP:

1. ¿Qué es un módulo IP?
2. ¿Qué tipos existen y qué ventajas/inconvenientes tiene cada uno de ellos?
3. ¿En qué consiste el diseño basado en IP?

**APELLIDOS Y NOMBRE:**.....

**Cuestión 6**

(30%)

Desarrollar la descripción en VHDL sintetizable de un monoestable no redisparable con un periodo de temporización configurable y las siguientes E/S:

RESET_N	E	Reset negado asíncrono. Termina la temporización y pone Q = '0'
CLK	E	Reloj.
DELAY[7..0]	E	Valor de la temporización medido en ciclos de CLK.
TRIGGER_N	E	Disparo síncrono negado. El monoestable se disparará cuando esta señal esté a '0' en el flanco activo de CLK siempre que no haya ya una temporización en curso.
Q	S	Estado de reposo: '0'; permanece a '1' tras el disparo DELAY ciclos de reloj.