

SISTEMAS ELECTRÓNICOS DIGITALES. 2º CONTROL, CURSO 18-19, HOJA 1 de 2**NOTAS IMPORTANTES:**

- El único resultado válido será la que se indique en la casilla de solución.
- La resolución de las cuestiones sin una mínima explicación escrita de los pasos seguidos para la obtención de los resultados producirá penalización en la calificación, considerándose no válida la respuesta.
- La fecha de publicación de las calificaciones y de la revisión estará dentro de los márgenes establecidos según normativa.
- La puntuación del ejercicio se indica en cada parte.
- **CADA EJERCICIO SE CONTESTA EN UNA HOJA SEPARADA**

Ejercicio 1. (30%)

Se quiere diseñar un sistema de gestión de la ocupación de un aparcamiento público. Para adaptarlo a distintos recintos, el número de plazas, CAPACITY, debe ser fácilmente configurable durante la síntesis hasta un máximo de 255 plazas. El sistema detectará la entrada y salida de vehículos mediante sendas barreras de infrarrojos situadas en sus barreras de entrada y salida, y actualizará el número de plazas libres con esa información. El sistema controlará un indicador luminoso con las indicaciones “LIBRE”, que se encenderá cuando queden plazas libres, y “OCUPADO”, que lo hará cuando no quede ninguna. El sistema debe contar además con dos entradas adicionales, FREEPL y LOAD_N, para corregir manualmente cualquier error en el recuento de plazas debido a un mal funcionamiento de los sensores. Las entradas y salidas del sistema serán las siguientes:

RESET_N	E	Reset asíncrono. Reinicia el número de plazas libre a la capacidad total del aparcamiento.
CLK	E	Reloj activo en el flanco de subida.
SNSR_IN	E	En esta entrada aparece un pulso con una duración de un ciclo de reloj cada vez que entra un vehículo en el aparcamiento. Muestreada en los flancos activos del reloj.
SNSR_OUT	E	En esta entrada aparece un pulso con una duración de un ciclo de reloj cada vez que sale un vehículo del aparcamiento. Muestreada en los flancos activos del reloj.
FREEPL[7..0]	E	Número de plazas a introducir en el sistema.
LOAD_N	E	Cuando esta entrada está a ‘0’ el valor en la entrada FREEPL se registra en el sistema el siguiente flanco activo del reloj. Tiene mayor prioridad que las entradas de los sensores.
DRIVE_IN	S	Vale ‘1’ cuando quedan plazas libres, ‘0’ en cualquier otro caso.
FULL	S	Vale ‘1’ cuando el aparcamiento está lleno, ‘0’ en cualquier otro caso.

Se pide:

1. Identificar qué funcionalidades del diseño pueden realizarse de manera independiente.
2. Realizar una partición del diseño en función de las funcionalidades encontradas y dibujar el diagrama de bloques resultante.
3. Desarrollar una descripción en VHDL sintetizable del sistema que tenga en cuenta la partición realizada.

Nota: por brevedad, implementar los distintos bloques identificados como procesos y/o sentencias concurrentes dentro de una misma arquitectura.

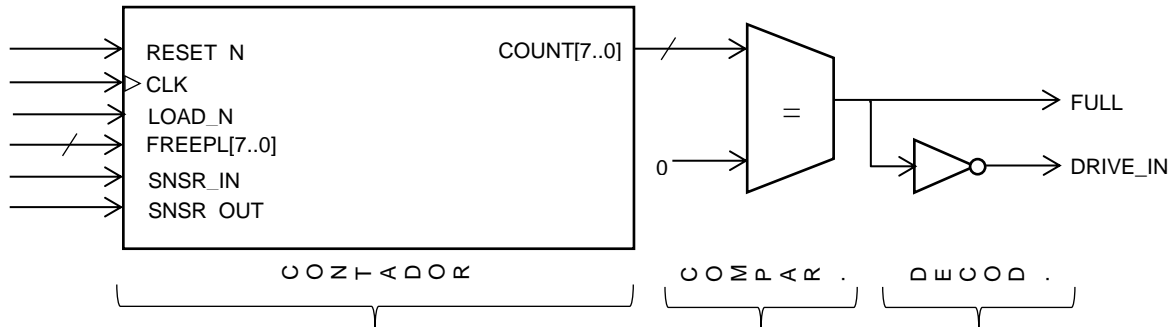
Solución

1. Funcionalidades del diseño pueden realizarse de manera independiente:
 - Contabilidad de plazas libres.
 - Detección de plazas libres.

- Control del luminoso.

2. Partición del diseño en función de las funcionalidades encontradas y diagrama de bloques:

Funcionalidad	Módulo
Contabilidad de plazas libres	Contador ascendente/descendente con precarga.
Detección de plazas libres	Comparador
Control del luminoso	Decodificador salidas



3. Descripción en VHDL sintetizable del sistema:

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity ROOM_CTRLR is
  generic (
    CAPACITY: positive
  );
  port (
    RESET_N : in  std_logic;
    CLK      : in  std_logic;
    SNSR_IN  : in  std_logic;
    SNSR_OUT : in  std_logic;
    LOAD_N   : in  std_logic;
    FREEPL   : in  std_logic_vector(7 downto 0);
    DRIVE_IN : out std_logic;
    FULL     : out std_logic
  );
end ROOM_CTRLR;

architecture BEHAVIORAL of ROOM_CTRLR is
  signal rem_places: unsigned(FREEPL'range);
  signal full_i: std_logic;
  signal snsrs : std_logic_vector(1 downto 0);
begin
  snsrs <= SNSR_IN & SNSR_OUT;

  cntrl: process (RESET_N, CLK)
  begin
    if RESET_N = '0' then
      rem_places <= to_unsigned(CAPACITY, rem_places'length);
    elsif rising_edge(clk) then
      if LOAD_N = '0' then
        rem_places <= unsigned(FREEPL);
      else

```

```

    case snsrs is
        when "10" =>
            rem_places <= rem_places - 1;
        when "01" =>
            rem_places <= rem_places + 1;
        when others =>
            rem_places <= rem_places;
        end case;
    end if;
end if;
end process;

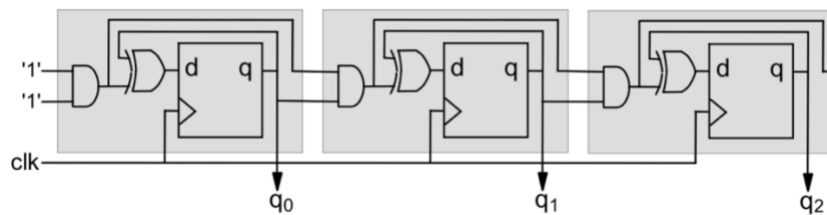
cmptrtr1: full_i <= '1' when rem_places = 0 else '0';

FULL <= full_i;
DRIVE_IN <= not full_i;
end BEHAVIORAL;

```

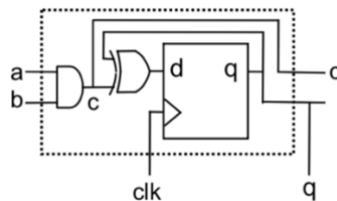
Ejercicio 2. (30%)

La figura siguiente muestra un contador síncrono de módulo 8 con habilitación serie. Ya que emplea una celda estándar, el uso de COMPONENT para implementarla se considera apropiado. El ejercicio consiste en escribir un código VHDL que implemente el contador para un número de bits genérico "N".



Para ello:

- Escriba el código VHDL de la celda básica según se muestra en la figura siguiente (entidad y arquitectura).



- Escriba el código VHDL (entidad y arquitectura) del contador (para "N" bits), de manera que cada celda gris debe ser implementada obligatoriamente como un componente (no se considerarán versiones "dataflow" ni "behavioural").
- A la hora de instanciar el componente, indique cómo se haría con mapeado posicional y mapeado nominal.
- Para la figura del apartado a) dibuje las formas de onda de las señales c y q cuando a=1 y b=1 durante 4 ciclos de reloj.

Solución

a)

```

ENTITY counter_cell IS
  PORT (
    clk, a, b: IN BIT;
    c, q: BUFFER BIT);
END ENTITY;

ARCHITECTURE counter_cell OF counter_cell IS
  SIGNAL d: BIT;
BEGIN
  PROCESS (clk, a, b)
  BEGIN
    c <= a AND b;
    d <= c XOR q;
    IF clk'EVENT AND clk='1' THEN
      q <= d;
    END IF;
  END PROCESS;
END ARCHITECTURE;

```

b)

```

ENTITY N_bit_counter IS
  GENERIC (
    N: NATURAL := 4); --number of bits
  PORT (
    clk: IN BIT;
    q: OUT BIT_VECTOR(0 TO N-1));
END ENTITY;

ARCHITECTURE structural OF N_bit_counter IS
  SIGNAL a, b: BIT_VECTOR(0 TO N);
  --component declaration:--
  COMPONENT counter_cell IS
    PORT (
      clk, a, b: IN BIT;
      c, q: BUFFER BIT);
  END COMPONENT;
BEGIN
  a(0) <= '1';
  b(0) <= '1';
  gen: FOR i IN 0 TO N-1 GENERATE
    counter: counter_cell PORT MAP (clk, a(i), b(i), a(i+1), b(i+1));
  END GENERATE;
  q <= b(1 TO N);
END ARCHITECTURE;

```

c) Posicional

```

PORT MAP (clk, a(i), b(i), a(i+1), b(i+1));

```

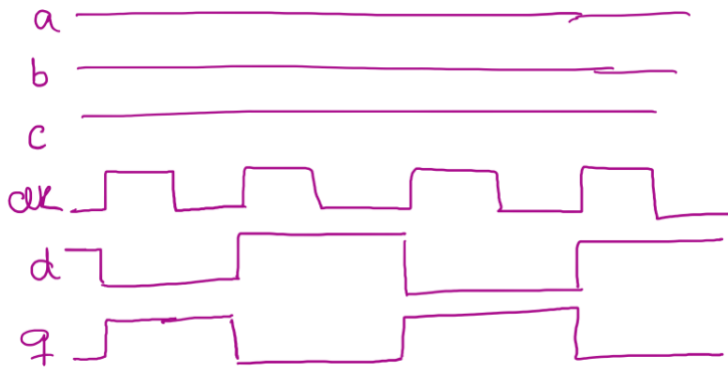
Nominal

```

PORT MAP (clk=>clk, a=>a(i), b=>b(i), c=>a(i+1), q=>b(i+1));

```

d)



Ejercicio 4. (15%)

A) Dibuje la forma de onda que se produce al transmitir el byte 0x58 a través de un UART a 50000 baudios sin paridad y un bit de parada. Etiquete cada bit (nombre y valor) y determine el tiempo en que se produce cada transición, asumiendo que el primer flanco del bit de inicio está en el tiempo $t = 0$.

B) Si un temporizador de interrupción se dispara a 200 kHz y la frecuencia del reloj del bus es de 24 MHz, ¿qué valor es el valor máximo del contador?

C) Dado el siguiente código, dibujar la forma de onda que produce en el pin E9. Suponer que el clk que llega a los temporizadores es de 16MHz. Suponer que el temporizador 4 está ligado al pin E9, al que hay conectado un LED. Comentar el efecto que tendrá dicha señal sobre el LED.

```
#include "main.h"
#include "stm32f4xx_hal.h"

TIM_HandleTypeDef htim4;

void SystemClock_Config(void);
static void MX_GPIO_Init(void);
static void MX_TIM4_Init(void);
void HAL_TIM_MspPostInit(TIM_HandleTypeDef *htim);

int main(void)
{
    HAL_Init();
    SystemClock_Config();
    MX_GPIO_Init();
    MX_TIM4_Init();
    HAL_TIM_PWM_Start(&htim1, TIM_CHANNEL_1);
    HAL_TIM_PWM_Start(&htim4, TIM_CHANNEL_1);

    while (1)
    {
        __HAL_TIM_SET_COMPARE(&htim4, TIM_CHANNEL_1, 0);
        HAL_Delay(1000);
        __HAL_TIM_SET_COMPARE(&htim4, TIM_CHANNEL_1, 50);
        HAL_Delay(1000);
        __HAL_TIM_SET_COMPARE(&htim4, TIM_CHANNEL_1, 100);
        HAL_Delay(1000);
    }
}

static void MX_TIM4_Init(void)
{
    TIM_ClockConfigTypeDef sClockSourceConfig;
    TIM_MasterConfigTypeDef sMasterConfig;
    TIM_OC_InitTypeDef sConfigOC;

    htim4.Instance = TIM4;
    htim4.Init.Prescaler = 16;
    htim4.Init.CounterMode = TIM_COUNTERMODE_UP;
```

```
htim4.Init.Period = 100;
htim4.Init.ClockDivision = TIM_CLOCKDIVISION_DIV1;
```

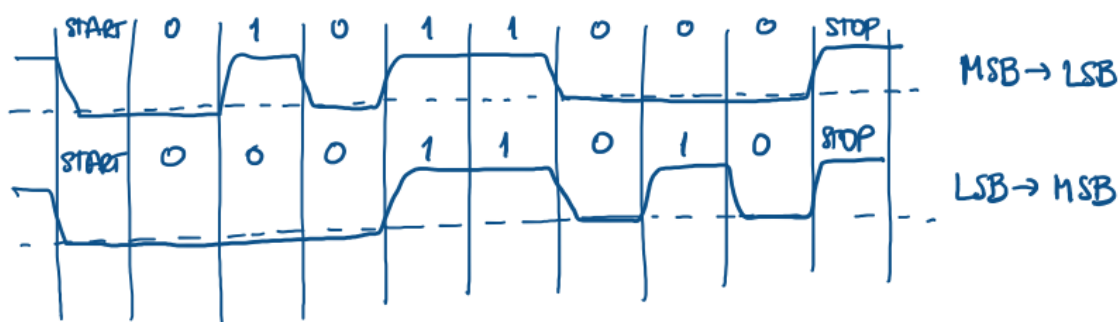
```
[...]
}
```

Solución

a) $0x58 = 0101\ 1000$

One bit time at 50000 baud is $1/50000\ \text{sec} = 20\ \mu\text{s}$

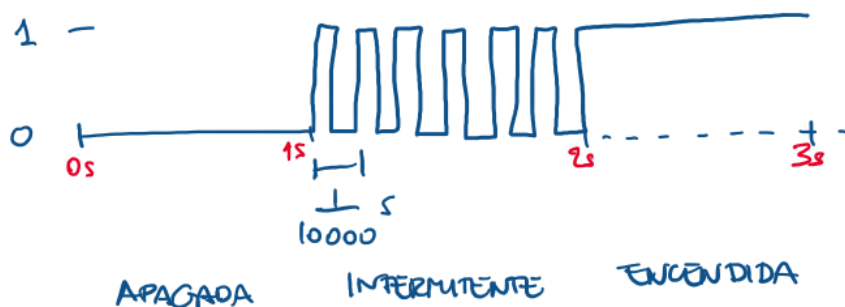
Dos opciones:



b)

$$\text{TIMER_CNT_PERIOD} = (24\ \text{MHz}/200\ \text{kHz}) - 1 = 119$$

c)



Ejercicio 5. (15%)

Se desea incorporar a un sistema basado en STM32F407 la medida de la iluminación ambiental (400 – 700 nm) para el control de un entorno domótico. Para ello se dispone de un sensor de radiación tipo TSL232R caracterizado por lo indicado en las siguientes notas extraídas de sus hojas de características. La irradiancia a detectar varía en un rango de 0 a $200\ \mu\text{W}/\text{cm}^2$ y se desea discernir hasta las decimas de $\mu\text{W}/\text{cm}^2$. El CAD del STM32F4 tiene una V_{ref} de 3.6V. Hallar:

- Resolución necesaria en la medida.
- Número mínimo de bits del conversor.
- ¿Es el CAD del STM32F4 adecuado para la tarea?
- Calcule la resolución con la V_{ref} indicada y la óptima. ¿La V_{ref} utilizada está bien escogida?

NOTA: indique claramente en la hoja de características los parámetros escogidos para el diseño.

Solución

- a) Según el enunciado, se precisa alcanzar las décimas de $\mu\text{W}/\text{cm}^2$, luego la resolución objetivo es:
 $\Delta G_{\min} = 0,1 \mu\text{W}/\text{cm}^2$.
 $R = \Delta V_{\min} = \Delta G_{\min} * N_e = 0,1 \mu\text{W}/\text{cm}^2 * 10,2 \text{ mV}/(\mu\text{W}/\text{cm}^2) = 1,02 \text{ mV}$.
 $N_e = 10,2 \text{ mV}/(\mu\text{W}/\text{cm}^2)$ para 635 nm según la hoja de características.

- b) El valor máximo de tensión a la entrada será:
 $\Delta V_{\max} = G_{\max} * N_e = 200 \mu\text{W}/\text{cm}^2 * 10,2 \text{ mV}/(\mu\text{W}/\text{cm}^2) = 2,040 \text{ V}$


El valor mínimo, según el apartado a) es:
 $\Delta V_{\min} = 0,1 \mu\text{W}/\text{cm}^2 * 10,2 \text{ mV}/(\mu\text{W}/\text{cm}^2) = 1,02 \text{ mV}$

Luego el número de niveles mínimo del convertidor han de ser:
 $n = V_{\text{ref}} / \Delta V_{\min} = 3529 \Rightarrow N = \log n / \log 2 = 11,78 \Rightarrow N = 12 \text{ bits}$

- c) Sí, pues el CAD del STM32 tiene 12 bits, con lo que cumple perfectamente.

- d) La resolución con $V_{\text{ref}} = 3,6 \text{ V}$ y $N = 12 \text{ bits}$ es:
 $n = 2^N = 4096$
 $\Delta V_{\min} = V_{\text{ref}} / n = 3,6 \text{ V} / 4096 = 0,879 \text{ mV}$
 Podríamos medir hasta:
 $\Delta G_{\min} = 0,879 \text{ mV} / 10,2 \text{ mV}/(\mu\text{W}/\text{cm}^2) = 0,086 \mu\text{W}/\text{cm}^2$.

Y con la V_{ref} óptima $= \Delta V_{\max} = 2,040 \text{ V}$:
 $\Delta V_{\min} = V_{\text{ref}} / n = 2,04 \text{ V} / 4096 = 0,498 \text{ mV}$
 Podríamos medir hasta:
 $\Delta G_{\min} = 0,498 \text{ mV} / 10,2 \text{ mV}/(\mu\text{W}/\text{cm}^2) = 0,0488 \mu\text{W}/\text{cm}^2$.



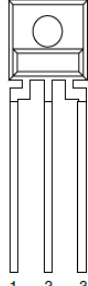
TEXAS
ADVANCED
OPTOELECTRONIC
SOLUTIONS®

TSL250R, TSL251R, TSL252R
LIGHT-TO-VOLTAGE OPTICAL SENSORS

TAOS028H - SEPTEMBER 2007


- Monolithic Silicon IC Containing Photodiode, Operational Amplifier, and Feedback Components
- Converts Light Intensity to a Voltage
- High Irradiance Responsivity, Typically $137 \text{ mV}/(\mu\text{W}/\text{cm}^2)$ at $\lambda_p = 635 \text{ nm}$ (TSL250R)
- Compact 3-Lead Clear Plastic Package
- Single Voltage Supply Operation
- Low Dark (Offset) Voltage.....10 mV Max
- Low Supply Current.....1.1 mA Typical
- Wide Supply-Voltage Range..... 2.7 V to 5.5 V
- Replacements for TSL250, TSL251, and TSL252
- RoHS Compliant (-LF Package Only)

PACKAGE S
SIDELOOKER
(FRONT VIEW)



1 2 3
GND V_{DD} OUT

PACKAGE SM
SURFACE MOUNT
SIDELOOKER
(FRONT VIEW)

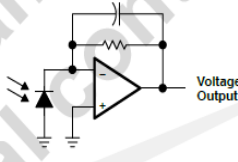


1 2 3
GND V_{DD} OUT

Description

The TSL250R, TSL251R, and TSL252R are light-to-voltage optical sensors, each combining a photodiode and a transimpedance amplifier (feedback resistor = 16 MΩ, 8 MΩ, and 2.8 MΩ respectively) on a single monolithic IC. Output voltage is directly proportional to the light intensity (irradiance) on the photodiode. These devices have improved amplifier offset-voltage stability and low power consumption and are supplied in a 3-lead clear plastic sidelooker package with an integral lens. When supplied in the lead (Pb) free package, the device is RoHS compliant.

Functional Block Diagram



Electrical Characteristics at $V_{DD} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, $\lambda_p = 635\text{ nm}$, $R_L = 10\text{ k}\Omega$ (unless otherwise noted) (see Notes 3, 4, and 5)

PARAMETER	TEST CONDITIONS	TSL250R			TSL251R			TSL252R			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_D	Dark voltage	$E_e = 0$			0	4	10	0	4	10	mV
V_{OM}	Maximum output voltage	$V_{DD} = 4.5\text{ V}$			3.0	3.3		3.0	3.3		V
V_O	Output voltage	$E_e = 14.6\text{ }\mu\text{W}/\text{cm}^2$			1.5	2	2.5				V
		$E_e = 38.5\text{ }\mu\text{W}/\text{cm}^2$						1.5	2	2.5	
		$E_e = 196\text{ }\mu\text{W}/\text{cm}^2$						1.5	2	2.5	
α_{VO}	Temperature coefficient of output voltage (V_O)	$E_e = 14.6\text{ }\mu\text{W}/\text{cm}^2$, $T_A = 0^\circ\text{C}$ to 70°C			1.6						mV/ $^\circ\text{C}$
					0.08						%/ $^\circ\text{C}$
		$E_e = 38.5\text{ }\mu\text{W}/\text{cm}^2$, $T_A = 0^\circ\text{C}$ to 70°C				1.6					mV/ $^\circ\text{C}$
						0.08					%/ $^\circ\text{C}$
		$E_e = 196\text{ }\mu\text{W}/\text{cm}^2$, $T_A = 0^\circ\text{C}$ to 70°C						1.6			mV/ $^\circ\text{C}$
								0.08			%/ $^\circ\text{C}$
N_e	Irradiance responsivity	$\lambda_p = 635\text{ nm}$, See Notes 5 and 7			137		52	10.2			mV/($\mu\text{W}/\text{cm}^2$)
		$\lambda_p = 880\text{ nm}$, See Notes 6 and 7			127		48	9.4			
I_{DD}	Supply current	$E_e = 14.6\text{ }\mu\text{W}/\text{cm}^2$			1.1	1.7					mA
		$E_e = 38.5\text{ }\mu\text{W}/\text{cm}^2$					1.1	1.7			
		$E_e = 196\text{ }\mu\text{W}/\text{cm}^2$							1.1	1.7	

- NOTES: 3. Measurements are made with $R_L = 10\text{ k}\Omega$ between output and ground.
4. Optical measurements are made using small-angle incident radiation from an LED optical source.
5. The input irradiance E_e is supplied by an AlInGaP LED with peak wavelength $\lambda_p = 635\text{ nm}$.
6. The input irradiance E_e is supplied by a GaAlAs LED with peak wavelength $\lambda_p = 880\text{ nm}$.
7. Irradiance responsivity is characterized over the range $V_O = 0.05$ to 2.9 V . The best-fit straight line of Output Voltage V_O versus irradiance E_e over this range will typically have a positive extrapolated V_O value for $E_e = 0$.