

Aufgabe 1

Gegeben sei ein Alphabet mit vier Codewörtern:

0101101

0011110

1010001

1100010

a)

Bestimmen Sie die Hamming-Distanz zwischen den gegebenen Codewörtern. (Ohne Begründung)

b)

Wieviele fehlerhafte Bits kann der gegebene Code erkennen? Begründung.

c)

Wieviele fehlerhafte Bits kann der gegebene Code korrigieren? Begründung.

d)

Wie viele Bits werden benötigt, um "MINIMALPOLYNOM" mit einem Code fester Länge zu codieren?

e)

Wie viele Bits werden benötigt, um "MINIMALPOLYNOM" mit einem Huffman-Code zu codieren?

f)

$P(a) =$

Kann ein 2-Bit-Parity-Code mehr fehlerhafte Bits erkennen wie ein Parity-Code? (Parity auf einen Parity)

Aufgabe 2

a)

Geben Sie die Interpretationsfunktion für eine Zahl im Zweierkomplement an.

b)

Beweisen Sie $[\bar{a}]_1 = -[a]_1$.

Aufgabe 3

Betrachten Sie den PLA in der Abbildung, der eine boolesche Funktion g definiert:
 $\mathbf{B}^3 \rightarrow \mathbf{B}$

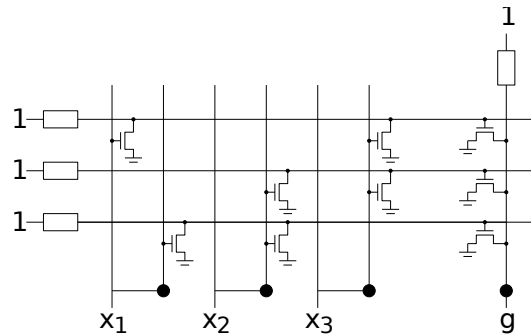


Abbildung 1: PLA

a)

Geben Sie das vom PLA dargestellte Polynom p_g zu g an.

b)

Zeigen Sie, dass das Polynom p_g kein Minimalpolynom zu g ist.

c)

Konstruieren Sie einen Schaltkreis für g ausschließlich aus NAND und Inverter Gattern.

d)

Schreiben Sie eine formale Definition für den Schaltkreis $SK = (X_3, G, typ, IN, Y)$.

Aufgabe 4

Es sei $f : \mathbf{B}^4 \Rightarrow \mathbf{B}$.

Bestimmen Sie durch das Quine-McCluskey-Verfahren die Menge der Primimplikanten von f für

$ON(f) = \{0000, 0001, 0010, 0011, 0101, 0110, 0111, 1000, 1010, 1110, 1111\}$

Aufgabe 5

Betrachten Sie den Mealy-Automaten, der durch die Zustandstafel in der Tabelle definiert ist.

x	s_1^t	s_0^t	s_1^{t+1}	s_0^{t+1}	y_1	y_0
0	0	0	1	1	1	1
1	0	0	0	1	1	1
0	0	1	0	0	1	0
1	0	1	1	0	1	0
0	1	0	0	1	0	1
1	1	0	1	1	0	1
0	1	1	1	0	1	1
1	1	1	0	0	1	1

Abbildung 2: Zustandstafel

Die Zustände sind bereits codiert, wobei der Startzustand des Automaten "00" ist. Die einzige Eingangsvariable ist x . Der Automat hat zwei Zustandsbits, s_0, s_1 und zwei Ausgangsvariablen y_0, y_1 .

a)

Zeichnen Sie das entsprechende Zustandsdiagramm zur Zustandstafel. Sie werden vier Zustände benötigen. Eine Minimierung ist nicht notwendig (und auch nicht möglich).

b)

Konstruieren Sie ein Schaltwerk, das die Zustandstafel realisiert. Sie können die Vorlage benutzen. Vergessen Sie nicht anzugeben, welches Zustandsbit zu welchem D-Flipflop gehören. Benutzen Sie für den kombinatorischen Teil ausschließlich Gatter der Standardbibliothek $STD = \{AND, OR, NOT, XOR, NAND, NOR, XNOR\}$.

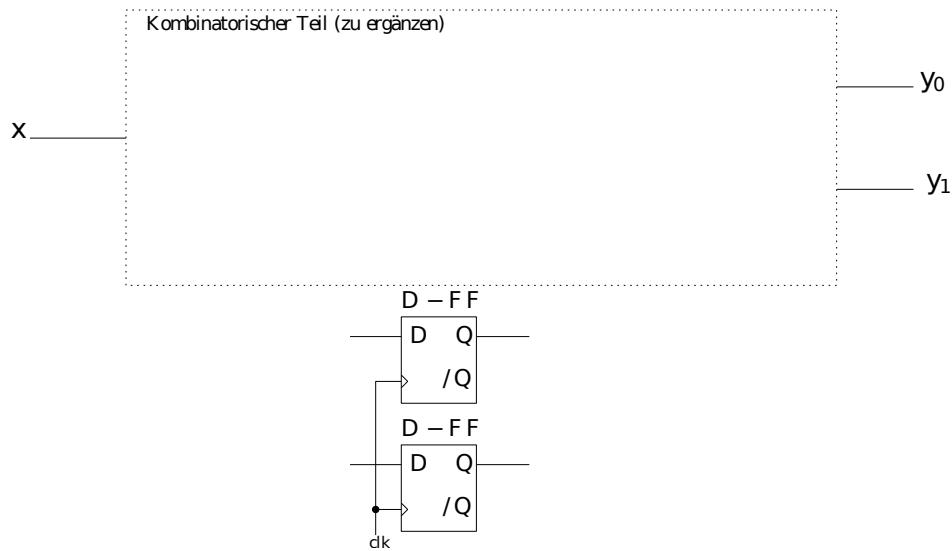


Abbildung 3: Vorlage für Schaltwerk

Aufgabe 6

a)

Zeichnen Sie ein RS-Flipflop, so wie es in der Vorlesung vorgestellt wurde.

b)

Berechnen Sie die minimale Schreibpulsweite des RS-Flipflops damit ein Schreibvorgang gelingt. Hinweis: Die Zeit für das spikefreie Schalten eines *NAND*-Gatter beträgt 0.41ns.

c)

Bestimmen Sie die minimale und maximale Verzögerungszeit des RS-Flipflops. [TODO: Tabelle für NAND, NOR, etc.]

Aufgabe 7

In der Abbildung ist ein idealisiertes Timing-Diagramm der Reti angegeben. Vernachlässigen Sie dabei auftretende Probleme mit dem exakten Timing. Geben Sie jeweils eine boolesche Funktion für die Kontrolllogik an:

a)

Für das Clocksignal Ick zum Speichern neuer Befehle im Instruktionsregister I .

b)

Für das Clocksignal $IN2ck$ zum Speichern neuer Daten im 2ten Indexregister $IN2$.

Hinweis: Die Signale werden einen Takt vorher generiert, bevor sie benötigt werden.

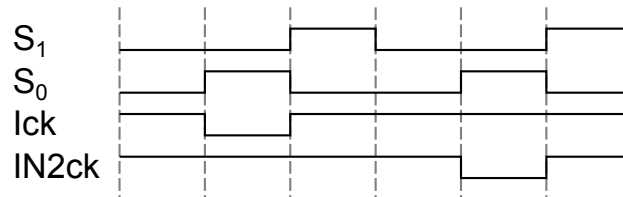


Abbildung 4: Idealisiertes Timing Diagramm

Aufgabe 8

Ergänzen Sie eine minimale Anzahl an zusätzlichen Gattern.

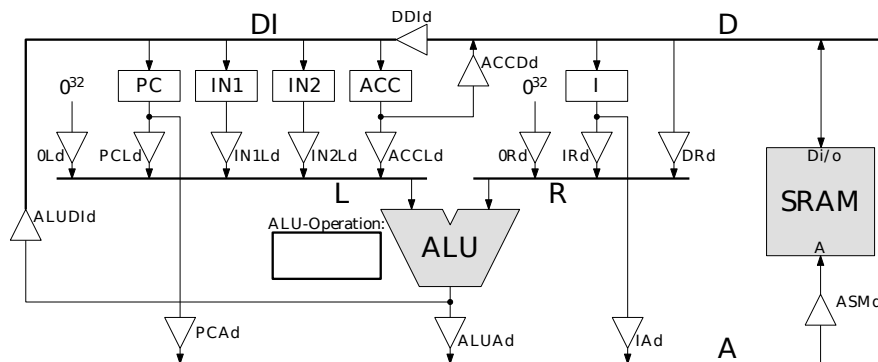
Markieren Sie den Pfad für $S = IN1, D = IN2$

Schreiben Sie neben die ALU, welche Operationen diese ausführt.

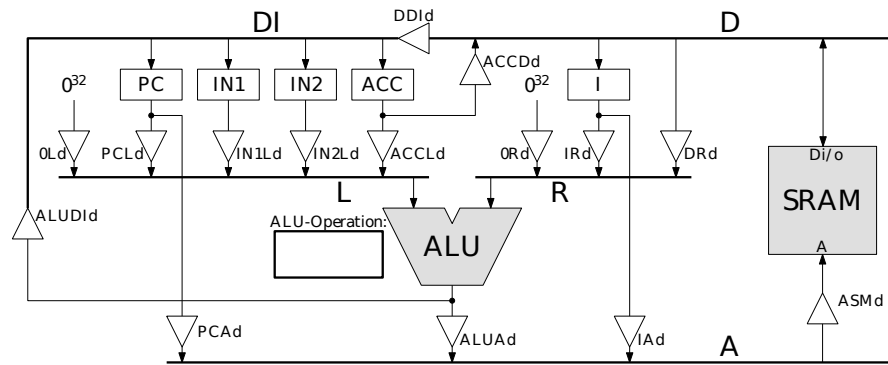
Wenn ein Befehl nicht realisierbar ist, begründen Sie warum.

a)

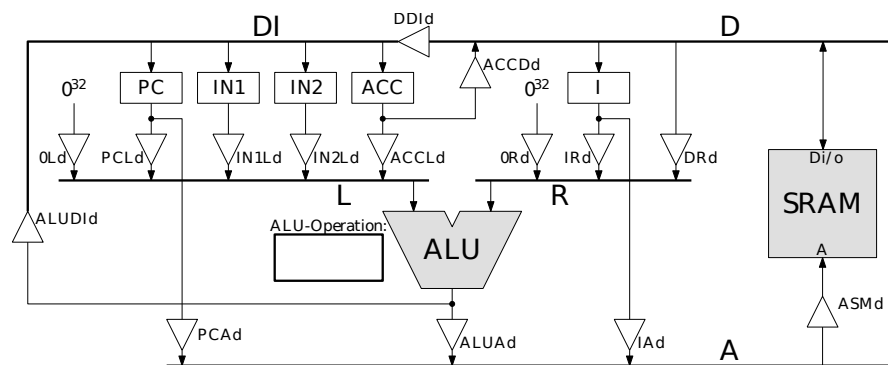
$STOREREL\ S, i; [M(\langle PC \rangle + [i])] := [S]$



b)

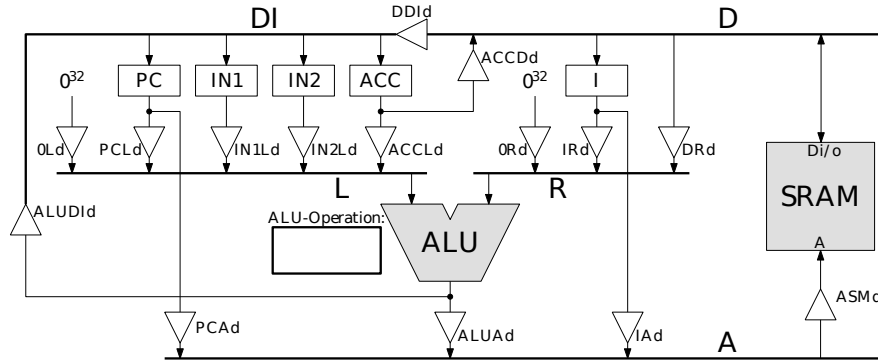
$$XORMEM\ D, i; [M(\langle i \rangle)] := [M(\langle i \rangle)] \oplus [S]$$


c)

$$NEG\ S; [S] := -[S]$$


d)

LEFTSHIFT S; $(s_{31}s_{30}\dots s_0) := (s_{30}\dots s_00)$



Aufgabe 9

Bei einem Direct-Mapped-Cache wird ein Teil der Adresse zur Bestimmung der Cachezelle genutzt, ein anderer Teil als Adress-Tag.

a)

Es sei ein Speicher mit 1024 Speicherzellen und ein Direct-Mapped-Cache mit 4 Speicherzellen. Wie groß ist das Adress-Tag mit diesem Direct-Mapped-Cache?

b)

Welcher Teil der Speicheradresse sollte als Adress-Tag benutzt werden? (Begründen)

c)

Warum wird bei einem großen Cache ein Direct-Mapped und kein assoziativer Cache benutzt?

Aufgabe 10

a)

Zeigen Sie mithilfe der Axiome der booleschen Algebra: \exists ein neutrales Element $1 \in M$ so dass $\forall x \in M$:

$$x \cdot 1 = x$$

b)

Zeigen sie, dass das 1-Element (neutrales Element) eindeutig ist.

Aufgabe 11

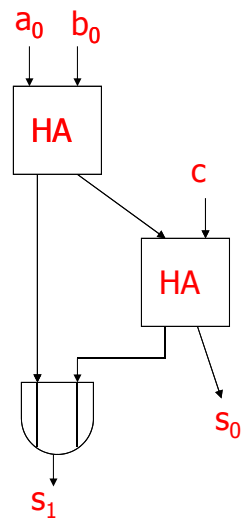


Abbildung 5: Full Adder

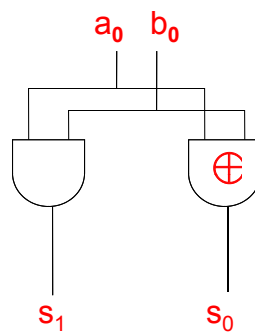


Abbildung 6: Half Adder

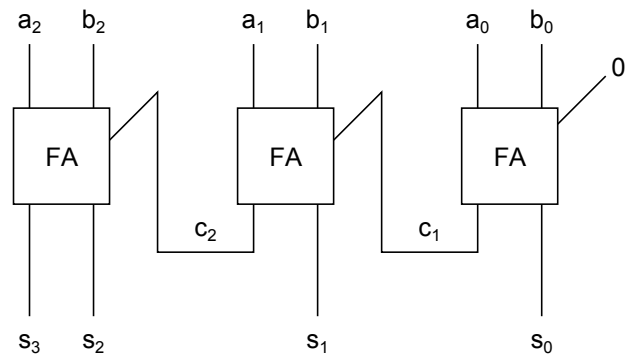


Abbildung 7: ADD_3

a)

Geben Sie die Tiefe $depth(ADD_3)$ und die Kosten $C(ADD_3)$ von ADD_3 an.

b)

Geben Sie für die Belegung $(a_2, a_1, a_0, b_2, b_1, b_0) = (0, 1, 1, 1, 1, 0)$ die Werte von $c_1, c_2, s_0, s_1, s_2, s_3$ an.

c)

Erstellen Sie ein reduziertes und geordnetes BDD für den internen Datenpfad c_2 . Benutzen Sie dabei die Variablenordnung (a_0, b_0, a_1, b_1) .