

Kapitel 5

Timing:

1. **Physikalische Eigenschaften**
2. Timing wichtiger Komponenten
3. Exaktes Timing von ReTI

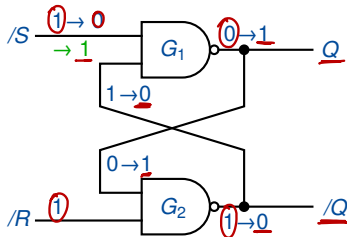
Albert-Ludwigs-Universität Freiburg

Prof. Dr. Christoph Scholl

Institut für Informatik
WS 2015/16

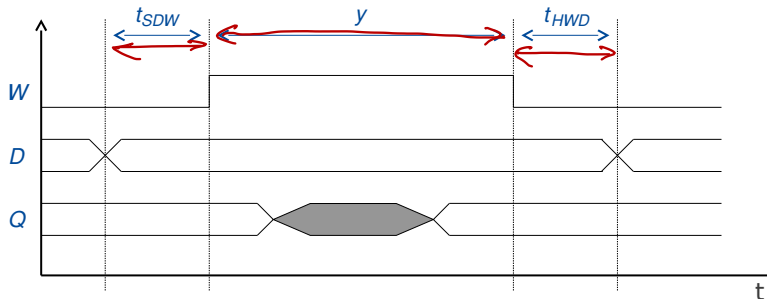
Wiederholung: Übergang beim RS-Flipflop

- Zustand $Q = 0 \rightarrow$ Zustand $Q = 1$:



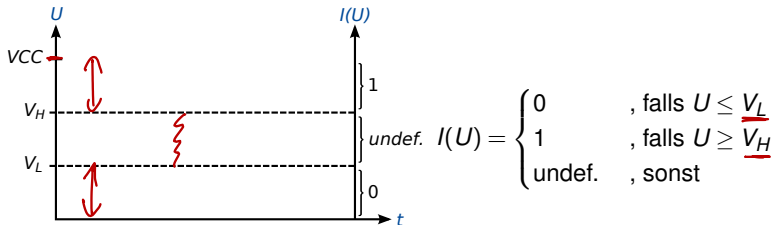
- Senke $/S$ zur Zeit t_0 ab und hebe zu $t_0 + x$ wieder an (einen solchen Signalverlauf nennt man **Puls**).
- Nach Zeit $t_{P/SQ}$ ist $Q = 1$. Nach Zeit $t_{P/S/Q}$ ist $/Q = 0$.
- „Gatter brauchen Zeit zum Schalten!“ Aber wie lange ist $t_{P/SQ}$, $t_{P/S/Q}$? Oder wie lange muss ein Puls mindestens dauern? (=Pulsweite).

Wiederholung: Timing-Diagramm D-LATCH



- Wie lange müssen die einzelnen Signale aktiv sein, damit der Schreibvorgang reibungslos abläuft?
- D.h. Wie lange ist Setup-Zeit t_{SDW} , Hold-Zeit t_{HWD} , Pulsweite y ?

Physikalische Signale \leftrightarrow Logische Signale



- In jeder Technologie gibt es eine Versorgungsspannung V_{CC} (z.B. 1.1 V bei NanGate).

- Eine Spannung $U \in [0, V_{CC}]$ wird als logischer Wert $I(U)$ interpretiert.

- Am Eingang (Input) eines Gatters: V_{IL} , V_{IH} .

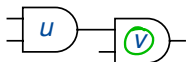
- Am Ausgang (Output) eines Gatters: V_{OL} , V_{OH} .

- V_{IL} , V_{IH} , V_{OL} , V_{OH} eines Bausteins sind gegeben.

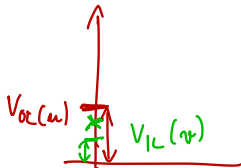
*Wie interpretiert ein Gatter die Spannungswerte an seinen Inputs?
($U \leq V_{IL}$ wird als 0 interpretiert,
 $U \geq V_{IH}$ " " 1 ")*

Mit welchem Spannungswert signalisiert das Gatter eine logische 0/1 am Ausgang?

Zusammenschalten von Gattern



- Will man den Ausgang eines Gatters u mit dem Eingang eines Gatters v verbinden, dann sollte gelten:
 - $V_{OL}(u) \leq V_{IL}(v)$ und
 - $V_{OH}(u) \geq V_{IH}(v)$.
- Sonst werden Signale falsch interpretiert.



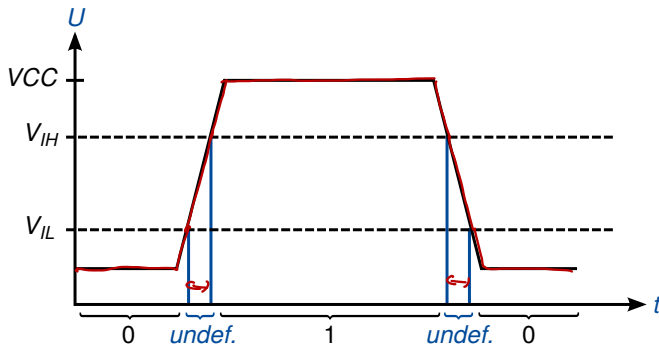
Beispiel: NanGate

$$V_{IL} = 30\% \cdot V_{CC} = 0.33 \text{ V}$$

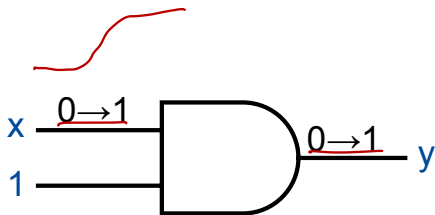
$$V_{IH} = 70\% \cdot V_{CC} = 0.77 \text{ V}$$

Entsprechend Output-Pegel

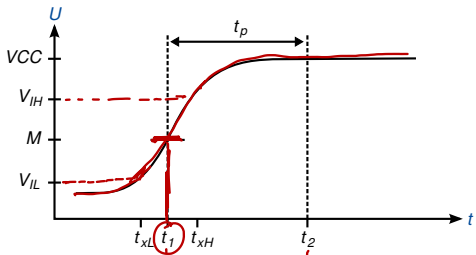
V_{OL} , V_{OH} .



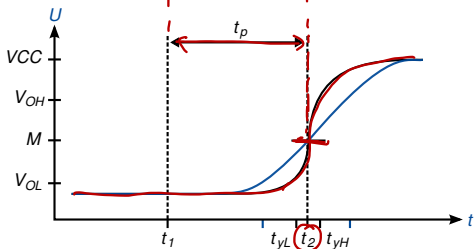
Verzögerung



Beispiel-Spannungsverlauf $x(t)$, $y(t)$



$x(t)$



Zwei Beispiele für $y(t)$

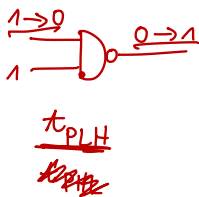
Allgemeine Bemerkung zu Verzögerungszeiten

- Im Allgemeinen gilt nicht $y(t) = x(t - t_p)$, so dass man nicht einfach t_p als Verzögerungszeit definieren kann. $y(t)$ wird verformt.
- Die Verzögerungszeit (**Propagation Delay**) wird definiert als $t_p := (t_2 - t_1)$ bezüglich einer festen „Referenzspannung“ M mit $V_{IL} < M < V_{IH}$ (Bsp.: $M = 0.5V_{CC} = 0.55\text{ V}$ bei NanGate).
- Bestimme t_1, t_2 mit $x(t_1) = y(t_2) = M$.

Angaben zur Verzögerungszeit

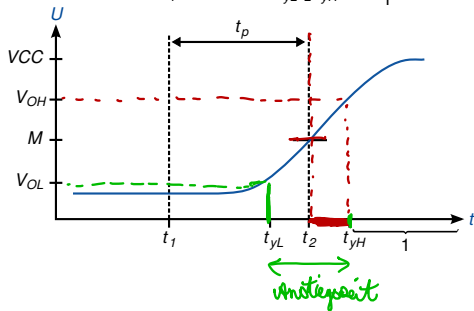
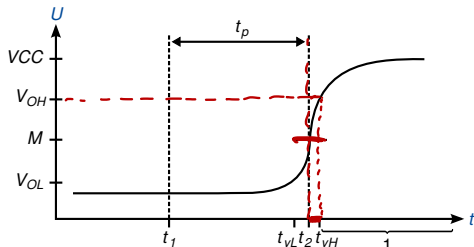
- In der Regel gibt es **verschiedene** Verzögerungszeiten für Übergänge am Ausgang:

- t_{PLH} Verzögerungszeit bei $0 \rightarrow 1$.
← Propagation delay von low nach high
- t_{PHL} Verzögerungszeit bei $1 \rightarrow 0$.



- **Problem** bei der Modellierung der Verzögerungszeit bezüglich **fester Spannung M** :
 - Keine Aussage darüber, wann logische Signale 0 oder 1 sind, d.h. physikalische Signale **unterhalb V_{OL}** oder **oberhalb V_{OH}** sind.

Illustration des Problems



→ Ähnliches Problem am Gattereingang.

- Für jedes Signal braucht man also zusätzliche Informationen über:

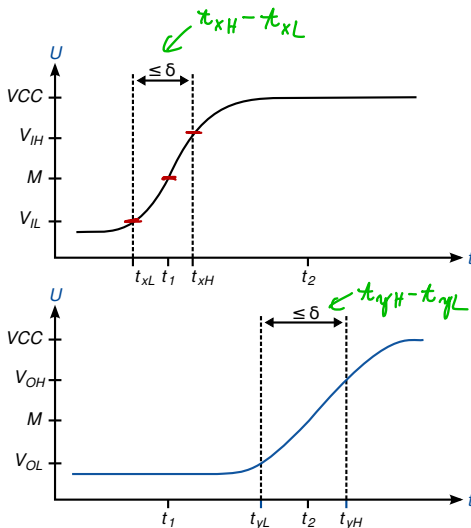
- **Anstiegszeit (Rise Time)** =
Zeit, in der Signal von V_L nach V_H steigt.

- **Abfallzeit (Fall Time)** =
Zeit, in der Signal von V_H nach V_L fällt.

- Bzw. noch genauer würde man eigentlich benötigen:
 - Anstiegszeit von M nach V_H
 - Abfallzeit von M nach V_L

Beschränkung dieser Zeiten

- Die in unseren Analysen verwendeten Gatter haben die folgende angenehme Eigenschaft:
- $\exists \delta$ mit folgender Eigenschaft:
Falls rise/fall time $\leq \delta$ am Gattereingang,
dann rise/fall time $\leq \delta$ am Gatterausgang.

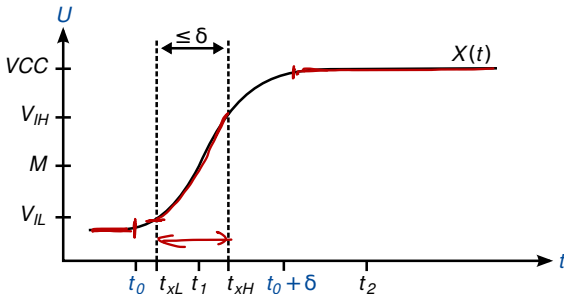


Beispiel: NanGate

- $V_{IL} = 30\% \cdot V_{CC} = 0.33 \text{ V}$
 $V_{IH} = 70\% \cdot V_{CC} = 0.77 \text{ V}$
- NanGate für $M = 0.55 \text{ V}$ spezifiziert.
Bausteine *NAND*, *NOT*, *AND*, *OR*, *EXOR*.
- t_p zwischen 0.00 ns und 0.21 ns .
- $\delta = 0.13 \text{ ns}$ ($1 \text{ ns} = 10^{-9} \text{ s}$)
- Die Zeiten, an denen die entsprechenden Signale wohldefinierte logische Werte 0, 1 annehmen, unterscheiden sich von denen für M um höchstens δ .

Bemerkung

- Eine rise/fall time $\leq \delta$ an den primären Eingängen einer Schaltung kann man garantieren, wenn man den Schaltvorgang zur Zeit t_0 beginnt und spätestens zur Zeit $t_0 + \delta$ abschließt.

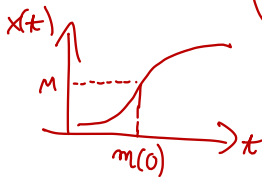
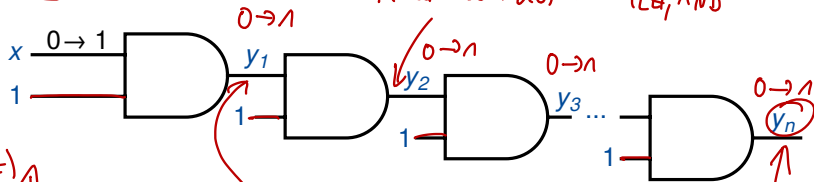


Analyse der Verzögerungszeit einer Kette von n Gattern (1/3)

garantierte Antikeit \Rightarrow Alle anderen Antikeiten sind auch $\leq \sigma$
 $\leq \sigma$



Ausgang geht durch
 M zur Zeit $m(0) + 2 \cdot t_{PLH, AND}$

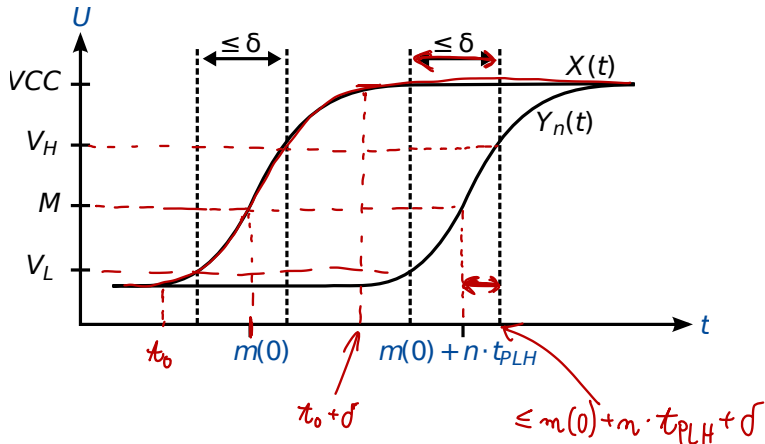


Ausgang geht durch
 M zur Zeit
 $m(0) + t_{PLH, AND}$

Ausgang geht durch
 M zur Zeit
 $m(0) + n \cdot t_{PLH, AND}$

\Rightarrow logisch 1 spätestens bei
 $m(0) + n \cdot t_{PLH, AND} + \sigma$

Analyse der Verzögerungszeit einer Kette von n Gattern (2/3)



- Durchläuft $X(t)$ nach Zeit $m(0)$ die Spannung M , dann durchläuft $Y_n(t)$ die Spannung M nach $m(0) + n \cdot t_{PLH}$.
- Falls $X(t)$ mit Anstiegszeit $\leq \delta$, dann auch $Y_1(t)$, ..., $Y_n(t)$.
- Also ist Y_n auf jeden Fall zur Zeit $m(0) + n \cdot t_{PLH} + \delta$ logisch 1.
- Beginnt man im Beispiel den Schaltvorgang bei t_0 und beendet ihn bei $t_0 + \delta$, dann gilt $m(0) \leq t_0 + \delta$ und Y_n ist spätestens nach $t_0 + n \cdot t_{PLH} + 2\delta$ logisch 1.

- Im Folgenden soll
Signal X wird zum Zeitpunkt t_1 abgesenkt/angehoben
bedeuten
 X wird abgesenkt/angehoben mit $X(t_1) = M$.
- Desweiteren sind alle Zeitangaben in *ns*.
- Wir nehmen außerdem in Zukunft immer an: *rise / fall times* $\leq \delta$.

- Verzögerungszeiten von Gattern sind **nicht konstant**, sondern werden beeinflusst durch:
 - Betriebstemperatur
 - Fertigungsprozess des Chips
 - kapazitive Last am Gatterausgang (Fanout)
(Gattereingänge, die mit einem Gatterausgang verbunden sind, verhalten sich wie Kondensatoren, d.h. sie werden beim Schalten ge- bzw. entladen.)



Worst-case Timing-Analyse

- Wegen Abhängigkeit der Verzögerungszeit von Temperatur, Fertigungsprozess und kapazitiver Last werden vom Hersteller **keine festen Zeiten** t_{PLH}/t_{PHL} angegeben, sondern 3 Werte:

- t^{min} = untere Schranke
- t^{max} = obere Schranke
- t^{typ} = *typischer* Wert (???)

min, max und typ (1/2)

- Für die tatsächliche Verzögerungszeit t_p gilt:

$$\underline{t^{min}} \leq t_p \leq \underline{t^{max}}$$

- Wir nehmen in den folgenden Analysen an, dass t_p im Intervall $\underline{[t^{min}, t^{max}]}$ liegt, falls
 - die Temperatur im Bereich T liegt („kommerzieller Temperaturbereich“ $0^\circ - 70^\circ \text{ C}$, militärischer Temperaturbereich $-55^\circ - 125^\circ \text{ C}$)
 - und eine bestimmte kapazitive Last C_0 nicht überschritten wird.
- C_0 wird so gewählt, dass mit Einhalten einer Fanoutbeschränkung von $10 C_0$ auf keinen Fall überschritten wird.

- Für t^{typ} gilt ebenfalls $t^{min} \leq \underline{t^{typ}} \leq t^{max}$.
 - Beim Rechnen mit t^{typ} macht man aber einen *Fehler mit unbekannter Größe*.
- Kein Rechnen mit $\underline{t^{typ}}$, sondern mit Intervallen $[t^{min}, t^{max}]$.

Exkurs: Rechnen mit Intervallarithmetik (1/2)

Definition

Ein Intervall $[a, b] := \{x \in \mathbb{R} \mid a \leq x \leq b\} \subset \mathbb{R}$ auf \mathbb{R} ist eine zusammenhängende und abgeschlossene Teilmenge von \mathbb{R} . Man bezeichnet es auch als das abgeschlossene Intervall von a bis b .

- Wir betrachten hier nur die Menge der abgeschlossenen Intervalle \mathbb{IR} auf \mathbb{R} .
- Es gilt:
 - $\min[a, b] = \underline{a}$
 - $\max[a, b] = \underline{b}$
 - $a \in \mathbb{R} \simeq \underline{[a, a]} \in \mathbb{IR}$
(eine reelle Zahl a kann aufgefasst werden als das **Punktintervall** von a bis a)

Definition

Gegeben ein Operator $op \in \{+, -, \cdot\}$ in \mathbb{R} . Der dazugehörige Operator \odot_{op} auf \mathbb{IR} ist definiert als:

Für $a, b, c, d \in \mathbb{R}$:

$$\underline{[a, b] \odot_{op} [c, d] := \{x_{op} y \mid x \in [a, b], y \in [c, d]\} \in \mathbb{IR}}$$

Beispiele:

- $\underline{[a, b] + [c, d] = [a + c, b + d]}$
- $\underline{[a, b] - [c, d] = [a - d, b - c]}$
- $\underline{[a, b] \odot [c, d] = [\min(a \cdot c, a \cdot d, b \cdot c, b \cdot d), \max(a \cdot c, a \cdot d, b \cdot c, b \cdot d)]}$

Weiss gilt nicht einfach $\underline{[a, b] \odot [c, d] = [a \cdot c, b \cdot d]}$?

Bsp.: $\underline{[-2, 5] \odot [3, 4] = [-8, 20]}$

a b c d a · d b · c

Bsp.: $[-1, 1] \odot [-1, 1] = \underline{[-1, 1]}$

Sei $x \in [-1, 1]$.

Aus welchem Intervall ist $x \cdot x$?

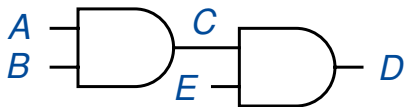
$x \cdot x \in [-1, 1]$ nach Intervallarithmetik,

tatsächlich wissen wir aber sogar, dass $x \cdot x \in [0, 1]$!

→ Falls die Operanden nicht unabhängig voneinander gewählt sind,
dann „überapproximiert“ die Intervallarithmetik die
Ergebnisintervalle.

- Wir schreiben vereinfachend nur op statt \odot_{op} .
- Wir verwenden hier hauptsächlich den $+$ -Operator und Multiplikation mit natürlichen Zahlen.
- Ein Intervall bezeichnen wir mit $\tau = [t^{min}, t^{max}]$.

Beispiel: AND-Gatter



AND

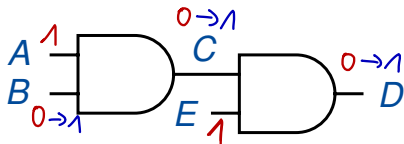
$$\tau_{PLH} = [0.02, 0.12]$$

$$\tau_{PHL} = [0.02, 0.12]$$

Bzw.:

AND	t^{\min}	t^{\max}
τ_{PLH}	<u>0.02</u>	<u>0.12</u>
τ_{PHL}	<u>0.02</u>	<u>0.12</u>

Fall 1



AND	t^{\min}	t^{\max}
τ_{PLH}	0.02	0.12
τ_{PHL}	0.02	0.12

■ A, E fest auf 1.

■ B von 0 auf 1 zum Zeitpunkt t_0 . (genau: B geht von 0 auf 1 und durchläuft M zum Zeitpunkt t_0)

→ Änderung von C zur Zeit

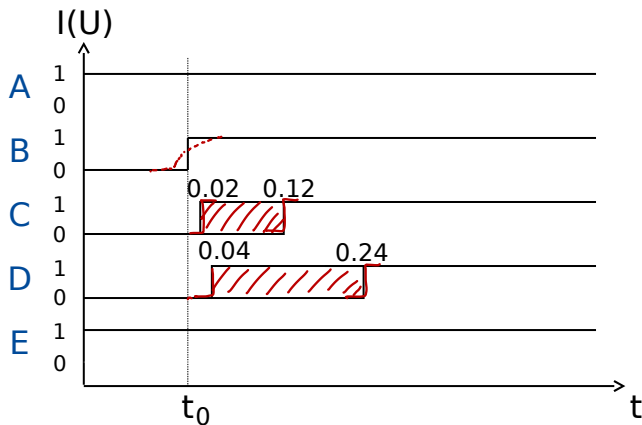
$$\begin{aligned}\tau_1 &= t_0 + \tau_{PLH}(\text{AND}) \\ &= \underline{t_0 + [0.02, 0.12]} = [t_0 + 0.02, t_0 + 0.12]\end{aligned}$$

→ Änderung von D zur Zeit

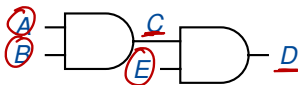
$$\begin{aligned}\tau_2 &= \tau_1 + \tau_{PLH}(\text{AND}) \\ &= \underline{t_0 + 2 \cdot \tau_{PLH}(\text{AND})} \\ &= \underline{t_0 + 2 \cdot [0.02, 0.12]} \\ &= \underline{t_0 + [0.04, 0.24]} = [t_0 + 0.04, t_0 + 0.24]\end{aligned}$$

↑ d.h. C geht von 0 auf 1 und durchläuft M im Intervall $[t_0 + 0.02, t_0 + 0.12]$

Fall 1 - Timing-Diagramm



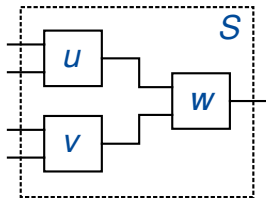
Fall 2



- A, B, E können sich zum Zeitpunkt t_0 ändern, sind vorher und nachher stabil.
 - Es ist unbekannt, wieviele Signale sich ändern und wie sie sich ändern.
- Größere Abschätzungen

Größere Abschätzung

- Bestimmung von Zeitintervallen, zu denen Gatter überhaupt schalten können:



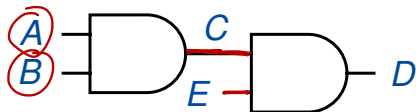
Annahmen:

- u schaltet im Intervall $[a_1, b_1]$.
- v schaltet im Intervall $[a_2, b_2]$.
- Die Verzögerungszeiten von w sind gegeben durch

$$\begin{aligned}\tau_{PLH} &= [t_{PLH}^{min}, t_{PLH}^{max}] \\ \tau_{PHL} &= [t_{PHL}^{min}, t_{PHL}^{max}]\end{aligned}$$

- Dann gilt mit $t_p^{min} := \min(t_{PLH}^{min}, t_{PHL}^{min})$ und $t_p^{max} := \max(t_{PLH}^{max}, t_{PHL}^{max})$ w kann schalten im Intervall $[\min(a_1, a_2), \max(b_1, b_2)] + [t_p^{min}, t_p^{max}]$

Anwendung auf Beispiel, Fall 2



AND	t^{\min}	t^{\max}
τ_{PLH}	0.02	0.12
τ_{PHL}	0.02	0.12

$$t_{\min}^p = \min(0.02, 0.02) = 0.02$$

$$t_p^{\max} = \max(0.12, 0.12) = 0.12$$

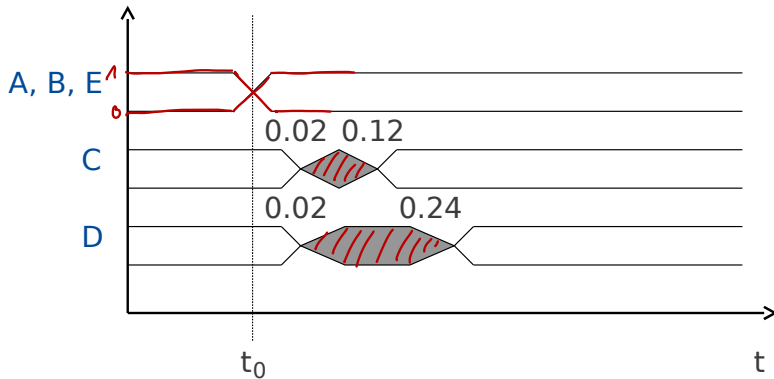
■ Wenn die Gatter schalten, dann in folgenden Intervallen:

■ A, B, E: $t_0 + [0.0, 0.0]$

■ C: $t_0 + [0.02, 0.12]$

■ D: $t_0 + [0.0, 0.12] + [0.02, 0.12] = t_0 + [0.02, 0.24]$

Fall 2 - Timing-Diagramm



Interpretation des Timing-Diagramms

- Was kann im schraffierten Bereich passieren?

- **Beispiel:**

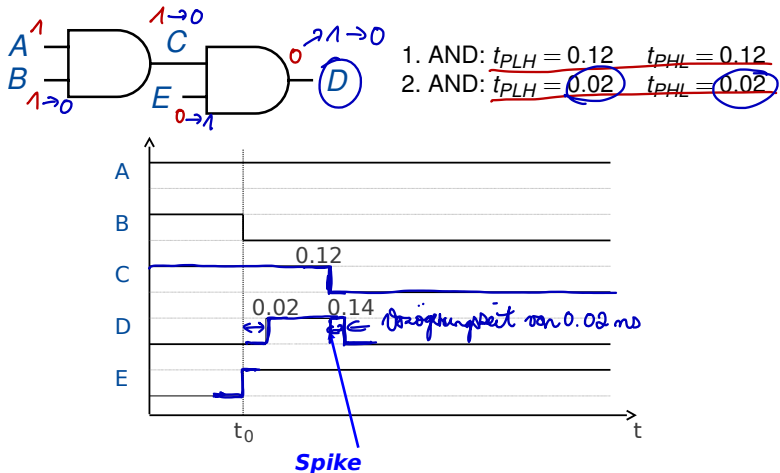
t_0 : A, B, E 110 \rightarrow 101

- **Annahme:**

AND-Gatter haben folgende Verzögerungszeiten.

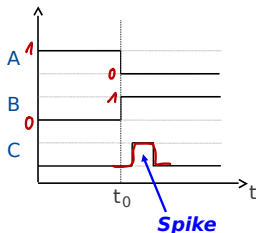
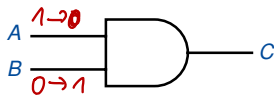
- 1. AND-Gatter: $t_{PLH} = 0.12$, $t_{PHL} = 0.12$
 - 2. AND-Gatter: $t_{PLH} = 0.02$, $t_{PHL} = 0.02$
- ← feste Verzögerungszeiten!*

Timing-Diagramm zum Beispiel



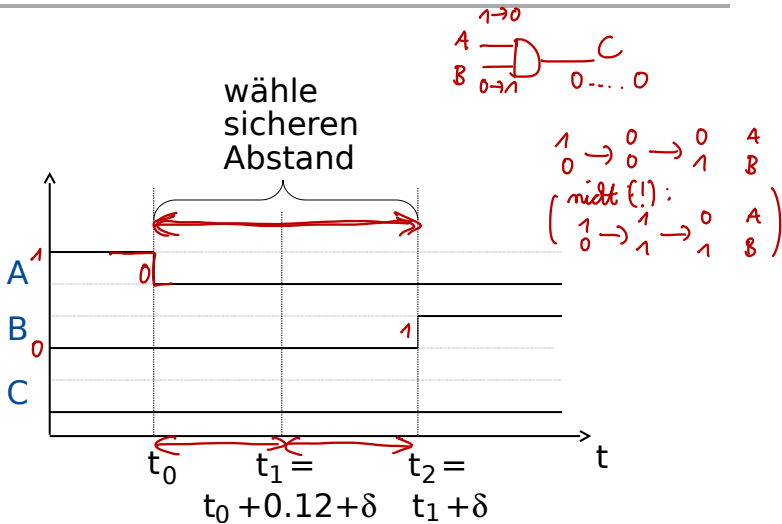
- In manchen Anwendungen will man Spikes verhindern (siehe z.B. FlipFlops).

Spikefreies Umschalten von Gattern



- **Ziel:**
Übergang von $A = 1, B = 0$ zu $A = 0, B = 1$, ohne Spike am Ausgang.
- **Bemerkung:**
Der Übergang $(0, 1) \rightarrow (1, 0)$ bzw. umgekehrt ist der einzige, bei dem an *AND/NAND*-Gattern ein Spike auftreten kann.

AND-Gatter



Lemma

Man kann zeigen, dass Übergänge für A und B mit

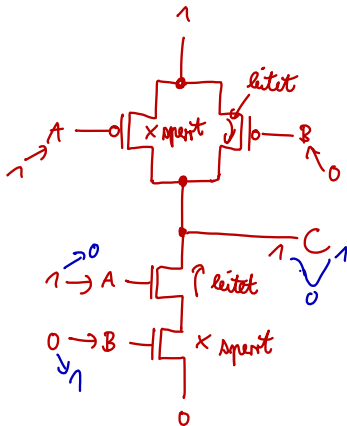
$$0.12 + 2\delta = 0.38$$

sicher sind.

Beispiel: CMOS-Gatter

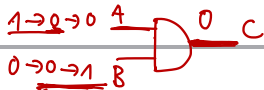
$$\begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix} \begin{matrix} A \\ B \end{matrix} = \text{D} \begin{matrix} C \\ 1 \end{matrix}$$

$$\begin{matrix} 1 & 0 \\ 0 & 0 \end{matrix} \rightarrow \begin{matrix} 0 & 0 \\ 0 & 1 \end{matrix} \quad \checkmark$$



Beim Übergang der beiden n-Kanal-Transistoren (die unteren) kann kurzzeitig eine Abbindung des Ausgangs zur Konstanten 0 hergestellt werden.

Zum Beweis - Timing im Gatter



1 Senke A bei $t_0 = 0$.

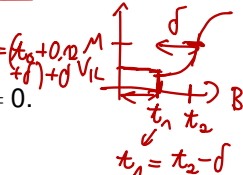
→ $C = 0$ wegen $A = 0$ spätestens bei $t_1 = t_0 + 0.12 + \delta$

■ Grund:

- Bei tatsächlichem Schalten von $C = 0$ wegen $A = 0$ würde das Signal spätestens nach $t_{PHL}^{max} = 0.12 \text{ ns}$ den Wert M durchlaufen und wäre 0 spätestens nach $0.12 + \delta \text{ ns}$.
- Interner Umschaltvorgang „ $C = 0$ wegen $A = 0$ “ muss also spätestens nach $0.12 + \delta \text{ ns}$ beendet sein.

2 Hebe B (bzgl. M !) zum Zeitpunkt $t_2 = t_1 + \delta$.

→ Zum Zeitpunkt t_1 gilt auf jeden Fall noch $B = 0$.



■ Also:

Vor t_1 : $B = 0 \Rightarrow C = 0$

Nach t_1 : $A = 0 \Rightarrow C = 0$

→ Übergänge für A und B mit Abstand

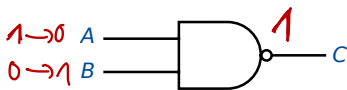
$$\underline{t_2 - t_0 = 0.12 + 2\delta = 0.38} \quad (\delta = 0.13).$$

$$= \tau_{PHL}^{max} + 2\delta$$

AND	t^{\min}	t^{\max}
τ_{PLH}	0.02	0.12
τ_{PHL}	0.02	<u>0.12</u>

Analog: Spikefreies Umschalten bei NAND

■ Beispiel: NAND



NAND	t^{\min}	t^{\max}
τ_{PLH}	0.02	0.15
τ_{PHL}	0.02	0.12

■ Kritischer Übergang: Zuerst A: $1 \rightarrow 0$, dann B: $0 \rightarrow 1$.

■ Daraus ergibt sich der Abstand $\underline{t_{PLH}^{\max} + 2\delta = 0.41}$
 $= 0.15 + 2\delta$

