**Procesorul MIPS - pipeline**

**- 32 biți –**

*Raport de activitate*

*Student: Ureche Simona Elena*

*Grupa: 30224*

**Componente:**

* **IFetch **
* Componenta functionala.
* **MPG **
* Componenta functionala.
* **SSD **
* Componenta functionala.
* **UC **
* Componenta functionala.
* **ID**
* Componenta functionala.
  + S-au adus modificari in cadrul componentei ID. A fost scos acel MUX care la mips ciclu unic avea rolul de a decide adresa de scriere si o fost inlocuit direct cu WA\_MEM\_WB(adresa de scriere data din etajul MEM/WB)
  + De asemenea, s-au introdus si 2 iesiri, rt si rd care reprezinta bitii instructiunii de la 20 la 16, respectiv de la 15 la 11.
* **EX**
* Componenta functionala
  + Pentru un echilibru intre etaje, in componenta EX a fost adaugat un MUX pentru a decide alegerea dintre registrul rt si rd. Alegerea se face pe baza semnalului RegDst, iar rezultatul va fi scris pe iesirea rWa.
* **MEM**
* Componenta functionala.
* **Test\_env**
* Componenta functionala.
  + Au fost adaugati cele 33 de registre pentru a gestiona cele 5 etaje ale procesorului mips 32 pipeline.

A table with text on it

Description automatically generated

* CODUL A FOST TESTAT PE PLACUTA.
* **Detectarea si rezolvarea hazardurilor**

Fiecare hazard care apare se identifica printr-o culoare diferita.

1. **Hazard structural (**apare când instrucțiuni diferite folosesc simultan aceeași unitate hardware în scopuri diferite**):**

**A table with numbers and symbols

Description automatically generated**

* Intre instructiunile **0** si **3** se identifica un hazard structural generat de **registrul 1.**
* **Hazardul structural** a fost soluționat prin modificarea blocului de registre RF astfel încât scrierea să aibă loc în mijlocul perioadei de ceas (pe frontul descrescător al semnalului de ceas).

1. **Hazard de date (**apare când o instrucțiune accesează operanzi în curs de prelucrare în alte etaje pipeline**):**

* Între instrucțiunile 3 și 5 se identifică un hazard de date de tipul Load Data Hazard. Acesta este rezolvat prin adaugarea a doua instrutiuni de tip NoOp dupa instrutiunea 4.
* Între instrucțiunile 4 și 5 se identifică un hazard de date de tipul Load Data Hazard. Acesta este rezolvat prin adaugarea a doua instrutiuni de tip NoOp dupa instrutiunea 4.
* Între instrucțiunile 5 și 6 se identifică un hazard de date de tipul Read After Write. Acesta este rezolvat prin adaugarea a doua instrutiuni de tip NoOp dupa instrutiunea 5.
* Între instrucțiunile 8 și 9 se identifică un hazard de date de tipul Read After Write. Acesta este rezolvat prin adaugarea a doua instrutiuni de tip NoOp dupa instrutiunea 8.
* Între instrucțiunile 10 și 11 se identifică un hazard de date de tipul Read After Write. Acesta este rezolvat prin adaugarea a doua instrutiuni de tip NoOp dupa instrutiunea 10.
* Între instrucțiunile 14 și 15 se identifică un hazard de date de tipul Read After Write. Acesta este rezolvat prin adaugarea a doua instrutiuni de tip NoOp dupa instrutiunea 14.

1. **Hazard de control(**apare la instrucțiuni de branch sau jump, fiindcă decizia și adresa de salt sunt cunoscute cu întâziere, în etaje superioare etajului IF. În consecință, până la momentul saltului, în pipeline se încarcă și se execută instrucțiuni care pot să nu facă parte din fluxul de execuție corect**)**

* Apare la instructiunea cu numarul 6 si este soluționat prin introducerea a trei operații de tip NoOp după instrucțiunea în cadrul căreia a fost regăsit hazardul.
* Apare la instructiunea cu numarul 9 si este soluționat prin introducerea a trei operații de tip NoOp după instrucțiunea în cadrul căreia a fost regăsit hazardul.
* Apare la instructiunea cu numarul 13 si este soluționat prin inversarea instructiunii anterioare cu instructiunea de Jump.
* Am intampinat mici probleme in recalcularea adreselor de salt si testarea mi s-a parut putin mai dificila, trebuind sa afisarile de la anumite instructiuni la alte etaje.
* **Schema procesorului MIPS pipeline**

A diagram of a circuit board

Description automatically generated

* **RTL schematic pentru entitatea top-level**

**A diagram of a computer network

Description automatically generated**

**!Obs: In pipeline, am corectat o mica greseala care imi aparea in mips ciclu unic, in cadrul entitatii UC; Semnalul ExtOp pentru instructiunea ORI era pus pe 1(gresit), iar dupa corectare l-am pus pe 0(corect).**