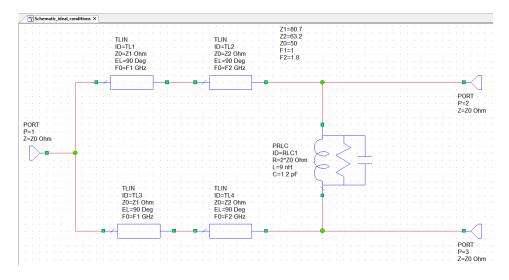
Design Lab	Kierunek: EiT	Data:
Temat Projektu:	lmię i nazwisko:	06.02.2025
Dzielnik mocy Wilkinsona	Michał Ferens	
	Jakub Banach	

1.0pis

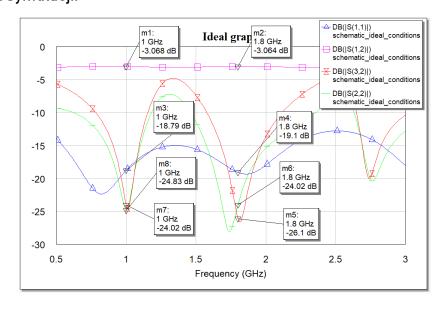
Celem projektu było zaprojektowanie, dzielnika mocy Wilkinsona, działającego na dwóch częstotliwościach: 1 GHz oraz 1,8 GHz. Głównymi etapami projektu było dobranie odpowiednich elementów, symulacja, zaprojektowanie layoutu, wydrukowanie PCB i pomiar fizycznego układu.

2. Schemat idealny w AWR

Schemat z wykorzystaniem idealnych linii i komponentów:



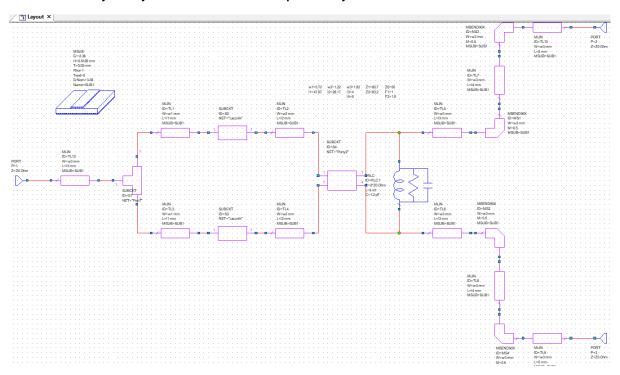
oraz wynik symulacji:



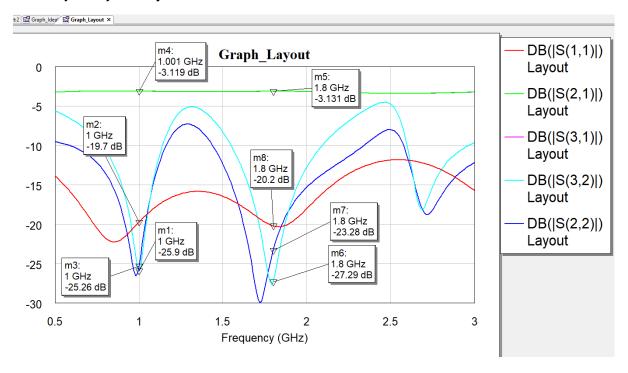
W celu uzyskania jak najlepszych wyników skorzystaliśmy z narzędzia *Tune*, dzięki czemu widoczny był na bieżąco wpływ zmiany wartości użytych elementów pasywnych. Pozwoliło nam to na dobranie możliwie najlepszych pojemności i indukcyjności.

3. Schemat do zaprojektowania layoutu

Schemat z wykorzystaniem linii mikro paskowych:



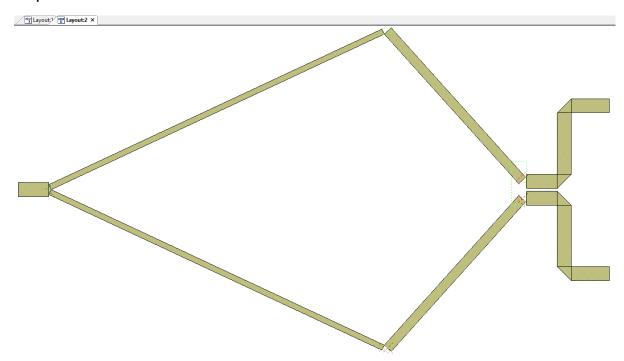
Oraz wynik symulacji:



Wymiary dwóch głównych linii dobraliśmy za pomocą narzędzia *TXLine*. Następnie kolejne elementy dodawaliśmy krok po kroku wykorzystując narzędzie *Freeze*, dzięki czemu mogliśmy zobaczyć jak bardzo wykresy parametrów macierzy rozproszenia odchyliły się i na bieżąco to korygować.

4. Layout

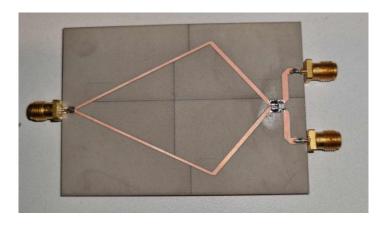
Dorysowaliśmy elementy odpowiednio łączące ze sobą linie, oraz wyprowadzenia do portów.



5. Efekt końcowy

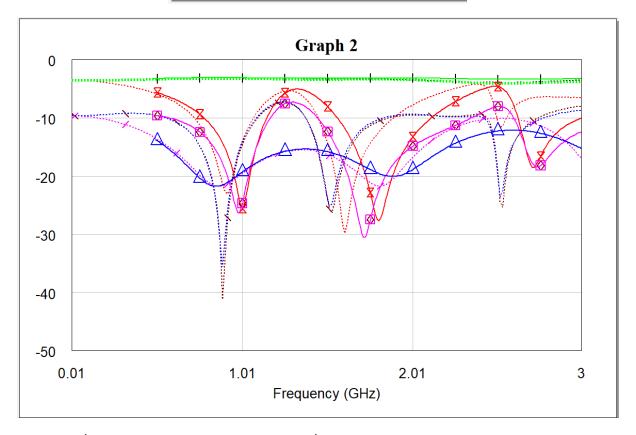
Po zrobieniu PCB przez prowadzącego z użyciem laminatu R04003c (ϵ = 3.38, h = 32 mils), przylutowaliśmy elementy pasywne (C = 1.2 pF, R= 100 0hm, z powodu braku dostepności L = 9 nF przylutowano dwie cewki równolegle uzyskując L_z = 8,3 nF) oraz porty.

Oto efekt końcowy sfabrykowanego dzielnika:



Ostatnim elementem był pomiar rzeczywistego układu i porównanie wyników z założeniami.

→ DB(S(1,1)) Layout	····· DB(S(1,1)) Wilkinson_Dual_meas
□ DB(S(2,2)) Layout	DB(S(2,2)) Wilkinson_Dual_meas
→ DB(S(3,3)) Layout	······ DB(S(3,3)) Wilkinson_Dual_meas
B DB(S(3,2)) Layout	····· DB(S(3,1)) Wilkinson_Dual_meas
— DB(S(3,1)) Layout	····· DB(S(3,2)) Wilkinson_Dual_meas
→ DB(S(2,1)) Layout	····· DB(S(2,1)) Wilkinson_Dual_meas



Jak widać nastąpiło przesunięcie wykresów przez co nasz dzielnik ma najlepsze parametry na częstotliwościach 0,9 GHz i 1,55 GHz zamiast na 1 GHz i 1,8 GHz.

Różnice wyników symulacji i tych zmierzonych na naszej płytce wynikają z różnic pojemności i indukcyjności. Finalnie indukcyjność zastępcza użytych przez nas cewek wynosi 8,3 nF a nie 9 nF, a pojemność zwiększyła się poprzez obecność cyny, której użyliśmy do przylutowania komponentów.

Cały projekt wzorowaliśmy na pracy naukowej znalezionej przez nas na portalu ieeexplore.ieee.org . Dostęp do tej pracy uzyskaliśmy za pośrednictwem bg.agh.edu.pl

"A Dual-Frequency Wilkinson Power Divider" Lei Wu, Zengguang Sun, Hayattin Yilmaz, and Manfred Berroth, Senior Member, IEEE