

- Duração: 2h30m. Durante a realização do teste não é permitida a permanência na sala de calculadoras, telemóveis ou outros dispositivos eletrónicos.
- Responda na folha do teste. Escreva nome e N.º. mec. em folhas (1) e (4).

	a	b	c	d		a	b	c	d
1.1					1.14				
1.2					1.15				
1.3					1.16				
1.4					1.17				
1.5					1.18				
1.6									
1.7					1.19				
1.8					1.20				
1.9					1.21				
1.10									
1.11									
1.12									
1.13									

a) $F1(A, B, C, D) = F2^D(A, B, C, D)$

c) $F1(A, B, C, D) = F2(A, B, C, D)$

b) $F1(A, B, C, D) = \overline{F2(A, B, C, D)}$

d) $F1(A, B, C, D) = F2^D(\bar{A}, \bar{B}, \bar{C}, \bar{D})$

1.8. A expressão $A \cdot B \cdot \bar{C} + A \cdot \bar{D} + D \cdot B + C \cdot \bar{B}$ a) pode ser simplificada para $\bar{B} \cdot \bar{C} + C \cdot D$ c) pode ser simplificada para $B \cdot D + C \cdot \bar{B} + A \cdot \bar{D}$ b) pode ser simplificada para $B \cdot D + C \cdot \bar{B}$ d) pode ser simplificada $B \cdot D + C \cdot \bar{B} + A \cdot \bar{D} + A \cdot B$

1.9. Se um decodificador binário com 4 entradas ativas em nível ALTO e 16 saídas ativas em nível BAIXO apresenta um nível BAIXO na saída decimal 14, quais são os bits nas entradas (A3 é a entrada mais significativa)?

a) $A3A2A1A0 = 0011$

c) $A3A2A1A0 = 1100$

b) $A3A2A1A0 = 0100$

d) $A3A2A1A0 = 1110$

1.10. Considere a função $f(a, b, c) = \overline{a \oplus b \oplus c}$. Para implementar esta função com um decodificador binário 3:8 (cuja entrada de código estão ligadas com as variáveis da função a, b, c) e uma porta OR-4, deve-se ligar as saídas seguintes do decodificador com as entradas da porta OR:

a) 0, 3, 5, 6

c) 1, 2, 4, 7

b) 0, 1, 2, 3

d) 4, 5, 6, 7

1.11. Se um codificador de prioridade 8:3 tem as suas entradas 0, 2, 5 e 6 no nível ativo (onde a entrada 0 é menos prioritária), a saída binária ativa em nível BAIXO é:

a) $A2A1A0 = 110$

c) $A2A1A0 = 001$

b) $A2A1A0 = 101$

d) $A2A1A0 = 011$

1.12. Um multiplexer 8:1 pode ser implementado apenas com:

a) 8 buffers 3-state

c) dois multiplexers 4:1 e um multiplexer 2:1

b) 8 buffers 3-state e um decodificador binário 2:4

d) 5 multiplexers 2:1

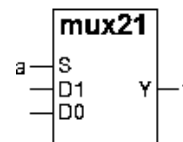
1.13. A figura ao lado ilustra a implementação parcial da função $f(a, b) = a \oplus b$ com um multiplexer 2:1. Para completar o circuito deve-se realizar ligações seguintes:

a) $D1 = b, D0 = \bar{b}$

c) $D1 = 0, D0 = b$

b) $D1 = \bar{b}, D0 = b$

d) $D1 = 1, D0 = 0$



1.14. Um somador completo (full adder) de 1 bit é caracterizado por:

a) duas entradas e duas saídas

c) duas entradas e uma saída

b) duas entradas e três saídas

d) três entradas e duas saídas

1.15. Se compararmos uma latch D e um flip-flop D podemos afirmar que:

a) uma latch sofre do problema de meta-estabilidade enquanto um flip-flop - não

c) um flip-flop não precisa dum sinal de clock enquanto uma latch precisa

b) ambos têm comportamento temporal idêntico

d) todas as afirmações anteriores são erradas

1.16. Para carregar de forma paralela um Byte de dados num registo de 8 bits, tem que se aplicar:

a) um pulso de clock

c) um pulso de clock para cada nível 0 nos dados

b) um pulso de clock para cada nível 1 nos dados

d) oito pulsos de clock

1.17. Dois contadores binários de 4 bits conectados em cascata têm um módulo total de:

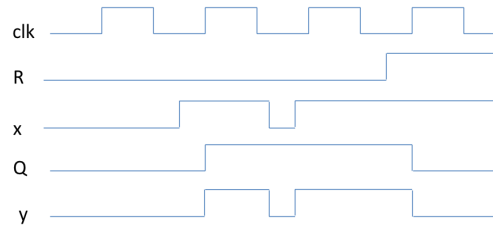
a) 64

c) 32

b) 128

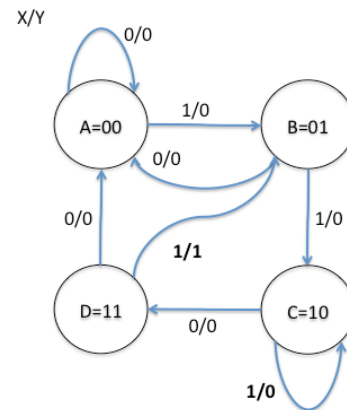
d) nenhuma das anteriores

1.18. Analise o diagrama temporal ao lado que ilustra o comportamento no tempo de uma máquina sequencial síncrona com uma entrada de dados, x , uma saída, y , e um sinal de *reset*, R . O estado da máquina é representado pelo sinal Q . Indique o tipo da máquina.



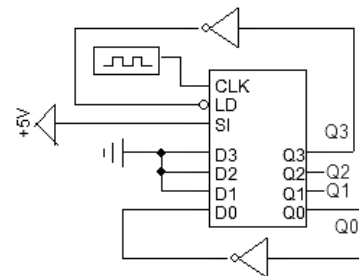
- a) máquina de Moore com *reset* assíncrono c) máquina de Moore com *reset* síncrono
b) máquina de Mealy com *reset* assíncrono d) máquina de Mealy com *reset* síncrono

1.19. O diagrama de estados ao lado ilustra o comportamento de uma máquina de estados finitos com uma entrada, X , e uma saída, Y . Os estados da máquina são codificados com sinais Q_1Q_0 . Para implementação com *flip-flops* D, qual deve ser a função de excitação Q_1^+ ?



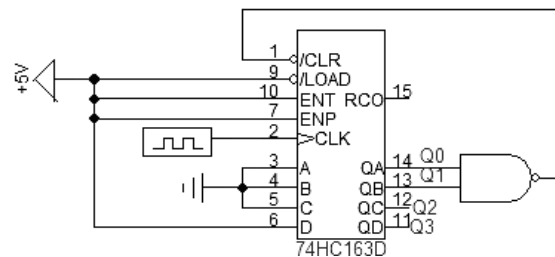
- a) $Q_1^+ = Q_1 \cdot \overline{Q_0} + \overline{Q_1} Q_0 X$ c) $Q_1^+ = X \cdot \overline{Q_1} + \overline{Q_1} Q_0$
b) $Q_1^+ = Q_1 \cdot Q_0 + X \cdot Q_0$ d) $Q_1^+ = Q_1 \cdot Q_0$

1.20. Analise o circuito da figura ao lado que inclui um registro de deslocamento de 4 bits, que faz deslocamento no sentido $Q_0 \rightarrow Q_3$. Assumindo que o estado atual é $Q_3Q_2Q_1Q_0 = 0011$, o estado do circuito após 3 ciclos de relógio será:



- a) $Q_3^+Q_2^+Q_1^+Q_0^+ = 0000$ c) $Q_3^+Q_2^+Q_1^+Q_0^+ = 0111$
b) $Q_3^+Q_2^+Q_1^+Q_0^+ = 0011$ d) $Q_3^+Q_2^+Q_1^+Q_0^+ = 1001$

1.21. O circuito da figura ao lado inclui um contador binário módulo 16 com entradas de *load* e *clear* síncronas. Partindo do estado inicial (0000) ao fim de 10 ciclos de relógio o contador está no estado ($Q_3Q_2Q_1Q_0$):

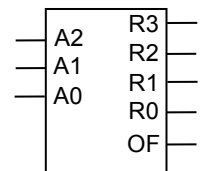


- a) 2_{16} c) 5_{16}
b) A_{16} d) 4_{16}

Nº mec: _____ Nome _____

2. [3 valores] Pretende-se construir um sistema combinatório com 4 entradas ($A_3..A_0$) e uma saída Y . A saída deverá estar a “1” sempre que na entrada, em código binário natural, estiver representado um múltiplo de 3 no intervalo $[3,12]$. Comece por elaborar a tabela de verdade. De seguida implemente o sistema recorrendo apenas a um multiplexer 4:1 e a um decodificador 2:4. Deve usar as entradas A_3A_2 como entradas de seleção do multiplexer. Desenhe cuidadosamente o circuito e justifique a sua solução.

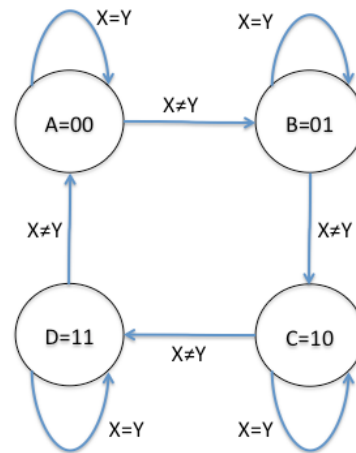
3. [1.5 valores] Pretende-se projetar um circuito que processe o operando complexo iA , em que A vem representado no sistema ‘complemento para dois’ com 3 bits ($A_2A_1A_0$), e realize a operação $R=(iA)^2$. O resultado $R(R_3R_2R_1R_0)$ também é representado no sistema ‘complemento para dois’ (com 4 bits). A saída adicional (OF) destina-se a assinalar *overflow*. Construa apenas a tabela de verdade do bloco em causa; em caso de *overflow*, considere irrelevante o estado das saídas R_3 , R_2 , R_1 e R_0 .



A2	A1	A0	R3	R2	R1	R0	OF

4. Considere o diagrama de estados/saídas referente a uma máquina sequencial síncrona com duas entradas, X e Y , e duas saídas $H1$, $H0$ que coincidem com as variáveis de estado.

4.1. [3 valores] Identifique, justificando, o tipo da máquina. Para implementar o circuito dispõe de flip-flops D, um único decodificador 4:16, portas OR de 4 entradas e portas OR de 2 entradas. Desenhe cuidadosamente o circuito que implemente esta máquina, apresentando em detalhe todos os passos de síntese (os códigos dos estados já estão indicados no diagrama). Minimize o número de componentes.



4.2. [0.5 valores] Assuma que os *flip-flops* que compõem o circuito têm as características temporais seguintes: $t_{\text{setup}}=15$ ns, $t_{\text{hold}}=5$ ns, $t_{\text{pHL}}=25$ ns, $t_{\text{pLH}}=20$ ns; o tempo de atraso de uma porta lógica elementar é $t_{\text{porta}}=10$ ns. Nestas condições, determine o máximo tempo de atraso do decodificador para que a frequência máxima de funcionamento do circuito seja de 10 MHz. Justifique o seu cálculo e não esqueça as unidades.