



# Sistemas Digitais

---

## Sistemas Sequenciais

### Análise de Sistemas Sequenciais Síncronos

Departamento de Electrónica, Telecomunicações e Informática  
Universidade de Aveiro

Adaptado de R. Katz, "Contemporary Logic Design" e de  
J. Wakerly, "Digital Design Principles & practices"



## Sumário

---

- Análise de Sistemas Sequenciais Síncronos
- Máquinas de Mealy e de Moore
- Limitações temporais



## Metodologia de Análise

- O problema da análise: Dado o esquema lógico dum Sistema Sequencial Síncrono como caracterizar o seu funcionamento?
- Instrumentos:
  - Equações de excitação das estruturas elementares de memória (Flip/Flops)
  - Equações características
  - Tabelas de transição/saídas do sistema
  - Diagramas de estado
  - Diagramas temporais

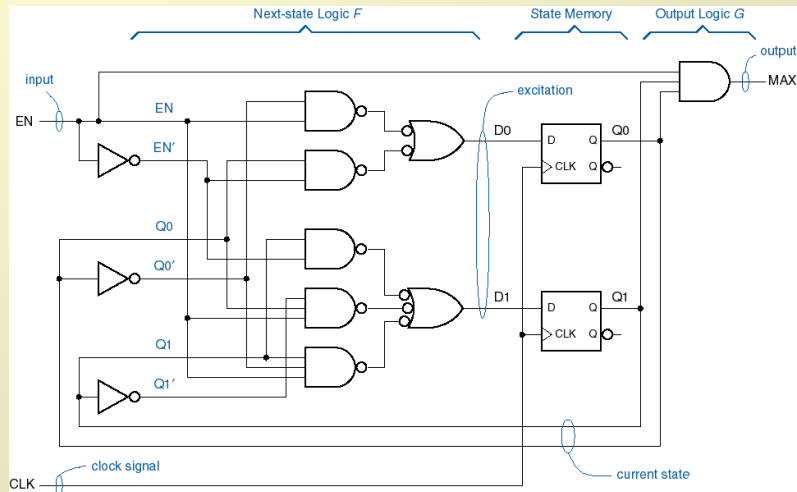


## Metodologia de Análise

- Etapa 1
  - Para cada F/F determinar a função de excitação
  - Usando a equação característica dos F/F, deduzir as **equações de transição** de estados (trivial com FF do tipo D).
  - Determinar as funções de saída
- Etapa 2
  - Construir **tabela de transição** de estados
    - Para cada combinação estado/entrada, indicar o estado seguinte.
  - Construir **tabela de saídas**
    - Para cada combinação estado/entrada, indicar os valores de saída (pode ser combinada com a tabela de transição de estados)
- Etapa 3. Desenhar **diagrama de estados**



## Exemplo



## Etapa 1

- Equações de excitação (bloco combinatório F)
$$D0 = Q0 \cdot EN' + Q0' \cdot EN$$
$$D1 = Q1 \cdot EN' + Q1' \cdot Q0 \cdot EN + Q1 \cdot Q0' \cdot EN$$
- Equações características (dos flip-flops usados)
$$Q0^* = D0$$
$$Q1^* = D1$$
- Equações de transição
$$Q0^* = Q0 \cdot EN' + Q0' \cdot EN$$
$$Q1^* = Q1 \cdot EN' + Q1' \cdot Q0 \cdot EN + Q1 \cdot Q0' \cdot EN$$
- Equações de saída
$$MAX = Q1 \cdot Q0 \cdot EN$$



## Etapa 2: Tabelas

Equações de transição: 
$$\begin{cases} Q0^* = Q0 \cdot EN' + Q0' \cdot EN \\ Q1^* = Q1 \cdot EN' + Q1' \cdot Q0 \cdot EN + Q1 \cdot Q0' \cdot EN \end{cases}$$

Equação de saída:  $MAX = Q1 \cdot Q0 \cdot EN$

Q1 Q0	EN	
	0	1
00	00	01
01	01	10
10	10	11
11	11	00
Q1* Q0*		

Tabela de transições

S	EN	
	0	1
A	A	B
B	B	C
C	C	D
D	D	A
S*		

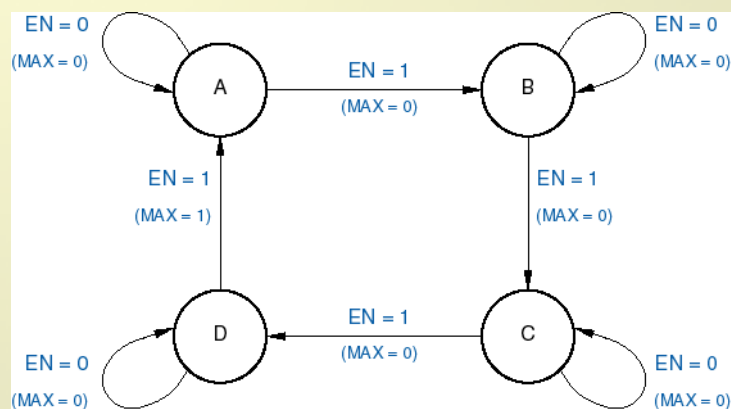
Tabela de estados

S	EN	
	0	1
A	A, 0	B, 0
B	B, 0	C, 0
C	C, 0	D, 0
D	D, 0	A, 1
S*, MAX		

Tabela de estados/saídas



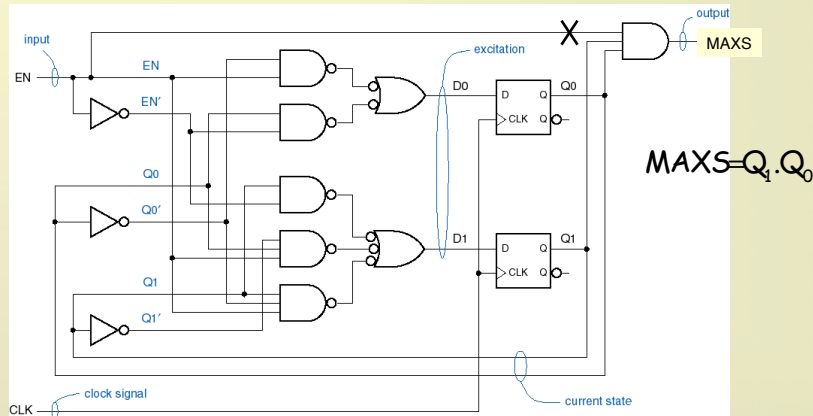
## Etapa 3: Diagrama de estados





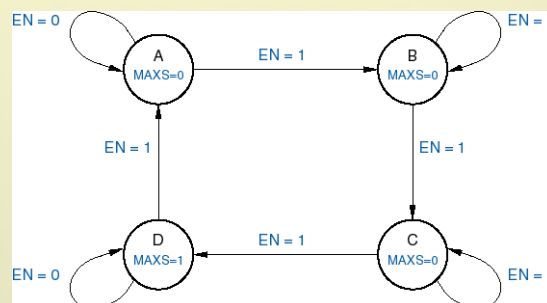
## Variação ao exemplo anterior

- Neste exemplo a saída deixa de depender directamente da entrada



## Variação do exemplo anterior

- Diagrama e Tabela de Estados /Saídas
- O que há de estruturalmente diferente face ao exemplo 1?

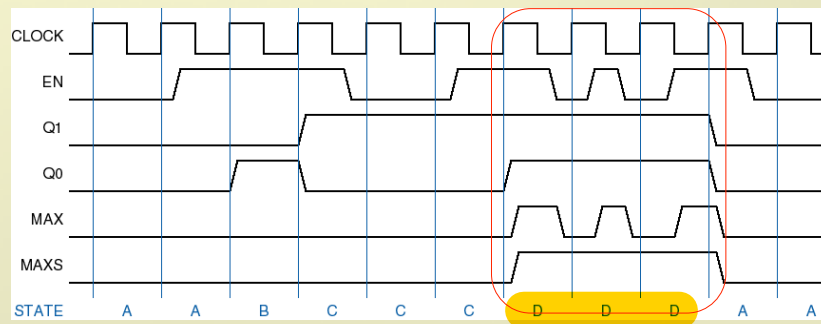


S	EN		MAXS
	0	1	
A	A	B	0
B	B	C	0
C	C	D	0
D	D	A	1
S*			



## Diagramas Temporais

- No primeiro caso a saída como depende directamente da entrada pode alterar-se de forma assíncrona
- No segundo caso como a dependência é apenas relativa ao estado a saída varia de forma síncrona com o clock



Introdução aos Sistemas Digitais - AFS

11



## Máquinas de Mealy e de Moore

- Esta pequena (grande) diferença no comportamento das saídas permite ilustrar na prática dois modelos de Máquinas de Estado Finitos (MEF):
- Modelo (ou máquina) de Mealy
  - Saídas podem ter comportamento assíncrono com o clock porque têm dependência combinatória com as entradas

$$y_i = f[x_{n-1}, \dots, x_0, Q_{m-1}, \dots, Q_0]$$

- Modelo (ou máquina) de Moore
  - Saídas têm um comportamento síncrono com relógio porque dependem exclusivamente das variáveis de estado

$$y_i = f[Q_{m-1}, \dots, Q_0]$$

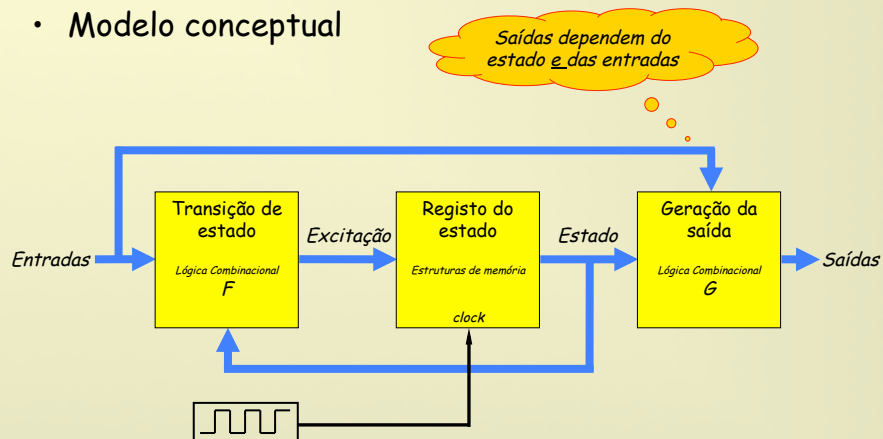
Introdução aos Sistemas Digitais - AFS

12



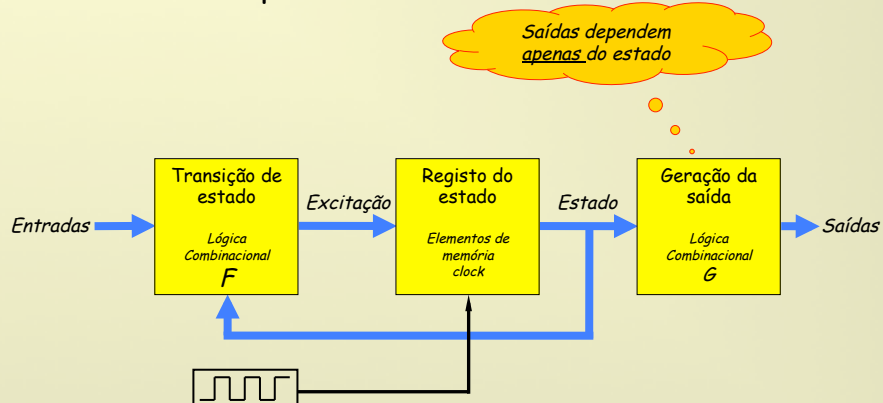
## Máquina de Mealy

- Modelo conceptual



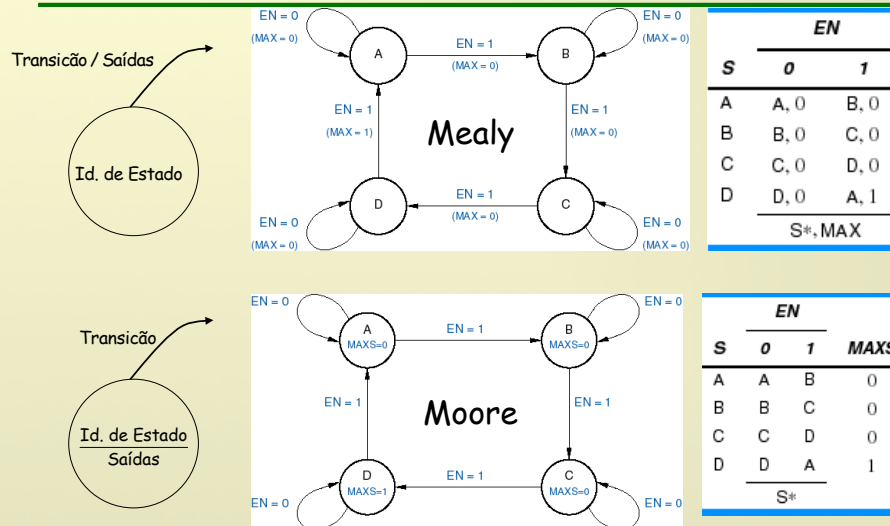
## Máquina de Moore

- Modelo conceptual



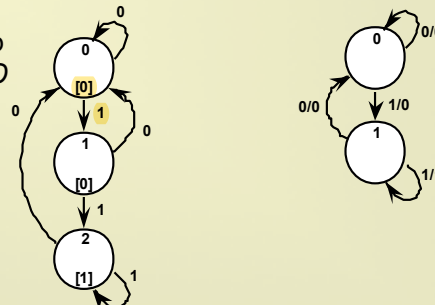


## Mealy vs Moore



## Mealy vs Moore

- A máquina de Mealy tipicamente apresenta menos estados do que a máquina de Moore para a mesma sequência de saída
- Exemplo:
  - Máquinas com o mesmo comportamento de I/O

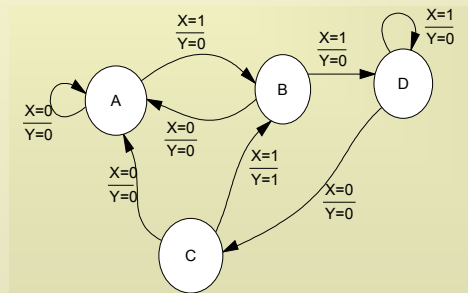






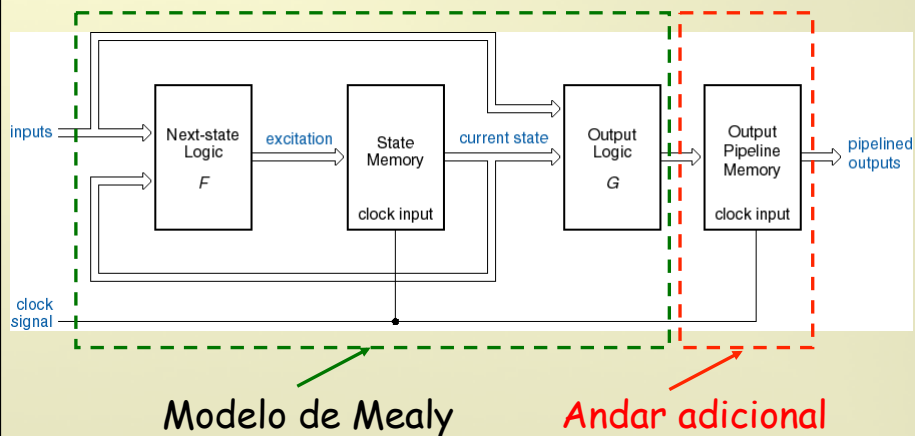
## Exercício

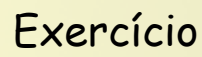
- Dado o seguinte diagrama de estados duma máquina de Mealy
  - Elabore a respectiva tabela de estados
  - Elabore um diagrama de estados para uma máquina de Moore equivalente



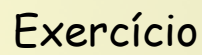
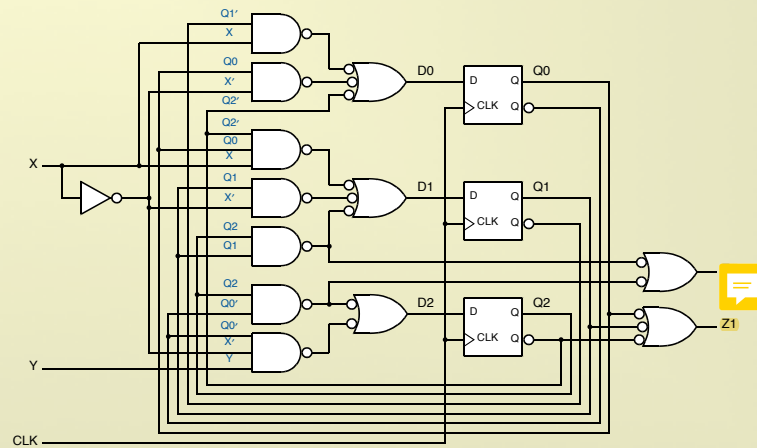
## Variante: saídas em *pipeline*

- Bloco adicional para pós-sincronização com o clock

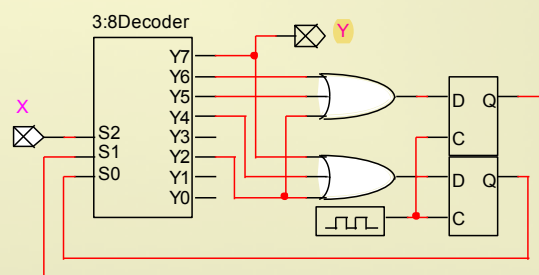




- Determine o diagrama de estados saídas do sistema



- Determine o diagrama de estados/saídas do sistema



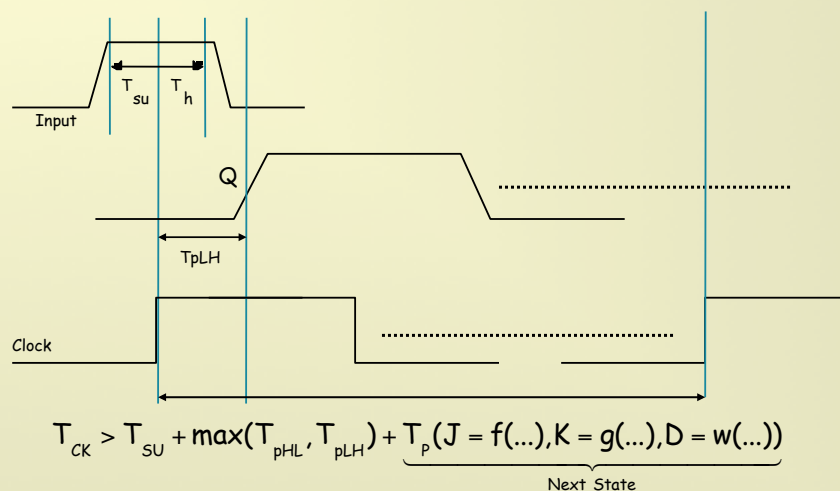


## Limitações temporais

- Dadas especificações temporais dos elementos de memória e dos tempos de propagação dos elementos combinatórios coloca-se o problema de determinar qual a frequência máxima de funcionamento dum sistema sequencial síncrono.
- Parâmetros temporais:
  - $F/F_s$ :
    - $T_{\text{setup}}, T_{\text{hold}}, \max(T_{\text{pHL}}, T_{\text{pLH}})$
  - Lógica combinatória associada à definição do estado seguinte (feedback)
    - Atrasos de propagação de portas elementares
    - Atrasos de propagação ao nível do bloco



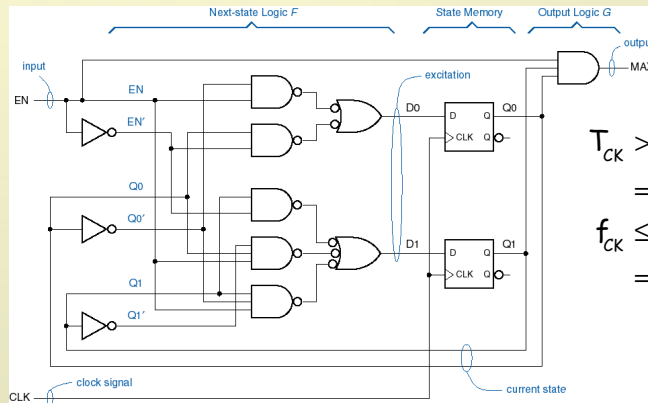
## Limitações temporais





## Exemplo

- $T_{su} = 10\text{ns}$ ,  $T_h = 5\text{ns}$ ,  $T_{pHL} = T_{pLH} = 20\text{ns}$
- $T_p$  portas elementares =  $10\text{ns}$

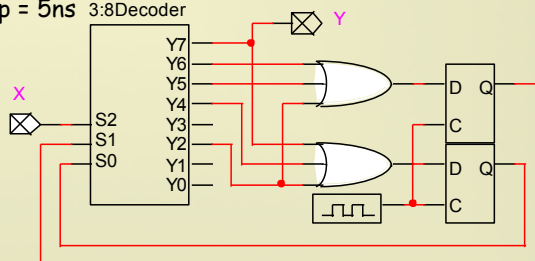


$$T_{CK} > T_{SU} + T_{pHL} + 3T_p$$
$$= 10 + 20 + 30 = 60\text{ns}$$
$$f_{CK} \leq 1/T_{CK}$$
$$= 16.6\text{MHz}$$



## Exercício

- Trata-se duma máquina de Mealy ou de Moore? Justifique
- Calcule o máximo atraso de propagação devido ao descodificador para que sistema possa atingir uma frequência máxima de funcionamento de 25 MHz.
- Considere
  - F/F D:  $T_{su} = 10\text{ns}$ ,  $T_h = 5\text{ns}$ ,  $T_{pHL} = T_{pLH} = 15\text{ns}$
  - Portas elementares  $T_p = 5\text{ns}$





## Exercício

- Mostre que o diagrama de estados do sistema da figura corresponde a um funcionamento periódico com 128 estados
- Se o tempo de atraso de cada somador for de 80 ns calcule a freq max de funcionamento do sistema. Admita  $T_{su} = 5\text{ ns}$  e  $T_{pHL} = T_{PLH} = 15\text{ ns}$ .
- Repita o cálculo admitindo que a estrutura de soma é um bloco do tipo "carry lookahead" a 8 bits

