Universidade de Aveiro Dep. de Eletrónica, Telecomunicações e Informática Exame de Introdução aos Sistemas Digitais

6-02-2015

Notas Importantes!

- Duração: 2h30m. Durante a realização do teste não é permitida a permanência na sala de calculadoras, telemóveis ou outros dispositivos eletrónicos.
- Responda na folha do teste. Escreva nome e Nº. mec. em folhas (1) e (4).

Nº mec:	Nome

1. [12 valores] Para cada questão proposta, existem quatro alternativas de resposta, das quais apenas uma é correta. Deve escolher marcando 'x' na célula correspondente da tabela ao lado. No caso de se enganar, pode corrigir desenhando um círculo a cheio sobre o 'x'. A cotação de cada uma das perguntas 1-18 é de 0.5 valores, das perguntas 19-21 — de 1 valor. Questões não respondidas valem 0. Cada questão errada (ou de resposta ambígua) desconta 1/4 da cotação, até ao limite mínimo de 0 valores.

	а	b	С	d		а	b	С	d
1.1					1.14				
1.2					1.15				
1.3					1.16				
1.4					1.17				
1.5					1.18				
1.6									
1.7					1.19				
1.8					1.20				
1.9					1.21				
1.10									
1.11									
1.12									
1.13					·				

- 1.1. A representação do número A7₁₆ em base 10 é:
- a) 17

c) 107

b) 167

- d) nenhuma das anteriores
- 1.2. A representação do número 0.ABC₁₆ em base 8 é:
- a) 0.4567

c) 0.3465

b) 0.3274

- d) nenhuma das anteriores
- 1.3. Considere os números binários A=11111111 e B=11111110. Verifica-se a relação A>B se o código de representação for:
- a) complemento para 2 com 8 bits

c) sinal e módulo com 8 bits

b) complemento para 1 com 8 bits

- d) ambas as respostas a) e b) estão corretas
- 1.4. A palavras 01111 e 10000 em código binário natural depois de convertidas em código de Gray têm uma distância de Hamming de:
- a) 3

c) 2

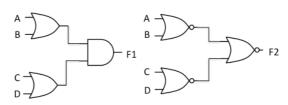
b) 5

- d) nenhuma das anteriores
- 1.5. Em complemento para 2 com 4 bits, a soma aritmética de 1111 e 1010 é:
- a) 0011

c) 1001

b) 1100

- d) nenhuma das opções anteriores
- 1.6. Identifique a afirmação errada:
- a) Uma função booleana pode ter mais que uma expressão mínima.
- b) A 1ª forma canónica duma função booleana nunca é uma expressão mínima.
- c) Uma função booleana pode ser expressa por uma soma de produtos mínima composta apenas por implicantes primos não essenciais.
- d) Uma função booleana pode ser expressa por uma soma de produtos mínima composta apenas por implicantes primos essenciais.
- 1.7. Analise os circuitos da figura ao lado que implementam funções F1(A, B, C, D) e F2(A, B, C, D). Pode-se afirmar que:



a)
$$F1(A, B, C, D) = F2^{D}(A, B, C, D)$$

c)
$$F1(A, B, C, D) = F2(A, B, C, D)$$

b)
$$F1(A, B, C, D) = \overline{F2(A, B, C, D)}$$

d)
$$F1(A, B, C, D) = F2^{D}(\overline{A}, \overline{B}, \overline{C}, \overline{D})$$

1.8. A expressão $A \cdot B \cdot \overline{C} + A \cdot \overline{D} + D \cdot B + C \cdot \overline{B}$

- a) pode ser simplificada para $\bar{B} \cdot \bar{C} + C \cdot D$
- c) pode ser simplificada para $B \cdot D + C \cdot \overline{B} + A \cdot \overline{D}$
- b) pode ser simplificada para $B \cdot D + C \cdot \overline{B}$
- d) pode ser simplificada $B \cdot D + C \cdot \overline{B} + A \cdot \overline{D} + A \cdot B$

1.9. Se um decodificador binário com 4 entradas ativas em nível ALTO e 16 saídas ativas em nível BAIXO apresenta um nível BAIXO na saída decimal 14, quais são os bits nas entradas (A3 é a entrada mais significativa)?

a)
$$A3A2A1A0 = 0011$$

c)
$$A3A2A1A0 = 1100$$

b)
$$A3A2A1A0 = 0100$$

d)
$$A3A2A1A0 = 1110$$

1.10. Considere a função $f(a,b,c) = \overline{a \oplus b \oplus c}$. Para implementar esta função com um descodificador binário 3:8 (cujas entradas de código estão ligadas com as variáveis da função a, b, c) e uma porta OR-4, deve-se ligar as saídas seguintes do descodificador com as entradas da porta OR:

a)
$$0, 3, 5, 6$$

c)
$$1, 2, 4, 7$$

b)
$$0, 1, 2, 3$$

1.11. Se um codificador de prioridade 8:3 tem as suas entradas 0, 2, 5 e 6 no nível ativo (onde a entrada 0 é menos prioritária), a saída binária ativa em nível BAIXO é:

a)
$$A2A1A0 = 110$$

c)
$$A2A1A0 = 001$$

b)
$$A2A1A0 = 101$$

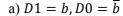
d)
$$A2A1A0 = 011$$

1.12. Um *multiplexer* 8:1 pode ser implementado apenas com:

a) 8 buffers 3-state

- c) dois multiplexers 4:1 e um multiplexer 2:1
- b) 8 buffers 3-state e um descodificador binário 2:4
- d) 5 multiplexers 2:1

1.13. A figura ao lado ilustra a implementação parcial da função $f(a,b) = a \oplus b$ com um multiplexer 2:1. Para completar o circuito deve-se realizar ligações seguintes:



c)
$$D1 = 0$$
, $D0 = b$

b)
$$D1 = \overline{b}$$
, $D0 = b$

d)
$$D1 = 1$$
, $D0 = 0$



- 1.14. Um somador completo (full adder) de 1 bit é caraterizado por:
- a) duas entradas e duas saídas
- c) duas entradas e uma saída

b) duas entradas e três saídas

d) três entradas e duas saídas

1.15. Se compararmos uma *latch* D e um *flip-flop* D podemos afirmar que:

- a) uma latch sofre do problema de meta- c) um flip-flop não precisa dum sinal de clock estabilidade enquanto um flip-flop - não
 - enquanto uma latch precisa
- b) ambos têm comportamento temporal idêntico
- d) todas as afirmações anteriores são erradas

1.16. Para carregar de forma paralela um Byte de dados num registo de 8 bits, tem que se aplicar:

a) um pulso de clock

- c) um pulso de *clock* para cada nível 0 nos dados
- b) um pulso de *clock* para cada nível 1 nos d) oito pulsos de *clock* dados

1.17. Dois contadores binários de 4 bits conectados em cascata têm um módulo total de:

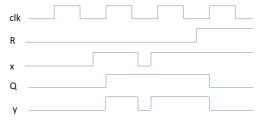
a) 64

c) 32

b) 128

d) nenhuma das anteriores

1.18. Analise o diagrama temporal ao lado que ilustra o comportamento no tempo de uma máquina sequencial síncrona com uma entrada de dados, x, uma saída, y, e um sinal de reset, R. O estado da máquina é representado pelo sinal Q. Indique o tipo da máquina.



- a) máquina de Moore com reset assíncrono
- c) máquina de Moore com reset síncrono
- b) máquina de Mealy com reset assíncrono
- d) máquina de Mealy com reset síncrono

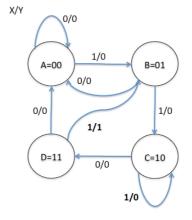
1.19. O diagrama de estados ao lado ilustra o comportamento de uma máquina de estados finitos com uma entrada, X, e uma saída, Y. Os estados da máquina são codificados com sinais Q₁Q₀. Para implementação com *flip-flops* D, qual deve ser a função de excitação Q_1^+ ?

a)
$$Q_1^+ = Q_1 \cdot \overline{Q_0} + \overline{Q}_1 Q_0 X$$
 c) $Q_1^+ = X \cdot \overline{Q_1} + \overline{Q}_1 Q_0$
b) $Q_1^+ = Q_1 \cdot Q_0 + X \cdot Q_0$ d) $Q_1^+ = Q_1 \cdot Q_0$

c)
$$Q_1^+ = X \cdot \overline{Q_1} + \overline{Q_1}Q_0$$

b)
$$Q_1^+ = Q_1 \cdot Q_0 + X \cdot Q_0$$

d)
$$Q_1^+ = Q_1 \cdot Q_0$$



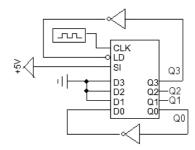
1.20. Analise o circuito da figura ao lado que inclui um registo de deslocamento de 4 bits, que faz deslocamento no sentido $Q0 \rightarrow Q3$. Assumindo que o estado atual é Q3Q2Q1Q0 = 0011, o estado do circuito após 3 ciclos de relógio será:

a)
$$Q3^+Q2^+Q1^+Q0^+ = 0000$$

c)
$$Q3^+Q2^+Q1^+Q0^+ = 0111$$

b)
$$Q3^+Q2^+Q1^+Q0^+ = 0011$$

d)
$$Q3^+Q2^+Q1^+Q0^+ = 1001$$

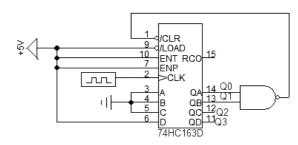


1.21. O circuito da figura ao lado inclui um contador binário módulo 16 com entradas de load e clear síncronas. Partindo do estado inicial (0000) ao fim de 10 ciclos de relógio o contador está no estado (Q3Q2Q1Q0):



c)
$$5_{16}$$

d) 4_{16}



Nº mec:	Nome

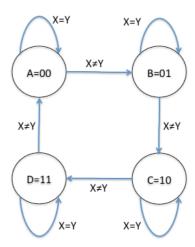
2. [3 valores] Pretende-se construir um sistema combinatório com 4 entradas (A3..A0) e uma saída Y. A saída deverá estar a "1" sempre que na entrada, em código binário natural, estiver representado um múltiplo de 3 no intervalo [3,12]. Comece por elaborar a tabela de verdade. De seguida implemente o sistema recorrendo apenas a um multiplexer 4:1 e a um descodificador 2:4. Deve usar as entradas A3A2 como entradas de seleção do multiplexer. Desenhe cuidadosamente o circuito e justifique a sua solução.

3. [1.5 valores] Pretende-se projetar um circuito que processe o operando complexo iA, em que A vem representado no sistema 'complemento para dois' com 3 bits (A2A1A0), e realize a operação R=(iA)². O resultado R(R3R2R1R0) também é representado no sistema 'complemento para dois' (com 4 bits). A saída adicional (OF) destina-se a assinalar overflow. Construa apenas a tabela de verdade do bloco em causa; em caso de overflow, considere irrelevante o estado das saídas R3, R2, R1 e R0.

	R3	
A2 A1 A0	R2 R1 R0 OF	

A2	A 1	A0	R3	R2	R1	R0	OF

- **4**. Considere o diagrama de estados/saídas referente a uma máquina sequencial síncrona com duas entradas, *X* e *Y*, e duas saídas H1, H0 que coincidem com as variáveis de estado.
- **4.1**. [3 *valores*] <u>Identifique</u>, justificando, o tipo da máquina. Para implementar o circuito dispõe de flipflops D, um único descodificador 4:16, portas OR de 4 entradas e portas OR de 2 entradas. <u>Desenhe cuidadosamente</u> o circuito que implemente esta máquina, apresentando em detalhe <u>todos os passos</u> de síntese (os códigos dos estados já estão indicados no diagrama). Minimize o número de componentes.



4.2. [0.5 valores] Assuma que os *flip-flops* que compõem o circuito têm as caraterísticas temporais seguintes: t_{setup}=15 ns, t_{hold}=5 ns, t_{pHL}=25 ns, t_{pLH}=20 ns; o tempo de atraso de uma porta lógica elementar é t_{porta} = 10 ns. Nestas condições, determine o máximo tempo de atraso do descodificador para que a frequência máxima de funcionamento do circuito seja de 10 MHz. Justifique o seu cálculo e não esqueça as unidades.