

1.8. Considere a função $f(A,B,C,D)$ explicitada no mapa de Karnaugh.

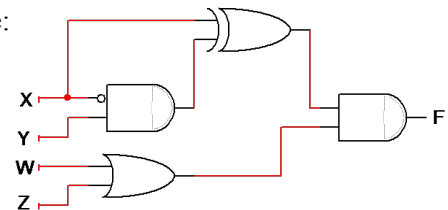
Identifique os Implicantes Primos (IP) de f . A afirmação **errada** é:

- a) f tem 0 IP essenciais
 b) f tem 8 IP
 c) f tem 8 IP não essenciais
 d) f tem 1 IP essencial

CD \ AB	00 01 11 10			
	00	01	11	10
00	0	0	1	1
01	0	1	1	0
11	1	1	0	0
10	1	0	0	1

1.9. Analise o circuito da figura. A função $F(X,Y,W,Z)$ que ele realiza é:

- a) $F = (X + Y) \cdot (W + Z)$
 b) $F = (X' + Y) \cdot (W + Z)$
 c) $F = (X + Y') \cdot (W + Z)$
 d) nenhuma das anteriores



1.10. A expressão $A \cdot C \cdot D + A' \cdot B' \cdot D' + A \cdot C + A \cdot B' + A \cdot B \cdot C'$

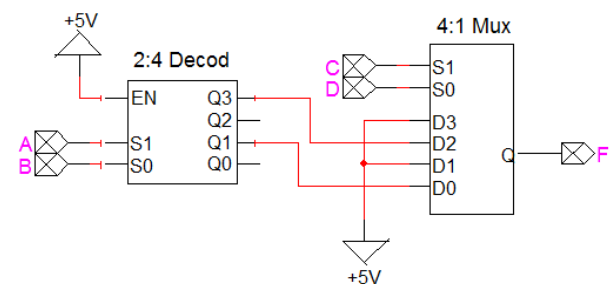
- a) pode ser simplificada para $A' + B \cdot D$
 b) pode ser simplificada para $A + B \cdot D'$
 c) pode ser simplificada para $A + B' \cdot D'$
 d) pode ser simplificada para $A + D'$

1.11. Um *multiplexer* 16:1 **não pode** realizar-se com:

- a) 8 *multiplexers* 2:1 + 2 *multiplexers* 4:1
 b) 5 *multiplexers* 4:1
 c) 2 *multiplexers* 8:1 + 1 *multiplexer* 2:1
 d) 4 *multiplexers* 4:1 + 3 *multiplexers* 2:1

1.12. Considerando o circuito da figura, $F(A,B,C,D)$ pode ser expressa como:

- a) $A \cdot B \cdot C + A' \cdot B \cdot D + C \cdot D$
 b) $(A \oplus C) \cdot B + D$
 c) $(A \oplus C)' \cdot B + D$
 d) $D + (A \oplus C)$



1.13. Conectando um contador binário de 3 *bits* em cascata com um contador BCD obtém-se um contador com módulo total de:

- a) 7
 b) 40
 c) 64
 d) 80

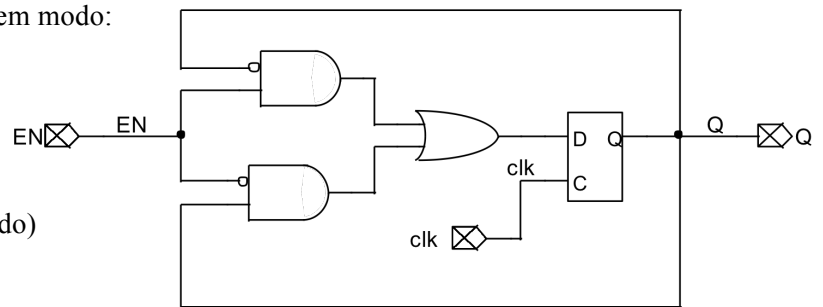
1.14. Num registo de deslocamento de 8 *bits* os *flip-flops* têm os seguintes parâmetros temporais: $t_{su} = 15ns$, $t_h = 5ns$, $t_{pHL} = t_{pLH} = 25ns$. Nestas condições, a frequência máxima de funcionamento é:

- a) 40 MHz
 b) 25 MHz
 c) 5 MHz
 d) 3.125 MHz

1.15. Se $EN = 1$, o *flip-flop* D da figura fica em modo:

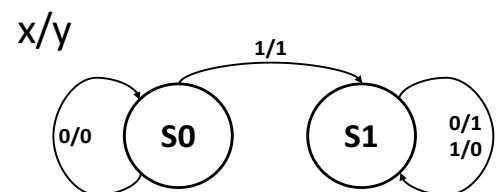
- a) TOGGLE
- b) HOLD
- c) RESET
- d) SET

(Note que TOGGLE designa inversão do estado)



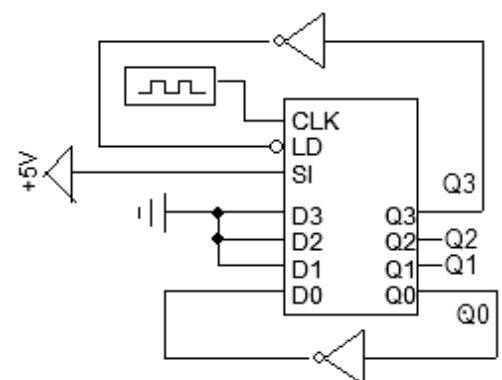
1.16. Um determinado circuito sequencial síncrono com entrada x e saída y é descrito pelo diagrama de estados da figura. Sendo Q a variável de estado ($Q=0$ em S_0), numa implementação baseada em *flip-flops* D as equações de excitação e saída são, respetivamente:

- a) $D = x \oplus Q$; $y = x + Q$
- b) $D = x' + Q$; $y = x \oplus Q$
- c) $D = x + Q$; $y = x \oplus Q$
- d) $D = x + Q$; $y = x' + Q$



1.17. O circuito da figura inclui um registo de deslocamento de 4 *bits*, que faz deslocamento no sentido $Q_0 \rightarrow Q_3$. Assumindo que o estado inicial é $Q_3Q_2Q_1Q_0 = 1011$, o estado do circuito após 2 períodos de relógio será:

- a) $Q_3Q_2Q_1Q_0 = 0111$
- b) $Q_3Q_2Q_1Q_0 = 0110$
- c) $Q_3Q_2Q_1Q_0 = 0000$
- d) $Q_3Q_2Q_1Q_0 = 0001$



Nº mec: _____ Nome _____

2. [3 valores] Pretende-se implementar um circuito com entrada (x_3, x_2, x_1, x_0) em código BCD₈₄₂₁ e saída (y_3, y_2, y_1, y_0) em código auto-complementar BCD₆₄₂₋₃. Note ainda que nas primeiras 5 palavras do código de saída se deve ter $y_3 = 0$.

2.1. (1). Construa a tabela de verdade deste bloco de transcodificação.

2.2. (2). Adotando uma estratégia de projeto de custo mínimo, implemente a saída y_2 usando apenas um multiplexer 4:1 e portas elementares de duas entradas. Admita que dispõe das entradas e seus complementos e das constantes “0” e “1”. As entradas de seleção do multiplexer devem obrigatoriamente ligar-se às entradas (x_3, x_2) . Justifique sucintamente a sua solução.

3. [2 valores] Um determinado circuito combinatório tem 6 entradas $(x_3, x_2, x_1, x_0, A, B)$ e uma saída F . O circuito comporta-se de acordo com algoritmo descrito a seguir. Implemente-o com base em 2 blocos combinatórios conhecidos e portas elementares. Minimize o número de componentes.

```
if ( $x_3 = 1$ )  
     $F = A \oplus B$ ;  
elseif ( $x_2 = 1$ )  
     $F = (A \oplus B)'$ ;  
elseif ( $x_1 = 1$ )  
     $F = A.B$ ;  
else  
     $F = (A.B)'$ ;  
endif
```

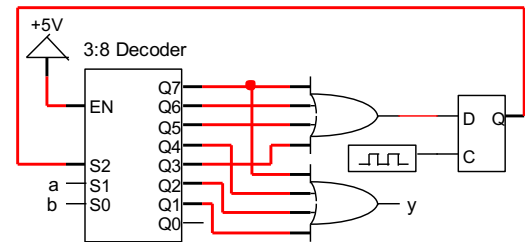
Nº mec: _____ Nome _____

4. [5 valores] Considere o circuito sequencial síncrono da figura, com 2 entradas (a, b) e uma saída y .

4.1. (2). Deduza a tabela de transição de estados/saída e o correspondente diagrama de estados/saída. Para ilustrar o funcionamento, obtenha a sequência de valores de Q e y correspondentes à seguinte sequência das entradas:

a 10111

b 00110



4.2 (1) Este circuito corresponde a uma versão série dum bloco aritmético. Qual? Justifique a sua resposta, identificando o papel desempenhado nesse bloco pelas entradas (a, b), pela variável de estado (Q) e pela saída (y).

4.3 (2) Mostre, através dum diagrama de estados, que o circuito da figura abaixo permite dois ciclos de contagem, sendo a selecção do ciclo desejado feita através da entrada S . Identifique esses ciclos de contagem.

