

Universidade de Aveiro
Dep. de Electrónica, Telecomunicações e Informática
Laboratório de Sistemas Digitais
Mini-projeto
Ano letivo 2018/19

1. Introdução

De forma a preparar e facilitar o desenvolvimento do projeto final, é disponibilizado este enunciado de um mini-projeto que deve ser realizado de forma autónoma, em grupos de 2 alunos (definidos em cada turma prática) e submetido até às 23:55 de 12 de abril de 2019. Este mini-projeto é igual para todos os alunos, e tem como objetivo fundamental a interiorização e consolidação de conceitos e técnicas a aplicar no projeto final. O mini-projeto é avaliado com um peso de 10% na classificação da componente prática da unidade curricular.

2. Descrição

Pretende-se conceber, modelar em VHDL, simular, sintetizar, implementar na FPGA e testar no *kit* Terasic DE2-115 um temporizador horário com contagem temporal decrescente. As principais especificações do temporizador são:

- deverá possuir 4 dígitos, representando respetivamente segundos e centésimas de segundo na forma “**ss:cc**”, em decimal. O valor dos segundos deve variar entre “**59**” e “**00**” e o das centésimas entre “**99**” e “**00**”;
- o controlo do temporizador deverá ser realizado por intermédio de 2 botões: *start/stop* e *pause/reset*;
- quando o temporizador está parado, o botão *start/stop* coloca-o em funcionamento e vice-versa. Após um *start*, o temporizador recomeça a contagem decrescente do tempo a partir do valor de (“**ss:cc**”) em que foi anteriormente parado;
- o botão *pause/reset* desempenha uma de duas funções, dependendo do estado de funcionamento do temporizador:
 - quando o temporizador está em funcionamento (contagem de tempo ON), premir o botão *pause/reset* guarda e mantém estável o valor do tempo apresentado nos *displays* de 7 segmentos (*display freeze*). O temporizador, contudo, continua a funcionar de forma normal mantendo o seu processo de contagem decrescente do tempo. Premindo o botão *pause/reset* novamente, deve ser desbloqueada a visualização do valor do temporizador, pelo que passa novamente a observar-se o valor do mesmo nos *displays* de 7 segmentos (*display unfreeze*);
 - quando o temporizador **não está** em funcionamento (contagem de tempo OFF), premir o botão *pause/reset* efetua o *reset* ao valor do temporizador, inicializando-o com o valor “**59:99**”;
- quando o temporizador atingir o valor “**00:00**” deverá parar a contagem e sinalizar essa situação ativando um led.

Deve ser respeitada a seguinte restrição fundamental de projeto: o sistema deve utilizar um sinal de *clock* de 50 MHz para todos os componentes síncronos, apesar do campo **cc** ser decrementado à frequência de 100 Hz. Para tal, deverá obrigatoriamente usar, como *clock* global do sistema, o sinal **CLOCK_50** disponibilizado no *kit*.

3. Implementação

A implementação deste sistema deve seguir uma estratégia faseada, de acordo com a descrição que se segue.

- a) A cada uma das fases deve corresponder a um novo projeto (no *Quartus Prime*) para o qual deverá:
- definir, no seu log book, uma arquitetura adequada para o sistema, e elaborar um diagrama lógico completo com todos os módulos, portas e ligações que o constituem;
 - efetuar a modelação em VHDL de cada um dos blocos; o *top-level* deverá ser implementado preferencialmente com recurso a representação estrutural em VHDL;
 - simular o comportamento dos blocos mais relevantes e do sistema global;
 - sintetizar e implementar o circuito, testando-o convenientemente no *kit* DE2-115.
- b) Os módulos instanciados e interligados no *top-level* devem ser tipicamente portas lógicas, (des)codificadores, multiplexadores, registos, contadores, circuitos aritméticos, comparadores ou outros de complexidade análoga que considerar necessários para a implementação do sistema. Defina a arquitetura do sistema, decompondo-o adequadamente, de forma a facilitar o seu desenvolvimento e validação.

Fase 1 (funcionalidade base)

Implemente um sistema inicial assumindo as seguintes simplificações: o temporizador deve iniciar com o valor máximo ("59:99"). Após premida a tecla *start* o temporizador deve iniciar a sua contagem decrescente até atingir o valor final ("00:00"). Nessa altura deve parar a contagem e acender um led. Se, em qualquer momento, for premido o botão de *reset*, a contagem deve ser parada e o valor máximo reposto ("59:99"). O valor do temporizador deve ser visualizado nos *displays* de 7 segmentos do *kit* DE2-115.

Fase 2 (funcionalidade start/stop)

Adapte o sistema de forma a que o botão *start/stop* passe a permitir a interrupção da contagem em qualquer altura. Premindo novamente o botão *start/stop* a contagem é retomada, caso não tenha já terminado. O botão de *reset* continua a ter a funcionalidade definida na fase 1.

Fase 3 (módulo base completo)

Altere finalmente o seu sistema para acrescentar a funcionalidade de *pause/reset*. Note que, na versão completa, o *reset* só funciona se o temporizador estiver parado. Releia com atenção a funcionalidade desse botão descrita no ponto 2.

Fase 4 – opcional (programação de um valor inicial arbitrário)

Adicione ao temporizador a capacidade de o utilizador especificar o valor inicial (de partida) após um *reset*. Assegure que isto é feito de uma forma amigável, intuitiva e poupada em termos de dispositivos de interface com o utilizador (interruptores, botões, LEDs e *displays* de 7 segmentos do *kit* DE2-115). Este valor nunca poderá ser, contudo, superior ao valor de *reset* por omissão ("59:99").

5. Submissão

O mini-projeto deverá ser submetido através do *site* da unidade curricular, em *link* a disponibilizar na secção "Submissão de Elementos de Avaliação". A submissão deve ser efetuada num único ficheiro .zip ou .tgz que inclua os 3 diretórios correspondentes aos projetos das 3 fases de desenvolvimento (fase 1, fase 2 e fase 3). Caso tenha realizado a parte opcional, acrescente o diretório respetivo.

De cada um desses diretórios deverão constar, obrigatoriamente:

- os ficheiros do projeto gerados pelo *Quartus Prime* (.qpf, .qsf, .qws);
- os ficheiros .vhd e .bdf desenvolvidos;

- os ficheiros usados na simulação dos módulos desenvolvidos (.vwf);
- o ficheiro .sof que permita a programação imediata da FPGA com o sistema desenvolvido;
- um diagrama de blocos do sistema.

Antes de gerar o ficheiro .zip/.tgz deverá eliminar as pastas: "db", "incremental_db", e "simulation" (isto permite diminuir significativamente a dimensão do ficheiro a submeter).

O ficheiro a submeter deverá ser designado por "lsdig_mp_p#_nmec1_nmec2.zip" ou "lsdig_mp_p#_nmec1_nmec2.tgz" em que "#" deve ser substituído pelo número da turma e "nmec1" e "nmec2" devem ser substituídos pelos números mecanográficos dos alunos do grupo. O ficheiro .zip/.tgz submetido deve incluir também um ficheiro de texto com uma breve descrição do trabalho realizado/completado e a divisão percentual da contribuição de cada um dos elementos do grupo.

6. Avaliação

A avaliação e classificação do mini-projeto baseia-se nas seguintes regras gerais:

- a cada trabalho será atribuída uma classificação entre 0 e 20 (arredondada às unidades);
- a classificação atribuída será função da qualidade do trabalho (fases completadas com sucesso, simulação, teste no *kit*, qualidade das soluções), cumprimento das regras e eventual atraso no instante de submissão;
- a atribuição de classificações individuais a cada um dos membros do grupo terá em conta a divisão relativa (percentual) do trabalho realizado pelos elementos do grupo, declarada na submissão do mesmo.

PDF gerado em 19/03/2019