

B2B32DITA

Laboratorní úloha č. 6

Děličky frekvence, digitální stopky s výstupem na displej

Postup práce

1. Nejprve prostudujte úkol dne na Moodle.

a) Využití PLL fázového závěsu pomocí IP Cores

2. Založte si ve složce vašich projektů novou složku (např. `stopky`, či `stopky_final`). Všechny soubory a podsložky z úlohy č. 5 nakopírujte do nové složky.
3. Najděte hlavní soubor projektu „*stopky.qpf*“
Spusťte soubor.
Prostředí Quartus se spustí a v něm se otevře daný projekt.
Zařaďte zkopírované soubory do aktuálního projektu.¹
Dvojklikem následně otevřete top-level entitu projektu v levém okně programu Quartus v okně *Project Navigator*.
4. Vložte do projektu VHDL kód komponenty `p11` vytvořené pomocí IP Cores², viz dále.

1 – V levém horním okně *Project Navigator* zvolte *Files*.

Objeví se složka, dvakrát na ni klikněte, zobrazí se okno *Settings*..

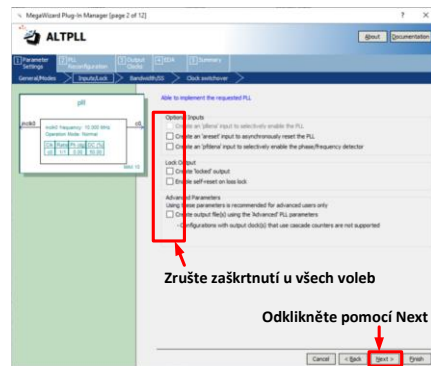
V horním řádku okna *Settings* --> *Files* najděte soubory, které chcete vložit do projektu.

Po výběru souborů okno zavřete pomocí *OK*.

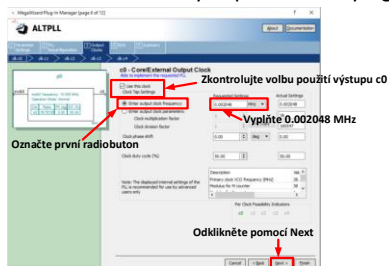
V okně *Project navigator* jsou nyní vidět i soubory nově přidané do projektu.

2 - Jde o fázový závěs, který realizuje děličku frekvence v prvním stupni pro vydělení vstupního hodinového signálu 10 MHz na výstupní takt 2048 Hz.

5. Najděte fázový závěs ALTPLL v knihovně (*Basic Functions* → *Clocks; PLLs and Resets* → *PLL*).
6. V okně s názvem *Save IP Variation* zkontrolujte cestu projektu digitálních stopek a zvolte vhodný název výsledné entity, např. *pll*.
Změňte volbu přepínače na „VHDL“ a potvrďte pomocí *OK*.
7. V dalším okně (má číslo 1) změňte hodnotu frekvence vstupního hodinového signálu na 10 MHz.
Zbylé volby a možnosti ponechte a klikněte na tlačítko *Next*.
8. V okně číslo 2 zrušte zaškrtnutí u všech voleb.
Pokračujte *Next*.



9. Další tři okna (3, 4 a 5) pouze odklikněte pomocí *Next*.
10. V okně 6 nastavte výstupní hodinový signál a jeho frekvenci.¹



11. Dalších 5 oken (7 až 11) jen odklikejte pomocí *Next*.
12. V posledním okně (číslo 12) zkontrolujte, že je zaškrtnuta z nabídky výstupů pouze volba „*pll.cmp VHDL component declaration file*“.
Klikněte na tlačítko *Finish*.

1 – Zkontrolujte, že je zaškrtnuta volba „*Use this clock*“.
Změňte stav přepínače na „*Enter output clock frequency*“.
Do pole „*Requested Settings*“ vyplňte frekvenci 2048 Hz (*0.002048 MHz*).
Ostatní hodnoty ponechte beze změny a pokračujte *Next*.

b) Vytvoření děličky typu 2^w

13. Vytvořte v projektu nový soubor pomocí menu *File* → *New...*¹
Vytvoří se prázdný soubor pro zápis VHDL kódu.
Soubor uložte².
Zvolte vhodný název souboru např. *delicka*.
14. Do souboru vytvořte VHDL kód pro realizaci děličky frekvence typu 2^w pro vydělení vstupního signálu 2048 Hz na výstupní 1 Hz.
Zkopírujte předpřipravenou část VHDL kódu této děličky z kapitoly 2 teoretického úvodu.
Upravte a doplňte VHDL kód na základě domácí přípravy (úkol č. 2), neuvažujte vstup *Reset*.
Uložte vytvořený modul a celý projekt.³

1 – Z nabídky zdrojů vyberte položku „VHDL File“ v sekci „Design Files“ a potvrďte pomocí *OK*.

2 – V menu „File“ zvolte „Save As...“. V nově otevřeném okně zkontrolujte, že soubor bude uložen ve složce projektu.

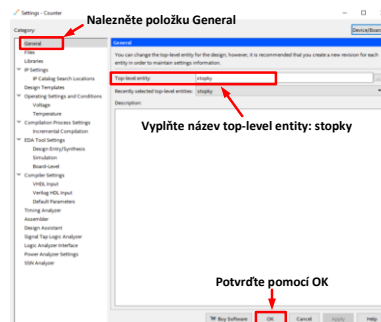
Zkontrolujte, že soubor má příponu „.vhd“.

Zkontrolujte, že volba „Add file to current project“ je zaškrtnuta a klikněte na tlačítko *Uložit*.

3 – V menu *File* → *Save All* s ikonou několika disket za sebou v hlavní nabídce programu Quartus.

c) Dokončení digitálních stopek, využití logického analyzátoru

15. Vraťte se zpět k VHDL kódu top-level entity `citac_7segment`¹.
16. Přejmenujte entitu z `citac_7segment` na `stopky`.
Přejmenujte název entity².
17. Přejmenujte top-level entitu v rámci hierarchie celého projektu.³



1 – pokud jste jej pojmenovali v souladu s návodem.

2 – Přejmenování proveděte:

- v její úvodní deklaraci, *entity stopky is*,
- dále na konci deklarace portů entity, *end stopky*;
- a nakonec v deklaraci architektury, *architecture Structural of stopky is*.

3 – V hlavní liště ikon programu Quartus klikněte na ikonu *Settings*, případně spusťte okno *Settings* pomocí nabídky *Assignments* → *Settings...*

Otevře se okno s názvem *Settings*.

Najděte v něm první záložku s názvem *General*.

V tomto okně na řádku *Top-level entity*: vyplňte nový název entity, tedy *stopky*.

Potvrďte celé okno kliknutím na *OK*.

c) Dokončení digitálních stopek, využití logického analyzátoru

18. Upravte a doplňte VHDL kód na podle domácí přípravy (úkol č. 3), využijte předpřipravený VHDL kód z kapitoly 5 teoretického úvodu.
Doplňte v deklaraci portů entity porty pro vyvedení hodinových výstupů pro připojení log. analyzátoru.
Doplňte dvojici signálů pro propojení komponent nově vytvořených děliček kmitočtů (obr. 15 v kapitole 5)
V sekci deklarace architektury rovněž doplňte deklaraci dvojice nových komponent – fázového závěsu, `p11`, a děličky frekvence typu `2W, delicka`.
V těle architektury doplňte mapování dvojice nových komponent – fázového závěsu, `p11`, a děličky frekvence typu `2W, delicka`.
V případě mapování děličky typu `2W` nezapomeňte na mapování parametrů, `generic map`.
Nakonec doplňte přiřazení hodinových signálů na výstupy pro připojení log. analyzátoru, viz VHDL kód v kapitole 5 teoretického úvodu.
Uložte celý projekt.¹
19. Spusťte kompilaci projektu.²

1 – V menu *File* → *Save All* s ikonou několika disket za sebou v hlavní nabídce programu Quartus.

2 – Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus.

Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně *Tasks* uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek).

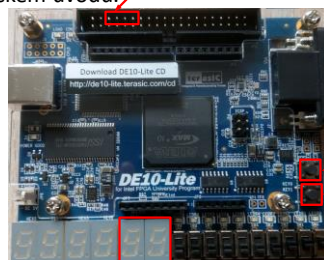
Počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách.

Proveďte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora.

Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.

c) Dokončení digitálních stopek, využití logického analyzátoru

20. V případě úspěšně zkompilevaného projektu přiřaďte vstupům/výstupům jejich fyzické zapojení na přípravku DE10-Lite.²
21. Ve sloupečku *Location* uveďte u každého portu v seznamu jeho přiřazení na správný pin přípravku.² Tomuto přiřazení odpovídají 2 tlačítka (KEY0 a KEY1) u pravého okraje přípravku a dvojice 7segmentových displejů ve spodní části přípravku a trojice pinů v GPIO konektoru pro připojení log. analyzátoru Kingst LA1010 dle obr. 12 v teoretickém úvodu.



Vstup/výstup	Pin	I/O Standard
Clock	N5	*
Reset	B8	2.5 V Schmitt Trigger
Stop	A7	2.5 V Schmitt Trigger
Clock_1out	V5	*
Clock_10out	W8	*
Clock_2048out	W7	*
digit1[0]	C14	*
digit1[1]	E15	*
digit1[2]	C15	*
digit1[3]	C16	*
digit1[4]	E16	*
digit1[5]	D17	*
digit1[6]	C17	*
digit2[0]	C18	*
digit2[1]	D18	*
digit2[2]	E18	*
digit2[3]	B16	*
digit2[4]	A17	*
digit2[5]	A18	*
digit2[6]	B17	*

1 – V hlavní horní liště ikon klikněte tedy na ikonu *Pin Planner*, případně vyberte v menu *Assignments* → *Pin Planner*.

Otevře se okno *Pin Planner* pro přiřazování pinů vstupům/výstupům v projektu.

Ve spodní části okna *Pin Planneru* se nachází seznam všech vstupů a výstupů definovaných v projektu (schématu či top-level entitě projektu).

2 – Protože jsme již řadu pinů přiřadili v laboratorní úloze č. 5 a toto přiřazení jsme přepokopírovali spolu s celým projektem, postačí u některých vstupů a výstupů pouze zkontrolovat, zda je přiřazení v pořádku.

Zkontrolujte a případně vyplňte či upravte postupně sloupeček *Location*.

V případě tlačítek realizujících vstupy *Stop* a *Reset* navíc ve sloupečku *I/O Standard* zvolte v menu možnost „2.5 V Schmitt Trigger“.

Kromě tlačítkových vstupů *Stop* a *Reset* u žádných dalších vstupů/výstupů automaticky vyplněnou hodnotu, 2.5 V, neměňte!

c) Dokončení digitálních stopek, využití logického analyzátoru

22. Připojte přípravek *Terasic DE10-Lite* pomocí USB kabelu do PC.¹
23. V okně *Tasks* (levé dolní okno) klikněte dvakrát levým tlačítkem na položku „*Program Device (Open Programmer)*“.
Spustí se okno pro naprogramování přípravku DE10-Lite s názvem *Programmer*.
24. Zkontrolujte, že je přes USB rozhraní korektně načten přípravek DE10-Lite s FPGA MAX 10.²
Klikněte na tlačítko „*Start*“.
V okénku „*Progress*:“ proběhne naprogramování přípravku, pokud je vše v pořádku, zobrazí se „*100% (successful)*“ v zeleném poli.
25. Otestujte funkčnost a správnost navrženého čítače-stopek.³
Výsledek ukažte učiteli.

1 – Poznámka: dvojice zelených LED, jedna na levém okraji přípravku (tzv. POWER GOOD) a jedna v levém horním rohu přípravku (tzv. CONF_D), by se měla rozsvítit.

2 – V levém horním rohu okna *Programmer* klikněte na tlačítko „*Hardware Setup...*“.
V tomto okně v položce „*Currently selected hardware*:“ rozklikněte roletové menu a vyberte položku „*USB-Blaster [USB-0]*“.

Zavřete okno pomocí *Close*.

Zkontrolujte, že ve spodní části okna se nachází FPGA pole s označením 10M50DAF484ES.

Ověřte, že v horní části okna je vybrán soubor pro naprogramování FPGA pole z aktuální složky projektu.

Zkontrolujte, že je zaškrtnuta volba ve sloupečku *Program/Configure*.

3 – Pomocí tlačítek pro vstupy *Stop* a *Reset* a s výstupem na dvojici 7segmentových displejů zkontrolujte funkčnost a výstup stopek.

c) Dokončení digitálních stopek, využití logického analyzátoru

26. Zkontrolujte připojení logického analyzátoru Kingst LA1010 k přípravku DE10-Lite dle obr. č. 12 teoretického úvodu.¹
Na ploše PC klikněte a spusťte program pro obsluhu log. analyzátoru s názvem „KingstVIS“.
27. V horní liště programu „I/O Standard“ klikněte na symbol šipky a vyberte variantu „2.5V CMOS“. Nad volbou „I/O Standards“ klikněte na ikonu ozubeného kolečka, v položce „Channel Select“ zaškrtněte zobrazení pouze prvních 3 kanálů, CH0, CH1 a CH2.
V horní liště zvolte v roletových menu vhodné nastavení vzorkovacího kmitočtu a počet vzorků pro správnou analýzu jednotlivých hodinových signálů (viz kapitulu 4 z teoretického úvodu).
28. Spusťte vlastní vzorkování a analýzu pomocí symbolu zeleného trojúhelníku („play“) v horní liště programu.
29. Najedte kurzorem myši do zobrazeného navzorkovaného průběhu vybraného kanálu a pomocí kolečka myši jej vhodně zobrazte. Odečtěte hodnoty šířka pulzu v ns, perioda průběhu v ns, střída signálu v % a z toho vypočítaná frekvence v Hz, které se budou zobrazovat v pravé části okna při přejíždění kurzoru myši přes signál. Projedte větší počet vzorků signálu a zaznamenejte si, zda se mění hodnoty signálu (zejména frekvence) a jak.²

1 – Zkontrolujte, že analyzátor je připojen k PC a (pulzuje LED Status).

2 – jak ukazuje obr. č. 13 v teoretickém úvodu.

c) Dokončení digitálních stopek, využití logického analyzátoru

30. V pravé části okna „*Measurements*“ klikněte na symbol plus „+“ v položce „*Analyzers*“. V nabídce vyberte možnost „*PWM*“. V otevřeném okně vyberte číslo kanálu, který chcete analyzovat, a dále pod touto nabídkou zaškrtněte volby „*Period*, *Frequency* a *Duty Cycle*“, zbylé volby ponechte odznačené. Klikněte OK.¹
31. Zaznamenejte případné změny frekvence u analyzovaného signálu.
32. Opakujte celý postup měření a analýzy pro všechny hodinové signály, 10 MHz, 2048 Hz a 1 Hz od bodu č. 27 v tomto návodu.
Pro vzorkování 10 MHz signálu zvolte vzorkovací kmitočet 80 či 100 MHz, pro 2048 Hz zvolte 2 MHz a pro 1 Hz signál pak postačuje vzorkování pomocí 20 kHz, nastavení počtu vzorků ovlivní zejména dobu vzorkování.
33. Zaznamenejte si změřené frekvence a střidy. Výsledky ukažte učiteli.

1 – jak ukazuje obr. č. 14 v teoretickém úvodu.

c) Dokončení digitálních stopek, využití logického analyzátoru

34. Zavřete okno *Programmer*.

Zavřete celý projekt *File* → *Close Project*, ukončete program Quartus.

Zavřete a ukončete rovněž programy pro obsluhu logického analyzátoru.

Odhlaste se z PC.