

Teoretický úvod – laboratorní úloha číslo 1

Práce s logickými integrovanými obvody, dynamické parametry, hazardy

1. Integrované obvody technologie TTL a CMOS

I dnes, přes dostupnost programovatelných logických polí FPGA a PLD, jsou stále často využívány integrované logické obvody obsahující základní logická hradla, klopné obvody, čítače a další logické bloky pro realizaci jednoduchých obvodů a zapojení.

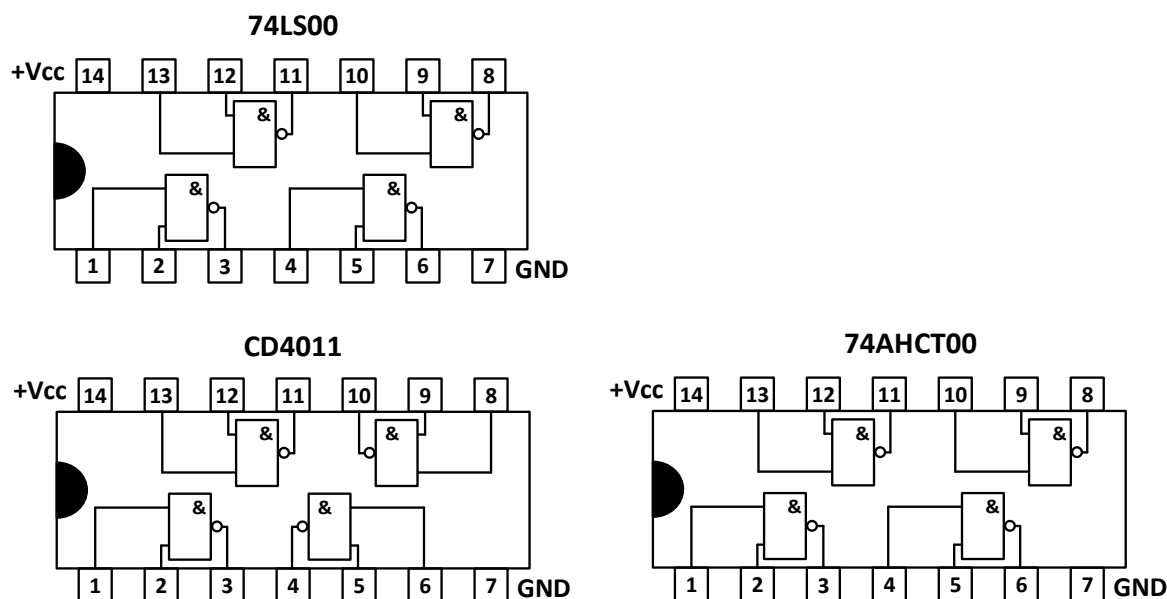
Postupem času a v souvislosti se zdokonalováním výrobních procesů, byly využity různé technologie pro realizaci integrovaných logických obvodů, z nichž nejvýznamnější jsou tzv. tranzistorově-tranzistorová logika TTL a z ní odvozené varianty a tzv. komplementární MOS logika CMOS a její další vývojové stupně. Podrobněji jsou tyto technologie a další popsány v použité literatuře a v přednáškách předmětu.

V rámci této laboratorní úlohy bude k dispozici jeden integrovaný obvod 74LS00¹, který obsahuje 4 dvouvstupová hradla NAND v technologii TTL s použitím tzv. Schottkyho tranzistoru se sníženou spotřebou (LS), a dále dvojice integrovaných obvodů z technologie CMOS. Ty zastupuje z dnešního pohledu již zastaralý obvod CD4011, který obsahuje 4 dvouvstupová hradla NAND vyrobená technologií CMOS první generace, a také obvod 74AHCT00², který naopak představuje jeden z nejmodernějších běžně dostupných integrovaných obvodů technologie CMOS a který rovněž obsahuje čtveřici dvouvstupových hradel NAND. Obr. č. 1 představuje schémata všech tří logických obvodů s vyznačením zapojení jejich vývodů.

Jedním z úkolů je změřit dobu zpoždění při překlápění hradel NAND obvodů 74LS00, CD4011 a 74AHCT00 a vzájemně porovnat jejich hodnoty jak z hlediska technologií výroby TTL a CMOS, tak i z hlediska vývoje jejich parametrů a pokroku. Dobou zpoždění překlápění logického hradla je myšlena časová prodleva mezi okamžikem, kdy logický signál na vstupu logického členu při přechodu dosáhne rozhodovací úrovně a okamžikem, kdy na tuto změnu na vstupu zareaguje logický člen překlopením svého výstupu do patřičného logického stavu. Toto zpoždění souvisí s fyzickou realizací logických hradel pomocí reálných bipolárních (TTL) a unipolárních (CMOS) tranzistorů v použitých integrovaných obvodech a je dané fyzikálními parametry a vlastnostmi daných tranzistorů, více viz přednášky. Tato doba zpoždění a její akumulace může vést v logických kombinačních obvodech ke vzniku tzv. logických hazardů.

¹ Zkratka LS představuje Low power Schottky.

² Zkratka AHCT představuje Advanced High-speed CMOS kompatibilní s TTL úrovněmi.



Obr. č. 1: Schéma zapojení vývodů integrovaných obvodů 74LS00, CD4011 a 74AHCT00.

2. Logické hazardy v kombinačních logických obvodech

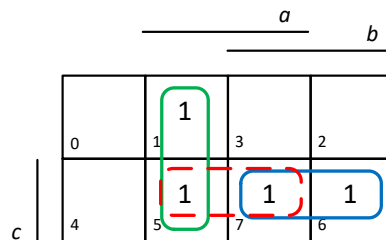
Hazardem v kombinačních logických obvodech rozumíme nežádoucí stav, kdy se na krátký časový okamžik na výstupu daného logického obvodu vyskytuje nesprávná logická hodnota, která nesouhlasí s pravdivostní tabulkou (mapou, algebraickým zápisem) realizované logické funkce. Hazardy v kombinačních logických obvodech vznikají vlivem nedokonalosti fyzikální realizace funkce logickým obvodem, obvykle zpožděním a různou dobou šíření jednotlivých logických proměnných ze vstupu na výstup obvodu.

Logické hazardy můžeme rozdělit dle několika kritérií jejich vzniku a stavů, v této laboratorní úloze se budeme zabývat tzv. statickým hazardem. Ten vzniká v kombinačním logickém obvodu obvykle v případě, kdy pro dvojici po sobě následujících vstupních kombinací proměnných odpovídá dle pravdivostní tabulky (mapy, algebr. zápisu) funkce stejná hodnota.

Statické hazardy rozdělujeme dále na tzv. statický hazard v logické 1, kdy při realizaci vycházíme z disjunktí formy funkce a funkci realizujeme pomocí hradel NAND a statický hazard v logické 0, kdy je naopak výchozí formou konjunkční tvar funkce a realizujeme ji pomocí hradel NOR. Statický hazard tak můžeme popsat také jako stav, kdy pro dvě sousední vstupní kombinace logických proměnných dle pravdivostní tabulky funkce má být hodnota výstupní funkce logická 1 nebo 0, a jestliže existuje přechodný stav, během něhož se na výstupu objeví na krátkou dobu opačné hodnoty, než jaké očekáváme, pak vznikl statický hazard v hodnotě logické 1 respektive 0. Místo očekávané výstupní hodnoty se tak na výstupu obvodu objeví sekvence střídajících se logických 1 a 0, např. 0101, 1010 apod.

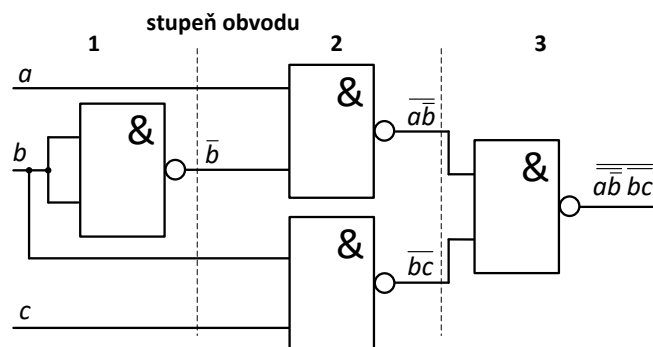
Pro analýzu obvodu a jeho vyšetření na vznik statického hazardu vycházíme z jeho realizace pomocí hradel, algebraického zápisu jeho výstupní funkce, Karnaughovy mapy apod. K podrobnému vyšetření patří tzv. časový diagram činnosti logického obvodu. Odstranění statického hazardu obvykle řešíme pomocí úpravy struktury zapojení (realizace) obvodu. Logická funkce takto realizovaného obvodu však již není v minimální formě.

Uveďme pro ukázkou realizaci logického obvodu, jeho vyšetření na vznik hazardů a jeho případné odstranění. Úkolem je realizovat logickou funkci zadanou pomocí zkráceného seznamu stavových indexů pomocí jejího disjunktčního tvaru s použitím hradel NAND: $f = 1, 5, 6, 7$. Obr. č. 2 ukazuje funkci přepsanou do Karnaughovy mapy pro získání její minimální disjunktční formy. Obr. č. 3 představuje její realizace pomocí hradel NAND.



Obr. č. 2: Karnaughova mapa pro získání minimální disjunktční formy zadané funkce.

$$f = a\bar{b} \vee bc = \overline{\overline{a\bar{b}}} \vee \overline{\overline{bc}} = \overline{\overline{a\bar{b}} \cdot \overline{bc}}.$$



Obr. č. 3: Realizace minimální disjunktční formy zadané funkce pomocí hradel NAND.

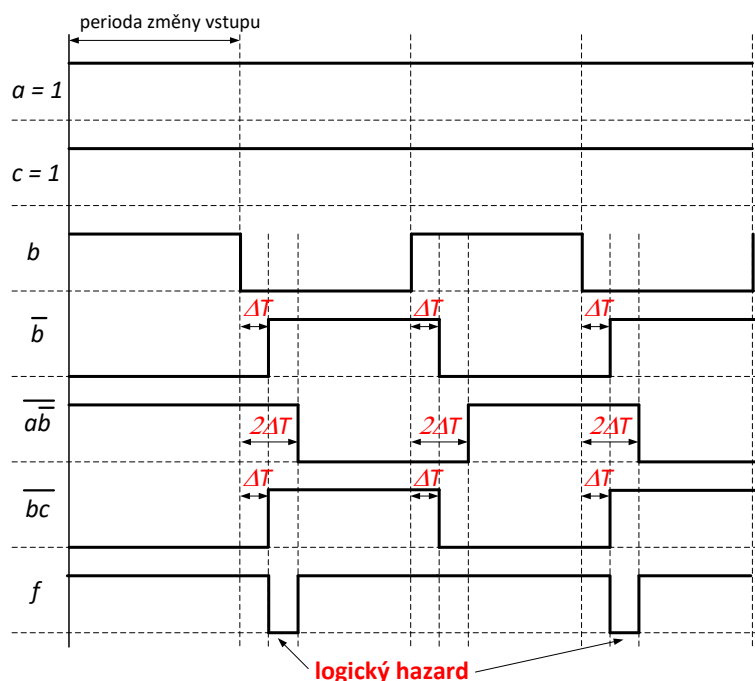
S ohledem na výlučné použití hradel typu NAND pro realizaci zadané funkce bylo využito jedno hradlo NAND pro zapojení negace vstupní proměnné b (spojením vstupů hradla). Obr. č. 3 naznačuje tzv. stupně obvodu; je zřejmé, že v horní větvi obvodu se proměnná b šíří ze vstupu na výstup skrz 3 hradla NAND (stupeň obvodu 3), zatímco spodní větev jen skrz dvojici hradel NAND (stupeň 2) a na vstup hradla NAND ve třetím stupni obvodu se tak bude dostávat s různým zpožděním. Jinou metodou použitelnou pro odhad vzniku logického hazardu je využití Karnaughovy mapy funkce, ze které je patrné, že v mapě existují dvě smyčky, které obsahují proměnnou b , jedna v přímém a druhá v negovaném tvaru, ale v mapě není použita smyčka, která tyto dva stavy překrývá (červená čárkovaná). Díky tomu existuje možnost vzniku statického hazardu v logické 1 mezi stavy s indexy 5 a 7. Tab. č. 1 ukazuje tuto dvojici indexů spolu s kombinacemi vstupních proměnných.

Tab. č. 1: Vyšetření statického hazardu v logické 1 daného logického obvodu.

index N	c	b	a	f
5	1	0	1	1
7	1	1	1	1

Z tabulky vyplývá, že tento stav potenciálně nastává, pokud proměnné c i a jsou trvale ve stavu logické 1 a proměnná b přechází mezi logickou 1 a 0.

V další fázi sestavíme tzv. časový diagram obvodu, kam zakreslíme průběh na výstupech jednotlivých stupňů obvodu pro tento přechod mezi indexy 5 a 7. Uvažujeme stejné konstantní zpoždění každého hradla ΔT .

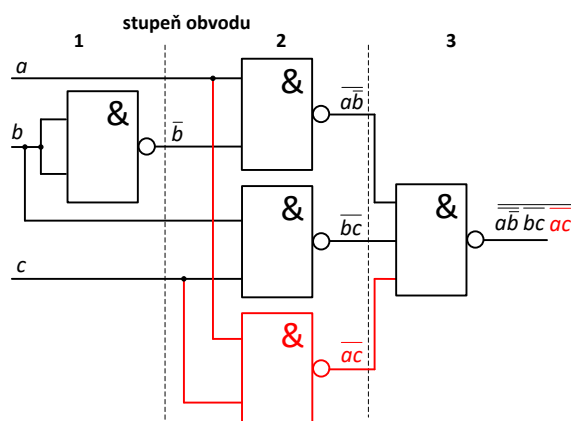


Obr. č. 4: Časový diagram navrženého obvodu se vznikem logického hazardu.

Vznik hazardu vidíme na průběhu výstupní funkce obvodu f jako krátkou změnu funkční hodnoty. Tato změna neodpovídá předpisu pravdivostní tabulky, výstup v obou indexech 5 i 7 by měl být konstantně logická 1. Časový průběh můžeme sledovat i pomocí osciloskopu. Pro odstranění statického hazardu funkce f použijeme metodu úpravy struktury zapojení. Obr. č. 2 ukazuje, že v Karnaughově mapě chybí smyčka přes indexy 5 a 7 (červená čárkovaná), jejímž přidáním minimální normální disjunktivní formu doplníme na tvar:

$$f = a\bar{b} \vee b\bar{c} \vee \textcolor{red}{ac} = \overline{\overline{a\bar{b}} \cdot \overline{b\bar{c}} \cdot \overline{\textcolor{red}{ac}}} = \overline{a\bar{b} \cdot b\bar{c} \cdot \textcolor{red}{ac}}.$$

Obr. č. 5 znázorňuje upravenou realizaci odstraňující hazard.



Obr. č. 5: Úprava zapojení obvodu pro odstranění logického hazardu.

Vzhledem k tomu, že pro indexy 5 a 7 platí $a = c = 1$, bude výstup přidaného hradla NAND trvale ve stavu logická 0 nezávisle na vstupní proměnné b a díky tomu na vstupu hradla NAND ve třetím stupni obvodu bude vždy alespoň jedna logická 0, díky čemuž bude na jeho výstupu vždy hodnota logická 1. Pro ověření bychom opět sestavili časový diagram obvodu, obdobně jako v předchozím případě. Nevýhodou uvedené úpravy je, že se již nejedná o minimální disjunktivní tvar a minimální realizaci pomocí hradel NAND. Při odstranění statického hazardu v hodnotě 0 při realizaci vycházející z konjunktivního vyjádření funkce se postupuje obdobně s pomocí Karnaughovy mapy a časového diagramu.

3. Návrh jednoduchého multiplexoru 2 na 1

Multiplexor je jednoduchý kombinační logický obvod, který si lze představit jako programovatelný přepínač. V případě nejjednoduššího multiplexoru 2 na 1 jde na základě stavu adresového (výběrového) vstupu o přepínání jednoho z datových vstupů do jednoho společného datového výstupu.

V rámci této úlohy je naším úkolem realizovat základní multiplexor (2 na 1) se 2 datovými vstupy a , b , 1 adresovým vstupem s a 1 datovým výstupem q . Vzhledem k tomu, že multiplexor má celkem 3 vstupy (bity), bude jeho pravdivostní tabulka obsahovat 8 vstupních kombinací. Tab. č. 2 dokumentuje uvedenou situaci.

Tab. č. 2: Úplná pravdivostní tabulka navrhovaného multiplexoru.

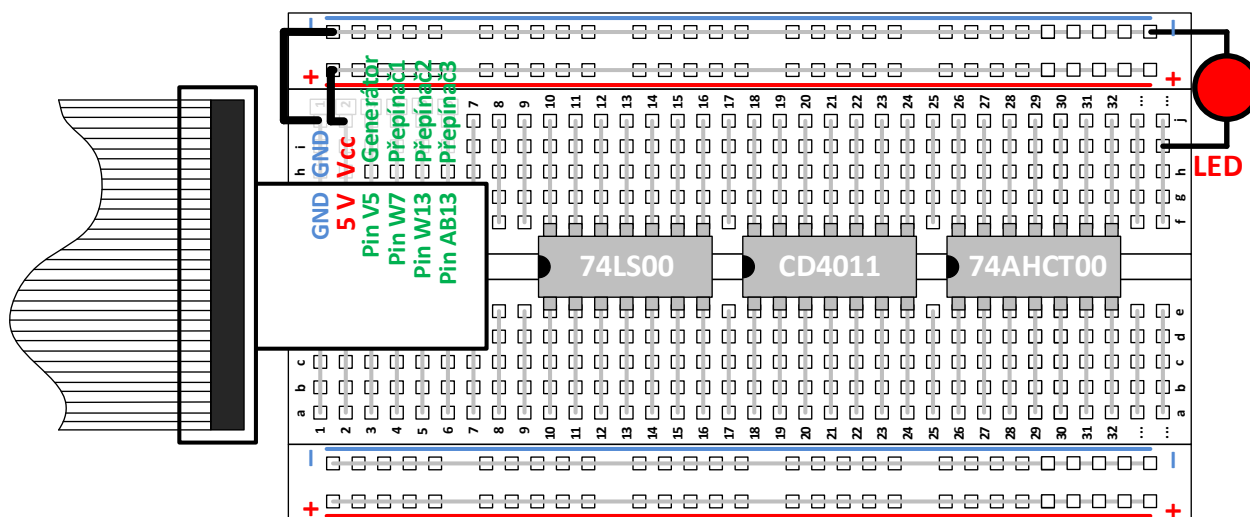
index	adresový vstup	datové vstupy		výstup
N	s	b	a	q
0	0	X	0	0
1	0	X	1	1
2	0	X	0	0
3	0	X	1	1
4	1	0	X	0
5	1	0	X	0
6	1	1	X	1
7	1	1	X	1

		a	b
	1	1	
0	1	3	2
		1	1
4	5	7	6
s			

Tu pak upravíme pro realizaci pomocí hradel NAND.

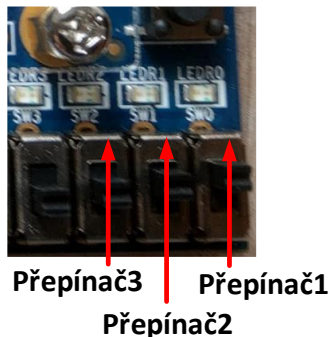
Pro práci s integrovanými logickými obvody, pro měření jejich charakteristik a realizaci multiplexoru slouží v této laboratorní úloze přípravek nepájivého pole se zapojenými obvody a vývody napájení, generátoru a přepínačů. Pro realizaci výstupu multiplexoru je na přípravku červená indikační LED. Obr. č. 7 znázorňuje pole se součástkami i se svítivou diodou LED.





Obr. č. 7: Zapojení přípravku nepájivého pole s integrovanými obvody a prvky.

V horní levé části pole jsou připojeny vývody generátoru do řádku č. 1, *přepínače1* do řádku č. 2, *přepínače2* do řádku č. 3 a *přepínače3* do řádku č. 4. Dále je do přípravku nepájivého pole zapojeno napájení *Vcc* a zem *GND* do horních linek + a -. Ve vlastním nepájivém poli jsou pak umístěny všechny 3 integrované obvody používané v této laboratorní úloze a rovněž LED dioda, která slouží pro indikaci stavu výstupu multiplexoru. Ta má již připojenou katodu do linky *GND* a anodu do jedné z volných řádků pole. Přípravek nepájivého pole je připojen ke kitu DE10-Lite, z něhož je odebíráno napájení, zem, výstup generátoru a *přepínače1*, 2 a 3. Obr. č. 8 ilustruje jejich pozice a ovládání.



Obr. č. 8: Ovládání přepínačů na přípravku a kitu DE10-Lite.