

B2B32DITA

Společná ukázková laboratorní úloha

Seznámení s kitem DE10-Lite a jeho obsluhou a programem Intel Quartus

Realizace multiplexoru 2 na 1 pomocí:

- a) schematického editoru
- b) RTL popisem v jazyce VHDL

Postup práce

a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

1. Spusťte program *Quartus Lite Edition*.¹
2. Vytvořte nový projekt pomocí ikony na úvodní obrazovce *New Project Wizard*.
3. V prvním okně jen dole odklikněte *Next*.
V dalším okně specifikujte cestu pro uložení projektu.²
V další řádce vyplňte vhodný název souboru³, např. *MPX*.
Poslední řádek se jménem top-level entity bude vyplněn automaticky a okno v dolní části odklikněte *Next*.
V dalším okně ponechte volbu na možnosti „*Empty project*“ a odklikněte *Next*,
další okno opět jen odklikněte pomocí *Next*.

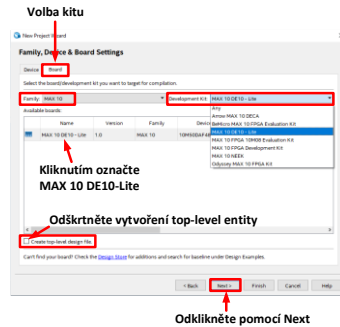
1 - Pokud se po spuštění Quartus otevře předchozí projekt, ukončete ho (*File* → *Close Project*).

2 – Zvolte pro umístění složky projektu Vaši pracovní složku na disku ve složce *Users* a v něm podsložku s Vaším přihlašovacím jménem.

3 - Nepoužívejte diakritiku, mezeru, speciální znaky a jméno nesmí začínat číslem.

a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

4. V dalším okně „New Project Wizard – Family, Device & Board Settings“ zvolte správný přípravek DE10-Lite¹.



1 - Nejprve v horní části okna překlikněte na kartu „Board“.

Zde v levém roletovém menu „Family:“ zkontrolujte, že je označena položka „MAX 10“.


V pravém roletovém menu „Development Kit:“ pak vyberte variantu „MAX 10 DE10-Lite“. Tím se v prostřední části okna „Available boards:“ objeví položka „MAX 10 DE10-Lite“.

Kliknutím levým tlačítkem myši ji označte.

Dále odškrtněte (zrušte zaškrtnutí) volby „Create top-level design file.“ ve spodní části okna a odklikněte celé okno pomocí Next.

Další okno opět jen odklikněte pomocí Next a konečně v posledním okně klikněte na Finish.

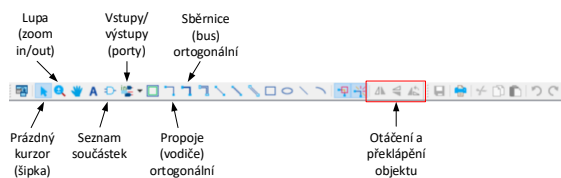
a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

5. V menu hlavního okna „*File*“ klikněte na položku „*New...*“, případně klikněte na ikonu  v hlavní liště ikon. V otevřeném okně vyberte položku „*Block Diagram/Schematic File*“ a potvrďte pomocí *OK*.
6. Otevře se hlavní plocha schematického editoru pro zakreslení schématu obvodu. Nejprve soubor uložte¹.



1 - V menu „*File*“ zvolte „*Save As...*“. V nově otevřeném okně zkontrolujte, že soubor bude uložen ve složce projektu. Název ukládaného souboru by měl odpovídat názvu projektu s příponou „.bdf“. Zkontrolujte, že volba „*Add file to current project*“ je zaškrtnuta a klikněte na tlačítko *Uložit*.

a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

7. Nyní můžete zahájit kreslení schématu zapojení multiplexoru.
Využijte pouze hradla NAND.



a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

8. Nejprve klikněte na ikonu pro nabídku součástek *Symbol Tool*  v hlavní horní liště ikon nad kreslicí plochou. V okně „*Symbol*“, které se otevře, vyplňte do pole „*Name:*“ *nand2*, v seznamu nad tímto polem vyberte součástku s názvem „*nand2*“ (dvouvstupé hradlo NAND). Pomocí ikony pro kreslení vodičů  doplňte do schématu zapojení součástek a vstupy a výstupy multiplexoru.
9. Zkontrolujte, zda jsou hradla na vodiče správně připojena!
Pokud se na vodiči objevuje symbol křížku, ✕ je v tomto místě vodič přerušen.
Pokud se na vodiči objevuje symbol uzlu, ● je v tomto místě vodič připojen do uzlu.

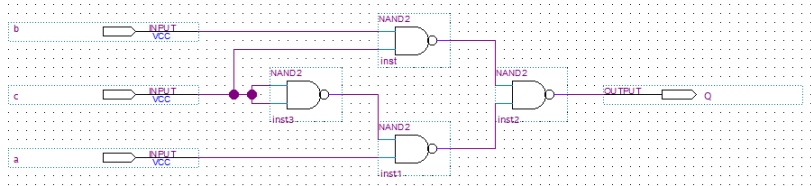
a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

10. Vyberte z lišty ikonu *vstupy/výstupy Pin Tool* a rozklikněte její nabídku pomocí šipky vedle ikony. Z nabídky vyberte vstup *Input* a připojte 3 symboly pro vstup na jednotlivé vstupy multiplexoru. Stejným postupem vyberte i výstup *Output* a připojte jej na výstup.




Dvojklikem na název „*pin_name*“ otevřete možnost pro jeho přejmenování.

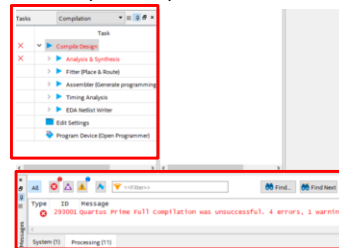
Přejmenujte vstupy multiplexoru na *a*, *b*, *c* a výstup multiplexoru na *Q* dle schématu multiplexoru v teoretickém úvodu.



a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

11. Po dokončení celého schématu jej uložte a uložte celý projekt v menu *File* → *Save All* s ikonou disket  v hlavní nabídce programu Quartus.
12. Spusťte nyní kompilaci projektu¹.
13. Proces kompilace a průběh jeho jednotlivých fází můžete sledovat v levém okně programu Quartus s názvem *Tasks* a také ve spodním okně konzole programu bude postupně uveřejňován textový výpis nejdůležitějších kroků kompilace a jejich výsledků.

Okno Tasks a průběh kompilace



Konzole a textový výpis průběhu kompilace

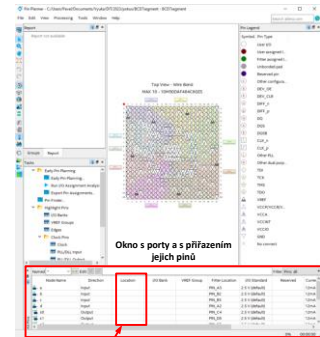
1 – Postup: Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus. Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně *Tasks* uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek) a počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách. Proveďte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora. Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.

a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

14. Další fází je definice a přiřazení vstupům/výstupům jejich fyzické zapojení na přípravku DE10-Lite a přiřazení tzv. pinů na desce přípravku. V hlavní horní liště ikon klikněte tedy na ikonu *Pin Planner*.

15. Ve spodní části okna *Pin Planneru* se nachází seznam všech vstupů a výstupů definovaných v projektu (schématu či top-level entitě projektu). Ve sloupečku *Location* uveďte u každého portu v seznamu jeho přiřazení na správný pin přípravku. Kliknutím levým tlačítkem dojde k otevření roletového menu, ve kterém lze daný pin vyhledat, případně lze klávesnicí ručně pin napsat. Použijte toto přiřazení:

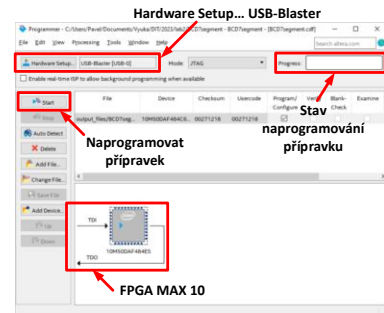
Vstup/výstup	a	b	c	Q
Pin	C10	C11	D12	A8



Ve sloupečku *Location* uveďte přiřazení pinu ke každému portu

a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

16. Po přiřazení všech pinů a vstupů/výstupů program *Pin Planner* v pravém horním rohu křížkem zavřete. Spusťte novou kompilaci celého projektu.¹
17. Připojte nyní přípravek Terasic DE10-Lite pomocí USB kabelu do PC.² V okně *Tasks* (levé dolní okno) klikněte dvakrát levým tlačítkem na položku „Program Device (Open Programmer)“.
18. Zkontrolujte, že je přes USB rozhraní korektně načten přípravek DE10-Lite s FPGA MAX 10.³ Klikněte na tlačítko „Start“.
V okénku „Progress:“ proběhne naprogramování přípravku, pokud je vše v pořádku, zobrazí se „100% (successful)“ v zeleném poli.



1 – Po dokončení kompilace si povšimněte, že ve schématu převodníku se u každého z jeho vstupů a výstupů objevil jemu přiřazený pin přípravku.

2 – Poznámka: dvojice zelených LED, jedna na levém okraji přípravku (tzv. POWER GOOD) a jedna v levém horním rohu přípravku (tzv. CONF_D), by se měla rozsvítit. Červené indikační LED v pravé dolní části a 7segmentové displeje ve spodní části přípravku začnou blikat.

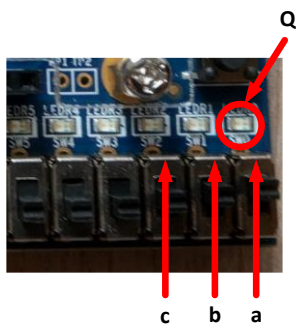
3 - V levém horním rohu okna *Programmer* klikněte na tlačítko „*Hardware Setup...*“.

V tomto okně v položce „*Currently selected hardware:*“ rozklikněte roletové menu a vyberte položku „*USB-Blaster [USB-0]*“, zavřete okno pomocí *Close*. Zkontrolujte, že ve spodní části okna se nachází FPGA pole s označením 10M50DAF484ES.


Ověřte, že v horní části okna je vybrán soubor pro naprogramování FPGA pole z aktuální složky projektu a zkontrolujte, že je zaškrtnuta volba ve sloupečku *Program/Configure*.

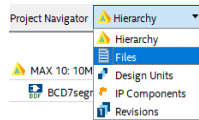
a) Realizace multiplexoru 2 na 1 pomocí schematického editoru

19. Otestujte funkčnost a správnost navrženého a realizovaného multiplexoru, pomocí pravdivostní tabulky v teoretickém úvodu prověřte všechny kombinace vstupů.



b) Realizace multiplexoru v jazyce VHDL pomocí RTL popisu

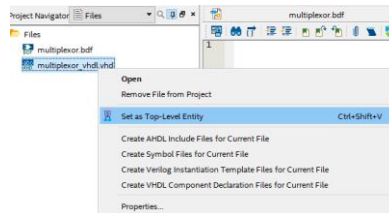
20. Do stávajícího projektu multiplexoru doplňte nový zdroj – VHDL soubor. V hlavní liště ikon klikněte na ikonu  v otevřeném okně vyberte položku „VHDL File“ a potvrďte pomocí *OK*.
21. Dojde k založení prázdného souboru typu VHDL (*.vhd). Nejprve jej uložte¹ pod názvem *multiplexor_vhdl.vhd*.
22. Nyní v levé horní části hlavního okna programu Quartus naleznete menu s názvem „Project Navigator“ a vedle něho rozbalte kliknutím na šipku jeho nabídku. Z roletového menu vyberte položku „Files“.



1 – Podrobný postup: V menu „File“ zvolte „Save As...“. V nově otevřeném okně zkontrolujte, že soubor bude uložen ve složce projektu. Zvolte vhodný název souboru (např. *BCD7segmentVHDL*) a zkontrolujte, že soubor má příponu „.vhd“. Zkontrolujte, že volba „Add file to current project“ je zaškrtnuta a klikněte na tlačítko *Uložit*.

b) Realizace multiplexoru v jazyce VHDL pomocí RTL popisu

23. Pravým tlačítkem myši klikněte (označte) soubor s VHDL kódem multiplexoru multiplexor_vhdl, pokud jste z něj již klikli, a z menu vyberte položku „Set as Top-Level Entity“.



24. Přepněte zpět zobrazení zdrojů projektu, v levé horní části hlavního okna programu Quartus naleznete menu s názvem „Project Navigator“ a vedle něho rozbalte kliknutím na šipku jeho nabídku. Z roletového menu vyberte položku „Hierarchy“.

b) Realizace multiplexoru v jazyce VHDL pomocí RTL popisu

25. Nyní do prázdného VHDL souboru přepokopírujeme následující VHDL kód, který si postupně vysvětlíme:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity multiplexor_vhdl is
  port (a,b,c : in std_logic;
        Q : out std_logic);
end multiplexor_vhdl;

architecture RTL of multiplexor_vhdl is
begin
  Q<=(a and not c) or (b and c);
end RTL;
```

deklarace využití knihovny (adresáře) IEEE a z ní základního balíčku STD_LOGIC_1164

entita představuje ve VHDL celý výsledný obvod, pojmenujeme ji např. multiplexor_vhdl

v úvodní části entity deklarujeme její porty – rozhraní (vstupy, výstupy), náš multiplexor 2 na 1 má vstupy: a, b, c a výstup: Q, všechny jsou datového typu std_logic (standard logic)

druhý blok entity je architektura – obsahuje popis vlastní entity a pojmenujeme ji např. RTL

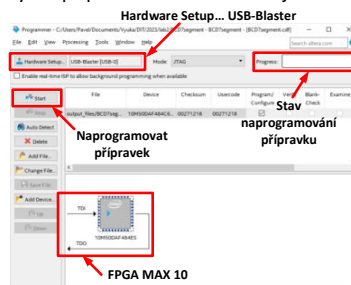
zde je vlastní popis našeho multiplexoru 2 na 1 – RTL popis je popis činnosti obvodu, v podstatě jde o vyjádření výstupní funkce obvodu pomocí Booleovské rovnice, přepsali jsme výstupní rovnici Q = viz slide s popisem multiplexoru 2 na 1

v jazyce VHDL klíčová slova: and – log. součin, not – negace, or – log. součet, pozor na závorky! (ve VHDL musíme oddělit vše kromě negací)

architektura začíná a končí klíčovými výrazy: begin - end

b) Realizace multiplexoru v jazyce VHDL pomocí RTL popisu

26. Projekt uložte.¹
27. Spustíte kompilaci VHDL kódu.²
28. Zkontrolujte, zda kompilace VHDL kódu proběhla úspěšně (viz bod 13).
29. Přiřazování pinů pomocí Pin Planneru dělat již nemusíme, platí přiřazení provedené pro předchozí multiplexor vytvořený ve schematicém editoru. Můžeme tedy přejít k naprogramování přípravku.
30. V okně *Tasks* (levé dolní okno) klikněte dvakrát levým tlačítkem na položku „*Program Device (Open Programmer)*“. Zkontrolujte výběr přípravku a FPGA. Pokud je vše v pořádku, klikněte na tlačítko „*Start*“.



1 - menu „File“ a „Save All“

2 – Postup: Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus. Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně Tasks uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek) a počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách. Proveďte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora. Po každé opravě chyby opět uložte celý projekt v menu File → Save All v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.

b) Realizace multiplexoru v jazyce VHDL pomocí RTL popisu

31. Otestujte funkčnost a správnost navrženého a realizovaného multiplexoru, pomocí pravdivostní tabulky v teoretickém úvodu prověřte všechny kombinace vstupů.

