

Zadání laboratorní úlohy číslo 5

Synchronní čítač s parametrizací kódu a s výstupem na displej

1 Téma

V laboratorních úlohách č. 5 a 6 bude naším cílem **vytvoření jednoduchých digitálních stopek** s rozlišením 1 sekundy a pracujících v rozsahu 0-59 sekund. Celý projekt rozdělíme na 2 etapy, každá z nich bude součástí jedné z laboratorních úloh.

Úkolem laboratorní úlohy č. 5 je vytvořit základní jádro těchto digitálních stopek. To je tvořeno jednoduchým **synchronním čítačem s asynchronním nulováním (resetem) a volitelným rozsahem čítání** pomocí tzv. parametrizace VHDL kódu prostřednictvím `generic`. Protože je naším úkolem vytvořit digitální stopky čítající v rozsahu 0-59 sekund se zobrazením na 7segmentovém displeji, **budeme potřebovat dvojici čítačů, jeden pro čítání jednotek a druhý pro čítání desítek sekund**. Čítač jednotek sekund bude čítat v rozsahu 0–9, zatímco čítač desítek sekund pouze v rozsahu 0–5.

Jedním z vhodných řešení je deklarace obecného čítače s rozsahem daným pomocí parametru a hodnotu tohoto parametru pak nastavit až při použití čítače jako komponenty na dané řádové pozici. Právě pro tento způsob nabízí jazyk VHDL tzv. parametrizaci kódu pomocí klíčového výrazu `generic`, což si vyzkoušíme na praktickém příkladu v této laboratorní úloze.

Dále si v této úloze opět připomeneme konverzi datových typů, zejména konverze typů `integer`, `unsigned` a `std_logic_vector` pomocí knihovny `numeric_std`, se kterou jsme pracovali již v laboratorní úloze č. 3.

Jako zdroj (vstup) čítače bude v této úloze sloužit prozatím jedno z tlačítek na přípravku, nebudeme tedy využívat žádný periodický hodinový signál a zdroj (tím se budeme zabývat až v příští laboratorní úloze č. 6), další tlačítko použijeme pro nulování čítače a náš čítač tedy vybavíme vstupem pro asynchronní reset (nulování). V neposlední řadě si rovněž procvičíme práci se strukturálním popisem (`Structural`) v jazyce VHDL, použití komponent (`component`) a mapování portů (`port map`), neboť celou realizaci stopek rozdělíme na několik základních bloků (komponent), ze kterých výsledný obvod zapojíme.

Využijeme rovněž převodník z kódu BCD do kódu 7segmentového displeje realizovaný pomocí RTL popisu, který jsme vytvořili v rámci laboratorní úlohy č. 2, a který nám zajistí zobrazení výstupu stopek na dvojici 7segmentových displejů přípravku.

2 Domácí příprava

1. Prostudujte teoretický úvod v tomto návodu. Zopakujte si z přednášek metody realizace čítačů v jazyce VHDL.
2. Připravte si VHDL kódy pro realizaci jednotlivých komponent i celkové entity výsledného čítače-stopek s výstupem na 7segmentový displej:
 - I. Doplňte předpřipravený VHDL kód pro realizaci základního čítače, entita `citac`, využijte předpřipravený VHDL kód v kapitole 6 (kód č. 1) teoretického úvodu.
 - II. Doplňte předpřipravený VHDL kód pro realizaci výsledného čítače-stopek s výstupem na 7segmentový displej dle schématu na obr. č. 5 v kapitole 6 teoretického úvodu, entita `citac_7segment`, využijte předpřipravený VHDL kód v kapitole 6 teoretického úvodu (kód č. 2).

3 Úkoly

1. Pomocí behaviorálního popisu v jazyce VHDL realizujte synchronní 4bitový čítač s asynchronním nulováním a parametrizací rozsahu čítání. Do čítače doplňte rovněž blokovací vstup, kterým lze čítání čítače zastavit a opět spustit.
2. Pomocí strukturálního popisu v jazyce VHDL vytvořte základní čítač-stopky čítající v rozsahu 0–59 sekund s výstupem na 7segmentový displej přípravku. Čítač-stopky bude tvořen ze dvou komponent základního čítače (pro každé řádové místo jeden) a ze dvou komponent převodníku z kódu BCD do kódu 7segmentového displeje, pro každé řádové místo stopky jeden. Jako buzení (vstup) čítače-stopek uvažujte jedno z tlačítek na přípravku, druhé využijte pro nulování stopky.
3. Implementujte čítač-stopky s výstupem na displej do přípravku DE10-Lite a ověřte správnost jeho funkce.

4 Použité přístroje a vybavení

- PC s nainstalovaným programem Intel Quartus,
- přípravek Terasic DE10-Lite.

5 Literatura

- [1] Přednášky předmětu dostupné na Moodlu: <https://moodle.fel.cvut.cz/>.
- [2] Lafata, P. - Hampl, P. - Pravda, M.: Digitální technika. 1. vyd. Praha: Česká technika – nakladatelství ČVUT, 2011. 164 s.