

## Zadání laboratorní úlohy číslo 1

# Práce s logickými integrovanými obvody, dynamické parametry, hazardy

## 1. Téma

Tato laboratorní úloha je zaměřena na **práci s logickými integrovanými obvody typu TTL a CMOS**, měření jejich dynamických parametrů (zpoždění při překlápění hradla), problematiku logických hazardů v kombinačních logických obvodech a ukázkou realizace jednoduchého multiplexoru pomocí logických hradel typu NAND.

V první části je úkolem změřit dobu zpoždění při překlápění logických hradel NAND integrovaných logických obvodů TTL řady 74LS00 a porovnat ji se zpožděním při překlápění logických hradel NAND realizovaných pomocí technologie CMOS s použitím integrovaného obvodu řady CD4011 a obvodu z moderní řady 74AHCT00.

Druhým úkolem je navrhnout a realizovat zapojení zadané logické funkce pomocí hradel NAND obvodu 74LS00 a vyšetřit vznik statického hazardu v logické 1 a tento hazard zobrazit na osciloskopu. Následně je úkolem teoreticky navrhnout úpravu realizace tak, aby tento hazard již nadále nevznikal.

Posledním bodem je pak vytvořit zapojení jednoduchého multiplexoru s dvojicí datových vstupů  $x$ ,  $y$  a 1 adresovým (výběrovým) vstupem z pomocí dostupných přepínačů na přípravku a s výstupem  $q$  připojeným k indikační LED diodě. Multiplexor bude realizován pomocí hradel typu NAND integrovaného obvodu TTL 74LS00.

## 2. Domácí příprava

1. Prostudujte teoretický úvod v tomto návodu. Seznamte se se zapojením přípravku.
2. Vyhledejte v katalogu či skriptech a přednáškách předmětu typické hodnoty zpoždění při překlápění hradel NAND obvodů 74LS00, CD4011 a 74AHCT00 a zapište si je.
3. Z dostupných materiálů (skript, přednášek předmětu, katalogu integrovaných obvodů) zjistěte, co znamenají pojmy **logický zisk** a **šumová imunita** logických obvodů. Nalezněte v katalogu či skriptech předmětu a zapište si typické hodnoty těchto parametrů pro obvody typu TTL (např. 74LS00) a typu CMOS (např. CD4011 a 74AHCT00).
4. Proved'te minimalizaci, získejte minimální disjunktí tvar funkce a nakreslete návrh zapojení funkce  $f = 3, 4, 5, 7$  pomocí hradel NAND. Proved'te vyšetření zapojení obvodu na vznik statického hazardu v logické 1. Nakreslete časový diagram pro ilustraci vzniku hazardu. Navrhněte úpravu realizace funkce pro odstranění tohoto hazardu.
5. Proved'te minimalizaci a získejte minimální disjunktí tvar výstupní funkce  $q$  multiplexoru zadaného v kapitole 3 teoretického úvodu. Nakreslete zapojení obvodu pomocí hradel typu NAND.

### 3. Úkoly

1. Pomocí osciloskopu, dvojice logických sond a přípravku popsaného v kapitole 4 teoretického úvodu změřte dobu zpoždění při překlopení jednoho hradla NAND integrovaného obvodu 74LS00 (typ TTL), jednoho hradla NAND integrovaného obvodu CD4011 (typ CMOS) a jednoho hradla NAND obvodu 74AHCT00 (typ CMOS). Porovnejte navzájem změřené doby zpoždění obou technologií (TTL vs. CMOS), porovnejte navzájem doby zpoždění hradel technologie CMOS, tj. zastaralého typu CD4011 a moderního 74AHCT00, a porovnejte je s typickými hodnotami zjištěnými v rámci bodu č. 2 z domácí přípravy.
2. Dle návrhu, který jste si připravili v bodě č. 4 z domácí přípravy, realizujte zapojení funkce  $f$  pomocí hradel NAND s využitím obvodu 74LS00 (TTL). Připojte na vstup obvodu kombinaci vstupních proměnných tak, aby se na výstupu obvodu projevil vznik statického hazardu v logické 1. Pomocí připojené logické sondy zobrazte tento hazard na osciloskopu.
3. Realizujte zapojení multiplexoru, který byl popsán v kapitole 3 teoretického úvodu, a jehož zapojení jste si připravili v rámci bodu č. 5 domácí přípravy. Výstup multiplexoru připojte na LED diodu na přípravku a pomocí trojice přepínačů kitu DE10-Lite ověřte všechny vstupní kombinace a výstup multiplexoru dle tab. č. 2 v teoretickém úvodu.
4. Pouze v případě dostatku času po skončení řádné části laboratorní úlohy (alespoň 15 minut před koncem hodiny) můžete v rámci bonusového úkolu v kapitole 5 provést zapojení upraveného obvodu pro odstranění hazardu. **K dispozici jsou pouze 2vstupá hradla!**

### 4. Použité přístroje a vybavení

- Přípravek nepájivého pole s integrovanými obvody 74LS00, CD4011 a 74AHCT00 a LED,
- kit DE10-Lite,
- propojovací vodiče pro zapojování v nepájivém poli,
- osciloskop a dvojice logických sond.

## 5. Bonusový úkol

Tento úkol je čistě bonusový v případě dostatku času po skončení řádné části laboratorní úlohy. Za jeho vypracování lze získat 2 další body nad rámec bodového hodnocení z této úlohy.

### Zadání úkolu:

1. Upravte vyjádření funkce  $f$  obvodu vyšetřovaného na vznik statického hazardu v rámci bodu č. 4 z domácí přípravy tak, aby obvod bylo možno realizovat pouze pomocí dvouvstupových hradel typu NAND.
2. Proved'te zapojení takto upraveného obvodu, využijte dostupná dvouvstupová hradla NAND z obou obvodů 74LS00 a 74AHCT00. Přiveďte na vstupy obvodu opět stejnou kombinaci vstupních proměnných, při které v původním obvodu docházelo ke vzniku statického hazardu, viz kapitolu 2 teoretického úvodu. Na výstup obvodu připojte logickou sondu osciloskopu a demonstруйте, že původně vznikající hazard byl touto úpravou úspěšně eliminován.

### Nápověda k bonusovému úkolu:

1. Při úpravě obvodu z bodu č. 4 domácí přípravy, která eliminuje vznik statického hazardu v tomto obvodu, jste zjistili, že pro realizaci takto upraveného obvodu je zapotřebí jedno třívstupové hradlo NAND, neboť disjunkt ní tvar výstupní funkce tvoří logický součet trojice součinových termů. Tento typ hradla však není v nepájivém poli přípravku k dispozici. Je tedy potřeba provést vhodně úpravu vyjádření funkce  $f$  tak, aby pro její realizaci byla použita pouze dvouvstupová hradla NAND.
2. Upravte vyjádření funkce  $f$  obvodu s úpravou vedoucí k eliminaci statického hazardu tak, aby výsledný obvod bylo možno realizovat pouze pomocí dvouvstupových hradel NAND. Aplikujte zákony Booleovy algebry, zejména zákon dvojité negace a de Morganova pravidla, vhodně tak, abyste tuto úpravu vyjádření provedli.
3. Je zřejmé, že po této úpravě funkce  $f$  vzroste počet potřebných dvouvstupových hradel NAND nezbytných pro její realizaci. Využijte tedy oba dostupné obvody 74LS00 a 74AHCT00, které obsahují dostatečný počet dvouvstupových hradel. Vstupy/výstupy hradel obvodů 74LS00 a 74AHCT00 můžete vzájemně libovolně kombinovat, neboť obvod 74AHCT00 je úrovnově plně kompatibilní s obvodem 74LS00 (viz přednášky). Nezapomeňte připojit napájení Vcc a zem GND k oběma integrovaným obvodům.

## 6. Literatura

- [1] Přednášky předmětu dostupné na Moodlu: <https://moodle.fel.cvut.cz/>.
- [2] Lafata, P. - Hampl, P. - Pravda, M.: Digitální technika. 1. vyd. Praha: Česká technika – nakladatelství ČVUT, 2011. 164 s.