

B2B32DITA

Laboratorní úloha č. 4

Realizace 2bitové sčítačky pomocí strukturálního návrhu s výstupem na displej

Postup práce

1. Nejprve prostudujte úkol dne v Moodle.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

2. Spusťte program Quartus Lite Edition.¹

3. Vytvořte nový projekt pomocí ikony na úvodní obrazovce *New Project Wizard*.

4. V prvním okně jen dole odklikněte *Next*.

V dalším okně specifikujte cestu pro uložení projektu.²

V další řádce vyplňte vhodný název souboru³, např. *adder2*.

Poslední řádek se jménem top-level entity bude vyplněn automaticky a okno v dolní části odklikněte *Next*.

V dalším okně ponechte volbu na možnosti „*Empty project*“ a odklikněte *Next*, další okno opět jen odklikněte pomocí *Next*.

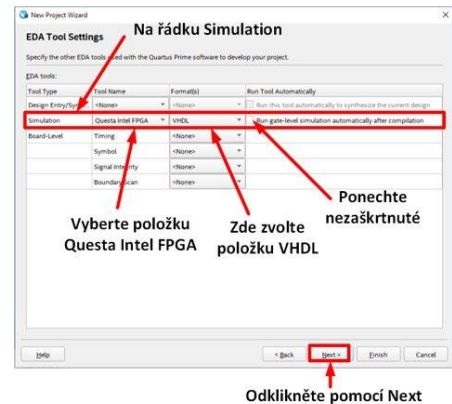
1 - Pokud se po spuštění Quartus otevře předchozí projekt, ukončete ho (File → Close Project).

2 – Zvolte pro umístění složky projektu Vaši pracovní složku na disku ve složce *Users* a v něm podsložku s Vaším přihlašovacím jménem.

3 – Nepoužívejte diakritiku, mezeru, speciální znaky a jméno nesmí začínat číslem.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

5. V dalším okně „New Project Wizard – Family, Device & Board Settings“ zvolte správný přípravek DE10-Lite¹.
6. V dalším okně s podnázvem „EDA Tool Settings“ v tabulce zvolte na řádku „Simulation“ z roletové nabídky ve sloupci „Tool Name“ položku „Questa Intel FPGA“.
V dalším sloupci s názvem „Format(s)“ vyberte položku „VHDL“.
Poslední volbu řádce, checkbox, ponechte nezaškrtnutý.
Celé okno odklikněte pomocí Next.
V posledním okně klikněte na Finish.



1 - Nejprve v horní části okna překlikněte na kartu „Board“.


Zde v levém roletovém menu „Family:“ zkontrolujte, že je označena položka „MAX 10“.

V pravém roletovém menu „Development Kit:“ pak vyberte variantu „MAX 10 DE10-Lite“. Tím se v prostřední části okna „Available boards:“ objeví položka „MAX 10 DE10-Lite“.

Kliknutím levým tlačítkem myši ji označte.

Dále odškrtněte (zrušte zaškrtnutí) volby „Create top-level design file.“ ve spodní části okna a odklikněte celé okno pomocí Next.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

7. Vytvořte v projektu nový soubor pomocí menu *File* → *New...*, případně klikněte na ikonu  v hlavní liště ikon.¹
8. Vytvoří se prázdný soubor pro zápis VHDL kódu.
Soubor uložte².
Zvolte vhodný název souboru např. *adder2*.
9. Z úlohy číslo 2 okopírujte soubor převodníku *BCD7segmentVHDL.vhd*³ do složky pro úlohu číslo 4.
Z úlohy číslo 3 okopírujte soubor sčítačky *adder.vhd* do složky pro úlohu číslo 4.⁴
Zařaďte zkopírované soubory do aktuálního projektu.⁵

1 – Z nabídky zdrojů vyberte položku „VHDL File“ v sekci „Design Files“ a potvrďte pomocí *OK*.

2 – V menu „File“ zvolte „Save As...“. V nově otevřeném okně zkontrolujte, že soubor bude uložen ve složce projektu.

Zkontrolujte, že soubor má příponu „.vhd“.

Zkontrolujte, že volba „Add file to current project“ je zaškrtnuta a klikněte na tlačítko *Uložit*.

3 – pokud jste postupovali podle návodu.

4 – Podrobný návod:

Spusťte na Průzkumník souborů (či podobný program) a najděte ve složce vašich projektů projekt z laboratorní úlohy č. 2

Najděte VHDL soubor obsahující realizaci převodníku pomocí VHDL jazyka (RTL popisem) „*BCD7segmentVHDL.vhd*“.

Zkopírujte tento soubor do složky projektu laboratorní úlohy č. 4 (*adder2*).

Stejným způsobem vyhledejte předchozí projekt realizace 1bitové sčítačky v laboratorní úloze č. 3.

Ve složce tohoto projektu naleznete soubor obsahující VHDL kód realizace 1bitové sčítačky (pomocí několika způsobů, entita obsahuje několik architektur) „*adder.vhd*“. I tento soubor zkopírujte do složky současného projektu 2bitové sčítačky (*adder2*).

5 – V levém horním okně *Project Navigator* zvolte *Files*.

Objeví se složka, dvakrát na ni klikněte, zobrazí se okno *Category*.

V horním řádku *Files* najděte soubory, které chcete vložit do projektu.

Po výběru souborů okno zavřete pomocí *OK*.

V okně *Project navigator* jsou nyní vidět i soubory nově přidáné do projektu.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

10. V programu Quartus v okně VHDL kódu nakopírujte do založené entity 2bitové sčítačky předpřipravený VHDL kód¹.
11. Do zkopírovaného VHDL kódu doplňte chybějící části, využijte schéma 2bitové sčítačky z obr. č. 3 v kapitole 6 teoretického úvodu a kód připravený v domácí přípravě (úkol I). Uložte celý projekt.²
12. Spusťte kompilaci projektu.³

1 – Kód č. 1 z kapitoly 6 v teoretickém úvodu pro realizaci 2bitové sčítačky pomocí strukturálního popisu na základě dvojice komponent 1bitové sčítačky.

2 – Menu *File* → *Save All* s ikonou několika disket v hlavní nabídce programu Quartus.

3 – Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus.

Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně *Tasks* uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek).

Počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách.

Proveďte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora.

Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

13. Proveďte simulaci navržené 2bitové sčítačky.
Vytvořte simulační soubor, VHDL testbench, který bude obsahovat stimuly a buzení 2bitové sčítačky pro její odsimulování¹.
Nazvěte jej např. *adder2_tb.vhd*.
14. Do souboru testbench zkopírujte předpřipravený VHDL kód z kapitoly 5 v teoretickém úvodu.
Doplňte do testbenchového souboru dalších alespoň 8 různých kombinací hodnot vstupních budících signálů, *a*, *b*, *cin*, tak abyste mohli otestovat funkčnost 2bitové sčítačky².
Uložte celý projekt.³

1 – Postup:

V menu *File* → *New...* z nabídky zdrojů vyberte položku „VHDL File“ v sekci „Design Files“ a potvrďte pomocí OK.

Soubor uložte, v menu „*File*“ zvolte „*Save As...*“.

Zvolte vhodný název souboru a zkontrolujte, že soubor má příponu „.vhd“.

Zkontrolujte, že volba „*Add file to current project*“ je zaškrtnuta.


Klikněte na tlačítko *Uložit*.

2 – podle vaší domácí přípravy (úkol II).

3 – V menu *File* → *Save All* s ikonou několika disket za sebou v hlavní nabídce programu Quartus.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

15. Nastavte cestu k simulátoru Questa Intel FPGA¹.

V hlavní horní liště ikon programu Quartus klikněte na ikonu *Settings* , ².

Otevře se okno *Settings*.

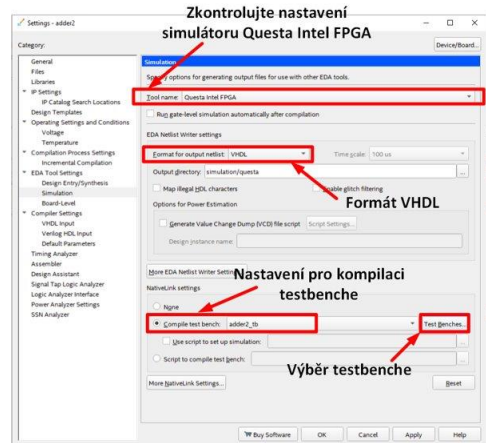
V jeho levé části ve sloupečku *Category* najděte a otevřete položku *EDA Tool Settings* → *Simulation*.

Zde odshora zkontrolujte a nastavte:

v položce *Tool name*: typ simulátoru Questa Intel FPGA, v menu *Format for output netlist*: zvolte VHDL, *Output directory*: zkontrolujte a nastavte cestu pro výstupní složku simulátoru,

NativeLink settings vyberte přepínačem *Compile test bench*

vpravo klikněte na tlačítko *Test Benches...*



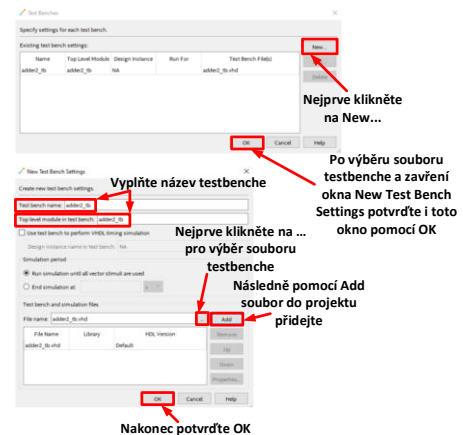
1 – V hlavní horní liště programu Quartus otevřete okno: *Tools* → *Options* → *General* → *EDA Tool Options*

V řádku *Questa Intel FPGA* nastavte cestu: *C:\intel\FPGA_lite\22.1\questa_fse\win64*
Potvrďte *OK*.

2 - Případně spusťte okno *Settings* pomocí nabídky *Assignments* → *Settings...*

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

16. V okně *Test Benches* klikněte na tlačítko *New...*.
Otevře se okno *New Test Bench Settings*.
17. Na řádcích *Test bench name* a *Top level module in test bench* vyplňte název testbenchového souboru *adder2_tb*.
Ve spodní části okna na řádce *File name*: klikněte na ikonu trojice teček ...
Vyberte soubor s VHDL kódem testbenche *adder2_tb.vhd*.
Po jeho označení a odkliknutí pomocí *Open* se název souboru vyplní do řádky *File name*:.
Klikněte na tlačítko *Add* pro přidání souboru.
Okno potvrďte pomocí *OK*.
Okno *Test Benches*, kde se nyní objeví zvolený testbenchový soubor, potvrďte pomocí *OK*.
Otevřené okno *Settings* potvrďte pomocí *OK*.
Uložte celý projekt.¹
Spusťte kompilaci projektu.²



1 – V menu *File* → *Save All* s ikonou několika disket za sebou v hlavní nabídce programu Quartus.

2 – Postup:

Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus.

Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně *Tasks* uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek).

Počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách.

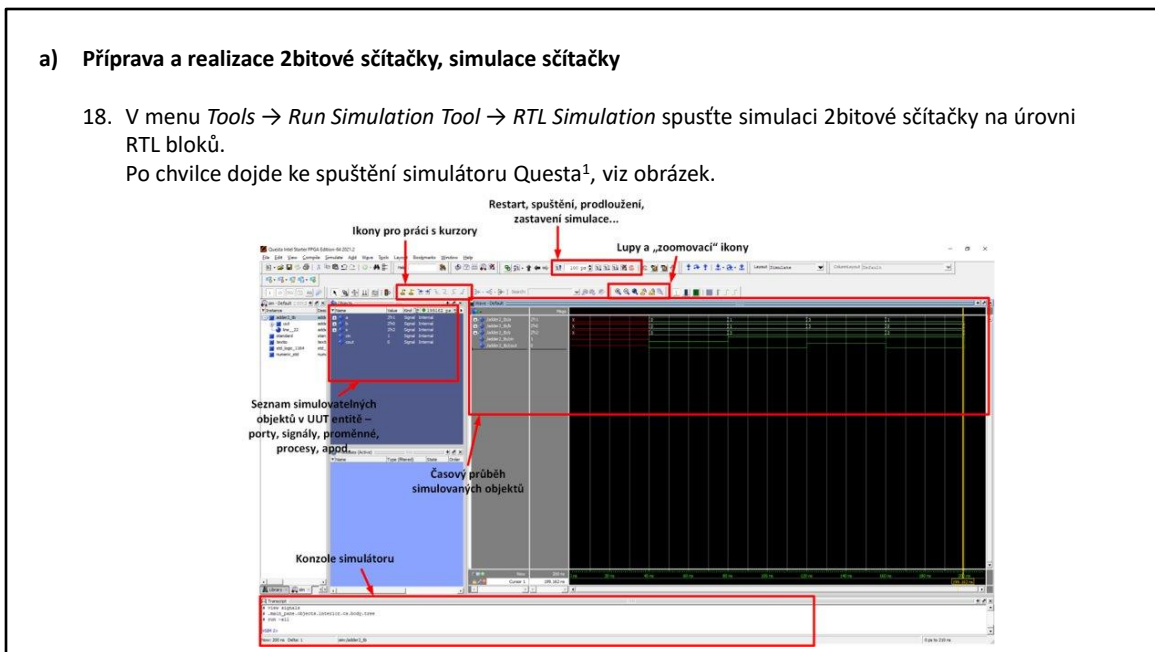
Proveďte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora.

Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

18. V menu *Tools* → *Run Simulation Tool* → *RTL Simulation* spusťte simulaci 2bitové sčítačky na úrovni RTL bloků.

Po chvilce dojde ke spuštění simulátoru Questa¹, viz obrázek.



1 – Poznámka:

Pokud by se však v testbenchovém souboru či v UUT entitě 2bitové sčítačky vyskytly chyby či problémy, kvůli kterým by simulace neproběhla, v konzolovém okně (spodní okno programu Questa Intel FPGA) bude uveden jejich popis a je nutno je odstranit a spustit simulaci znovu.

a) Příprava a realizace 2bitové sčítačky, simulace sčítačky

19. Rozložení oken simulátoru Questa Intel FPGA nemusí odpovídat, lze jej libovolně uspořádat a změnit. Důležitý je časový průběh – výstup simulace znázorněný v okně s názvem *Wave*. Zde se nachází časový průběh hodnot simulovaných objektů dané UUT entity. Do tohoto seznamu a průběhu v okně *Wave* lze libovolně přidávat další objekty z vedlejších oken *Objects*, případně *sim*, nebo je z okna *Wave* mazat. Upravte rozlišení.¹ Z průběhu je patrné, že simulace byla provedena pouze pro 160 ns, což nedostačuje k zobrazení celého buzení vstupů sčítačky, které jste zapsali v rámci testbenchového stimulu. V liště ikon simulátoru Questa nad oknem *Wave* proto najděte sekci ikon pro spouštění, restartování apod. simulace a okénko s možností zadání času pro prodloužení běhu simulace. Místo výchozí hodnoty „100 ps“ uveďte čas, o který chcete běh simulace prodloužit, např. „400 ns“. Klikněte na ikonu *Run* vedle okénka pro provedení simulace. Opět použijte lupu *Zoom Full*.
20. Analyzujte provedenou simulaci 2bitové sčítačky². Ukažte výsledek učiteli. Zavřete okno simulátoru.

1 – V okně *Wave*, v liště ikon s lupami nad oknem *Wave* vyberte třetí lupu zleva *Zoom Full*. Díky ní se zobrazí celý průběh v okně *Wave*. Průběh lze vhodně přibližovat či oddalovat dvojicí ikon lup se symboly + a -.

2 – Zejména zkontrolujte hodnoty výstupů součtu *s* a přenosu do vyššího řádu *cout* na základě vstupních hodnot *a*, *b*, *cin* a zda odpovídají správné funkci 2bitové sčítačky.

b) Realizace 2bitové sčítačky s výstupem na 7segmentový displej

21. Vytvořte v projektu nový soubor¹. Nazvěte jej např. *adder2_7segment.vhd*.
22. Vytvořte VHDL kód pro realizaci výsledné entity 2bitové sčítačky s výstupem na 7segmentový displej. Tato entita bude obsahovat dvojici komponent: 2bitovou sčítačku *adder2*², a převodník z kódu BCD do kódu 7segmentového displeje *BCD7segmentVHDL*². Zkopírujte předpřipravenou část VHDL kódu této entity z kapitoly 6 teoretického úvodu pod obr. č. 4. Doplňte chybějící části VHDL kódu podle domácí přípravy (úkol č. III). Uložte vytvořený modul a celý projekt³.

1 – Postup: menu File → New..., Z nabídky zdrojů vyberte položku „VHDL File“ v sekci „Design Files“ a potvrďte pomocí OK. Nejprve soubor uložte, v menu „File“ zvolte „Save As...“. Zvolte vhodný název souboru a zkontrolujte, že soubor má příponu „.vhd“. Zkontrolujte, že volba „Add file to current project“ je zaškrtnuta a klikněte na tlačítko Uložit.

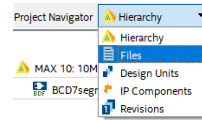
2 - Pokud jste zvolili název v souladu s návodem.

3 – V menu *File* → *Save All* s ikonou několika disket za sebou v hlavní nabídce programu Quartus.

b) Realizace 2bitové sčítačky s výstupem na 7segmentový displej

23. Nyní v levé horní části hlavního okna programu Quartus naleznete menu s názvem „*Project Navigator*“

Z roletového menu vyberte položku „*Files*“:



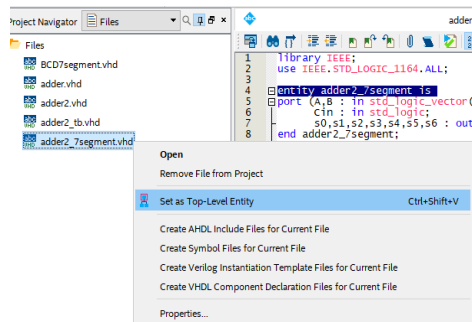
24. Dojde k přepnutí zobrazení hlavních souborů v celém projektu v okně pod touto nabídkou. Budou zde zobrazeny všechny doposud vytvořené či zkopírované soubory projektu obsahující VHDL kódy, tedy *adder*, *adder2*, *adder2_tb*, *BCD7segmentVHDL* a *adder2_7segment*.

b) Realizace 2bitové sčítačky s výstupem na 7segmentový displej

25. Pravým tlačítkem myši označte soubor s výslednou entitou 2bitové sčítačky s výstupem na 7segmentový displej (*adder2_7segment*)

Z menu vyberte položku „Set as Top-Level Entity“.

Soubor s kódem v jazyce VHDL bude označen jako hlavní entita projektu a bude s ním prováděna kompilace a implementace do přípravku.



b) Realizace 2bitové sčítačky s výstupem na 7segmentový displej

26. Spusťte kompilaci VHDL kódu.¹

27. V případě úspěšně zkompilovaného projektu přiřaďte vstupům/výstupům jejich fyzické zapojení na přípravku DE10-Lite.²

28. Ve sloupečku *Location* uveďte u každého portu v seznamu jeho přiřazení na správný pin přípravku:

Vstup/výstup	A[0]	A[1]	B[0]	B[1]	Cin	s0	s1	s2	s3	s4	s5	s6
Pin	C10	C11	D12	C12	A12	C14	E15	C15	C16	E16	D17	C17

Tomuto přiřazení odpovídá 5 přepínačů a první 7segmentový displej ve spodní části přípravku³:



1 – Postup:

Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus.

Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně Tasks uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek).

Počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách.

Proveďte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora.

Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.

2 – V hlavní horní liště ikon klikněte tedy na ikonu *Pin Planner*, případně vyberte v menu *Assignments* → *Pin Planner*. Otevře se okno *Pin Planner* pro přiřazování pinů vstupům/výstupům v projektu.

Ve spodní části okna *Pin Planneru* se nachází seznam všech vstupů a výstupů definovaných v projektu (schématu či top-level entitě projektu).

3 – Poznámka:

Uvedené pořadí vstupů A, B a výstupů na 7segmentový displej předpokládá, že při návrhu 2bitové sčítačky i převodníku z kódu BCD do kódu 7segmentového displeje jste přiřadili proměnnou „a“ na nejnižší řádové místo výstupních funkcí, proměnnou „b“ na druhé nejnižší řádové místo atd. Pokud nikoliv, bude možná nutné otočit přiřazení pořadí přepínačů vstupů A, B, respektive výstupů na segmenty displeje.

b) Realizace 2bitové sčítačky s výstupem na 7segmentový displej

29. Připojte přípravek *Terasic DE10-Lite* pomocí USB kabelu do PC.¹
30. V okně *Tasks* (levé dolní okno) klikněte dvakrát levým tlačítkem na položku „*Program Device (Open Programmer)*“.
Spustí se okno pro naprogramování přípravku DE10-Lite s názvem *Programmer*.
31. Zkontrolujte, že je přes USB rozhraní korektně načten přípravek DE10-Lite s FPGA MAX 10.²
Klikněte na tlačítko „*Start*“.
V okénku „*Progress:*“ proběhne naprogramování přípravku, pokud je vše v pořádku, zobrazí se „*100% (successful)*“ v zeleném poli.
32. Otestujte funkčnost a správnost navržené sčítačky.³
Ukažte výsledek učiteli.
Zavřete nejprve okno *Programmer* křížkem v horním pravém rohu okna a dále zavřete celý projekt *File → Close Project*.
Ukončete program Quartus a odhlaste se z PC.
Odevzdejte vyplněný odpovědní formulář vyučujícímu.

1 – Poznámka: dvojice zelených LED, jedna na levém okraji přípravku (tzv. POWER GOOD) a jedna v levém horním rohu přípravku (tzv. CONF_D), by se měla rozsvítit. Červené indikační LED v pravé dolní části a 7segmentové displeje ve spodní části přípravku začnou blikat.

2 – V levém horním rohu okna *Programmer* klikněte na tlačítko „*Hardware Setup...*“. V tomto okně v položce „*Currently selected hardware:*“ rozklikněte roletové menu a vyberte položku „*USB-Blaster [USB-0]*“.

Zavřete okno pomocí *Close*.

Zkontrolujte, že ve spodní části okna se nachází FPGA pole s označením 10M50DAF484ES.

Ověřte, že v horní části okna je vybrán soubor pro naprogramování FPGA pole z aktuální složky projektu.

Zkontrolujte, že je zaškrtnuta volba ve sloupečku *Program/Configure*.

3 – Pomocí přepínačů nastavte postupně všechny vstupní kombinace proměnných A, B, C_{in} a na 7segmentovém displeji zkontrolujte výstup sčítačky.