# Cvičení 8: MOSFET v logických IO

#### **C8.1: Invertor NMOS**

Princip činnosti, převodní charakteristika, hradla NAND a NOR Simulace převodní charakteristiky (vliv parametrů tranzistoru a zátěže)

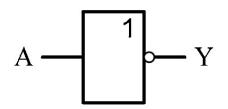
- **M8.1** Měření převodní charakteristiky
- **S8.1** Simulace převodní charakteristiky invertoru NMOS Nevýhody Invertoru NMOS

#### **C8.2: Invertor CMOS**

Princip činnosti, převodní a odběrová charakteristika, dynamické chování, Příklad CP8.1

**S8.2** Simulace invertoru CMOS v LTSpice (sestavení schématu, DC a tranzientní analýza)

## Realizace logické funkce inverze elektronickými obvody



A	Y
0	1
1	0

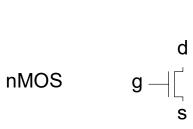
1. Přiřazení elektrického signálu logickým hodnotám, typicky:

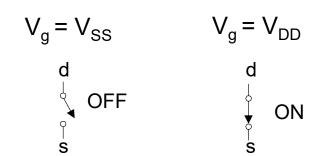
$$log.1 = V_{DD} = Power = PWR = High = 5 V, 3.3 V, 1.5 V apod.$$

Α	Y	
$V_{SS}$	$V_{DD}$	
$V_{DD}$	$V_{SS}$	

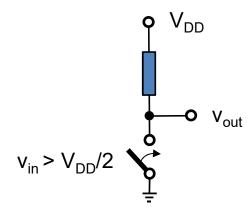
$$log.0 = V_{SS} = Ground = GND = Low = 0 V$$

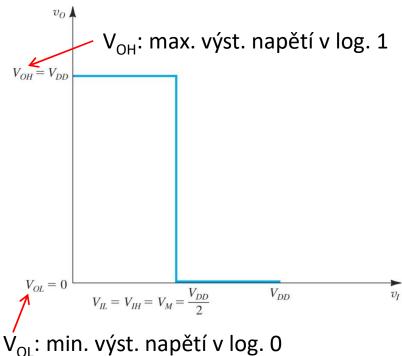
2. Využití spínače (či spínačů) řízeného vstupem A, který přepne požadovanou hodnotu na výstup Y.



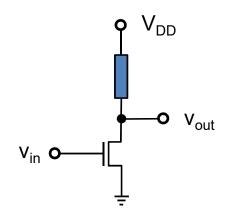


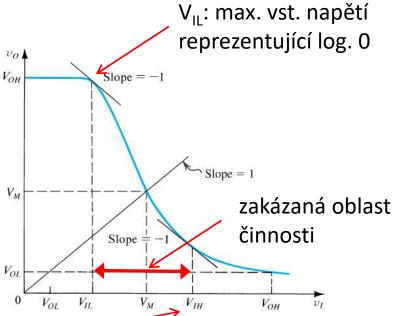
#### Ideální invertor





### Reálný invertor

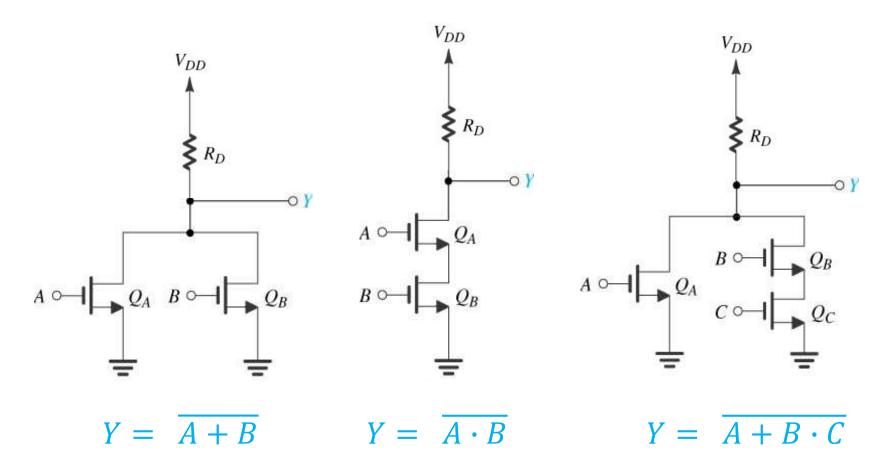


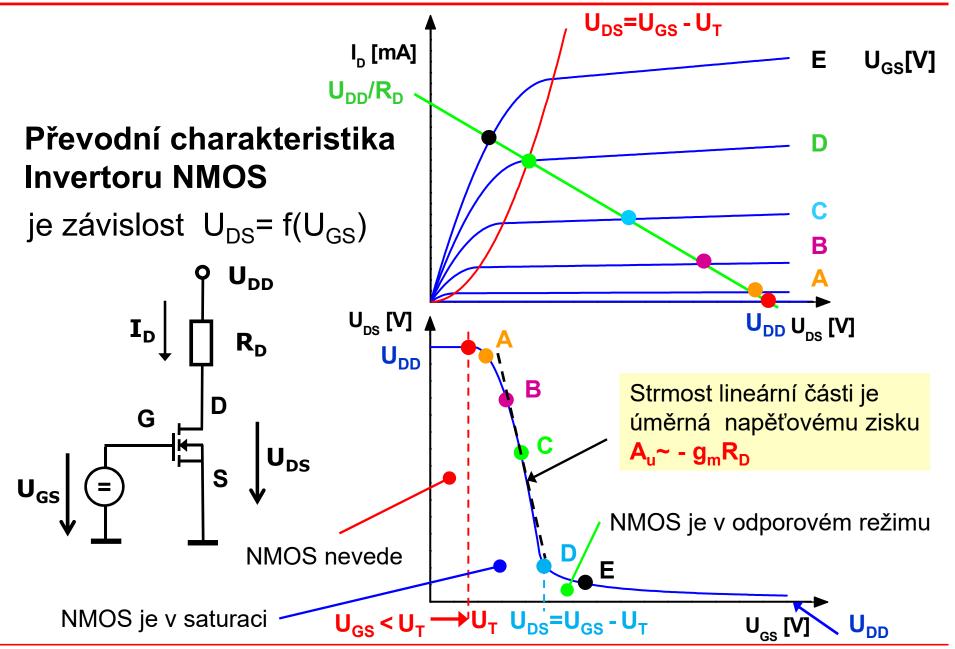


V<sub>II</sub>: min. vst. napětí reprezentující log. 1

## Realizace hradel AND a OR v NMOS logice:

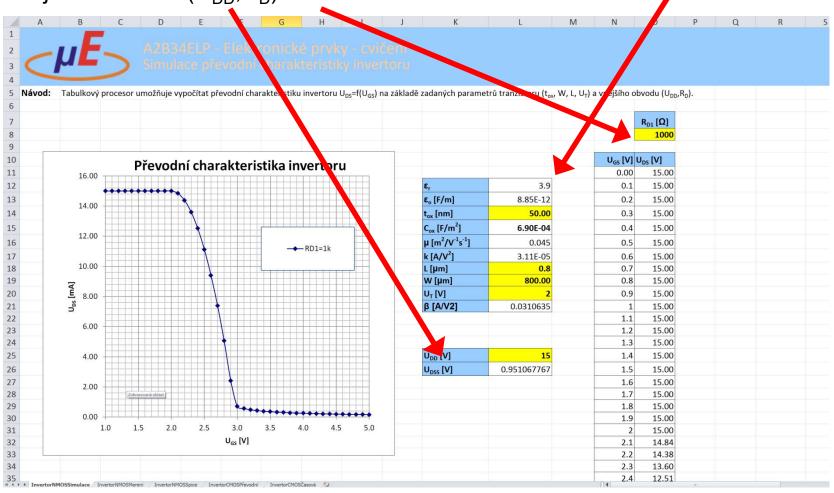
Odpor R<sub>D</sub> lze nahradit tranzistorem NMOS (hradlo připojeno k V<sub>DD</sub>, D, či S).





# Excel – list InvertorSimulace

Tabulkový procesor umožňuje vypočítat převodní charakteristiku invertoru  $U_{DS}=f(U_{GS})$  na základě zadaných parametrů tranzistoru  $(t_{ox}, W, L, U_T)$  a vnějšího obvodu  $(U_{DD},R_D)$ .



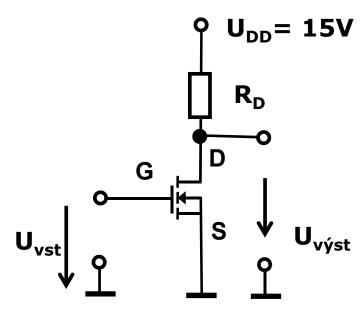
## M8.1: Měření převodní charakteristiky invertoru NMOS

Změřte převodní charakteristiky invertoru s tranzistorem MOSFET BS170F pro různé hodnoty zatěžovacího odporu R<sub>D</sub>.

Doporučené hodnoty: U<sub>DD</sub>=15V, R<sub>D</sub>= 1k, 3.3k a 10k

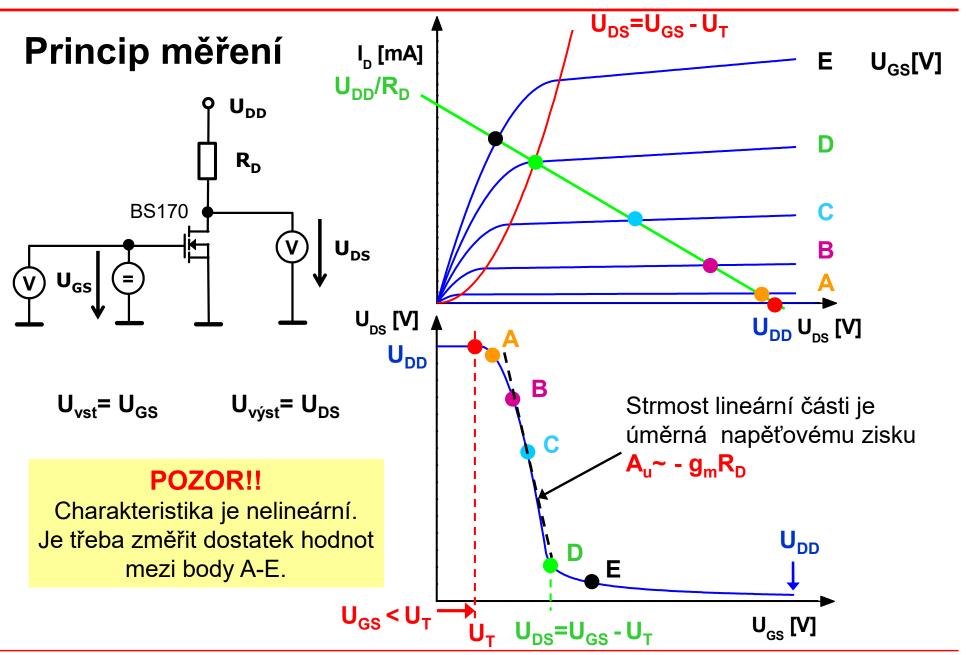
Vykreslete grafy charakteristik v Excelu (list InvertorMěření) a porovnejte je se simulací (list InvertorSimulace)

Určete parametry U<sub>T</sub>, R<sub>on</sub>, A<sub>u</sub>.

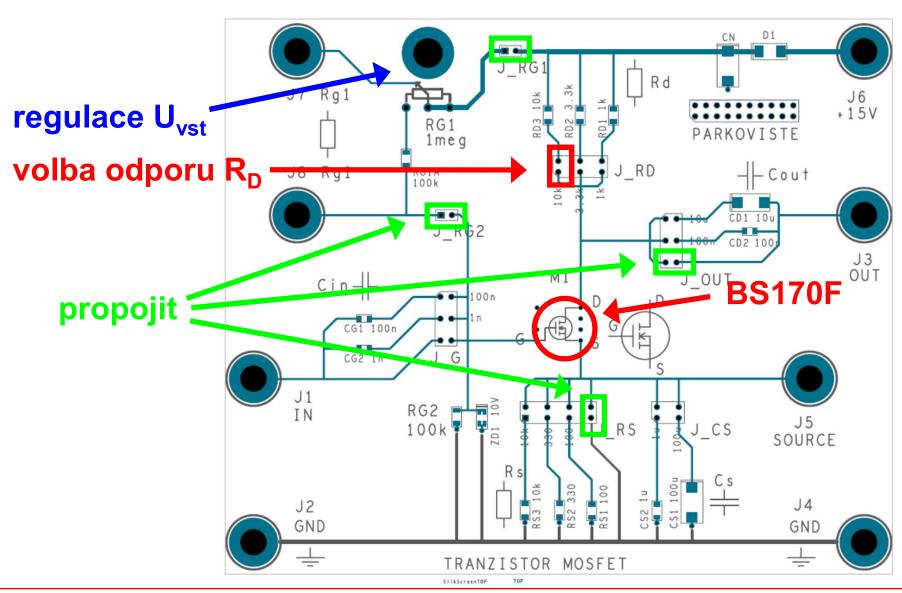


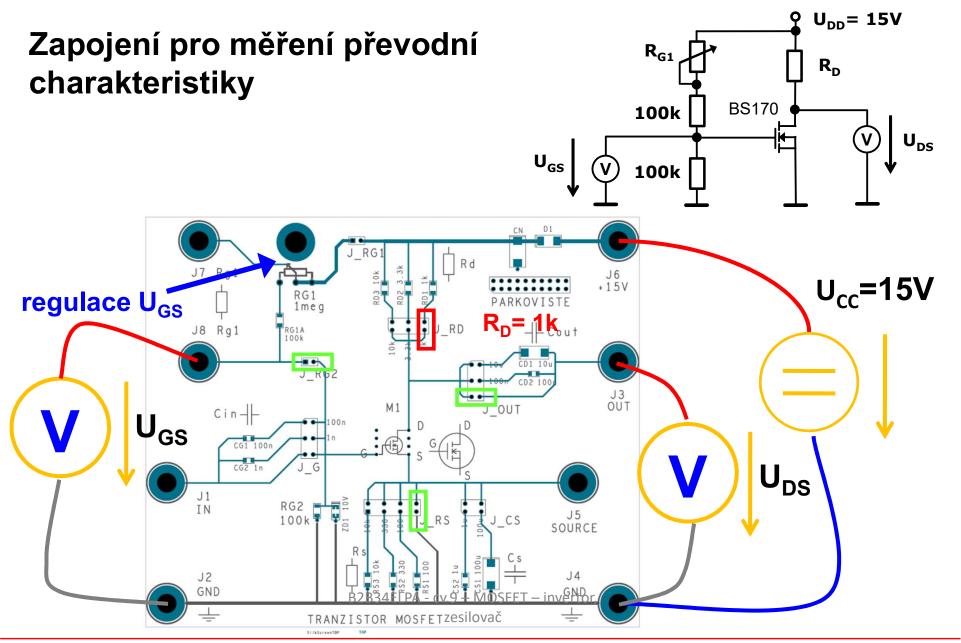
#### Katalogový list tranzistoru BS170F

PARAMETRY@podmínky					
U <sub>DS</sub>		Drain-Source Voltage	60	V	
I <sub>D</sub>	T <sub>amb</sub> = 25°C	Continuous Drain Current	0.15	Α	
I <sub>DM</sub>		Pulsed Drain Current	3	Α	
U <sub>GS</sub>		Gate Source Voltage	±20	V	
P <sub>tot</sub>	T <sub>amb</sub> = 25°C	Power Dissipation	330	mW	
BU <sub>DSS</sub>	I <sub>D</sub> =100μΑ, U <sub>GS</sub> =0V	Drain-Source Breakdown Voltage	60- 90	V	
U <sub>GS(th)</sub>	I <sub>D</sub> =1mA, U <sub>DS</sub> =U <sub>GS</sub>	Gate-Source Threshold Voltage	0.8 - 3	V	
I <sub>GSS</sub>	U <sub>GS</sub> =15V, U <sub>DS</sub> =0V	Gate-Body Leakage	10	nA	
R <sub>DS(on)</sub>	U <sub>GS</sub> =10V, I <sub>D</sub> =200mA	Static Drain-Source On-State Resistance	5	Ω	
g <sub>fs</sub>	U <sub>DS</sub> =10V, I <sub>D</sub> =200mA	Forward Transconductance	200	mS	
С	U <sub>DS</sub> =10V, U <sub>DS</sub> =0V, =1MHz	Input Capacitance	60	pF	
t <sub>d(on)</sub>	U <sub>DD</sub> =15V, I <sub>D</sub> =600mA	Turn-On Delay Time	10	ns	
t <sub>d(off)</sub>	U <sub>DD</sub> =15V, I <sub>D</sub> =600mA	Turn-Off Delay Time	10	ns	

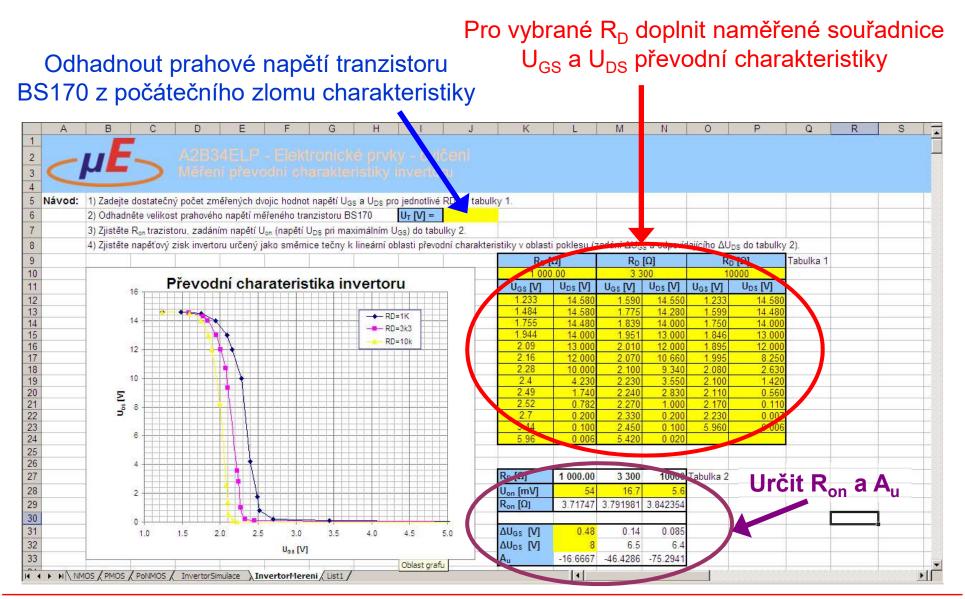


#### Přípravek pro měření převodní charakteristiky invertoru NMOS





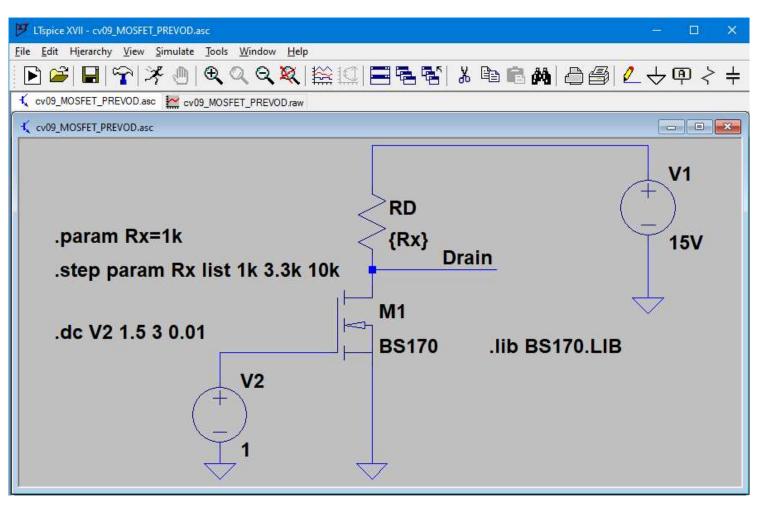
# Zpracování výsledků – list Invertor Měření

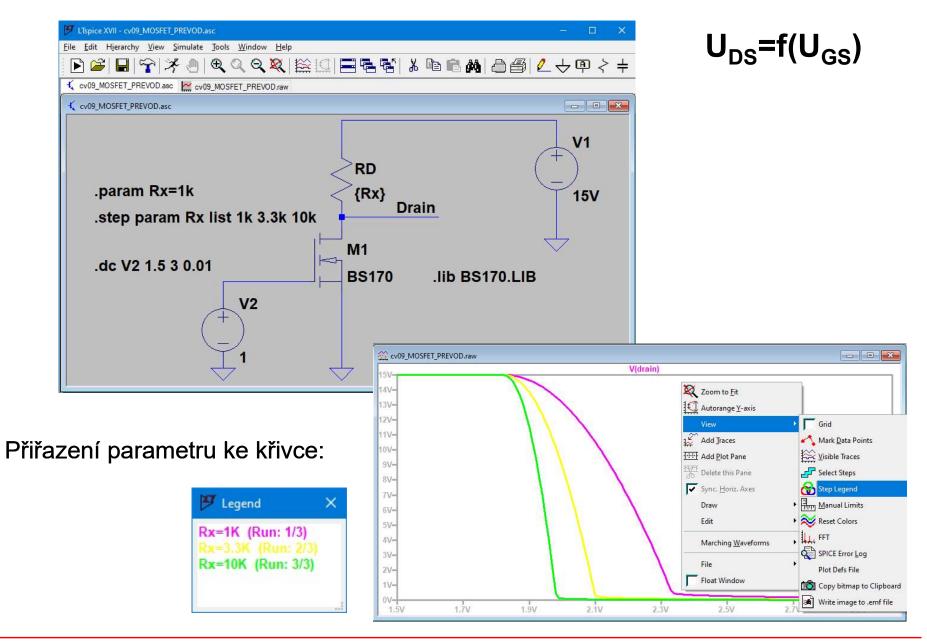


### S8.1: Simulace převodní charakteristiky invertoru NMOS

$$U_{DS}=f(U_{GS})$$

NMOS\_prevod.asc





#### Odečet napěťového zisku pomocí kurzorů

 $U_{DS}=f(U_{GS})$ 

1) Zapnutí kurzorů – RMB na V(drain)

Expression Editor - F(V(drain),...)

Default Color:

Enter an algebraic expression to plot:

V(drain)

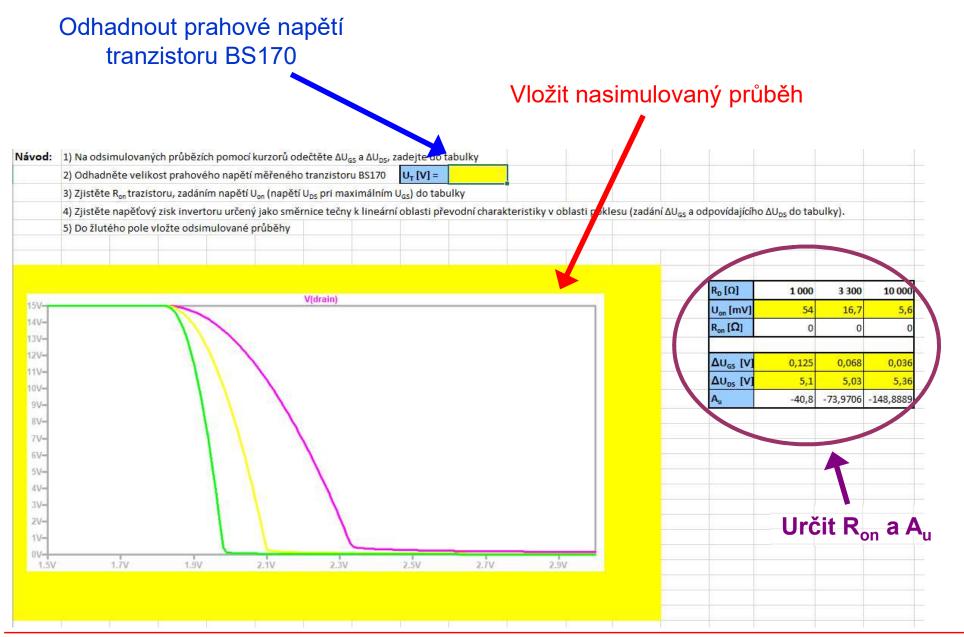
Delete this Trace

2) Přesouvání kurzorů po křivce (LMB)

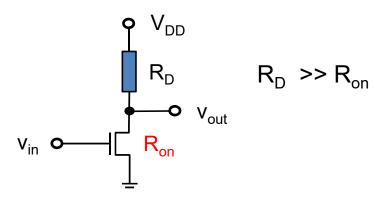
Přeskakování kurzoru na jiný průběh pomocí šipek ↑↓ na klávesnici

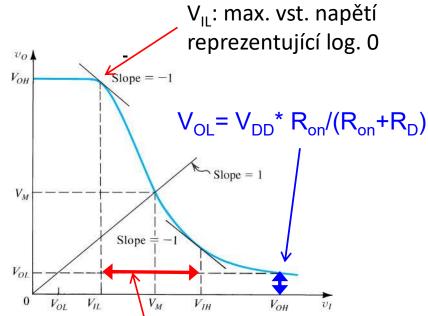
3) Odečet hodnot





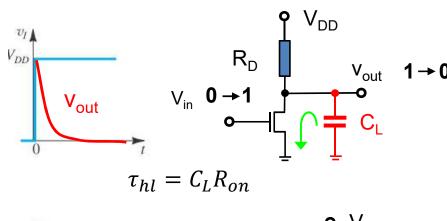
## Nevýhody

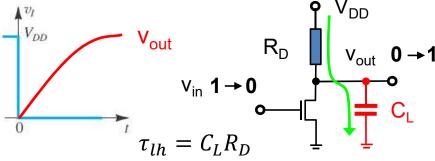




zakázaná oblast činnosti

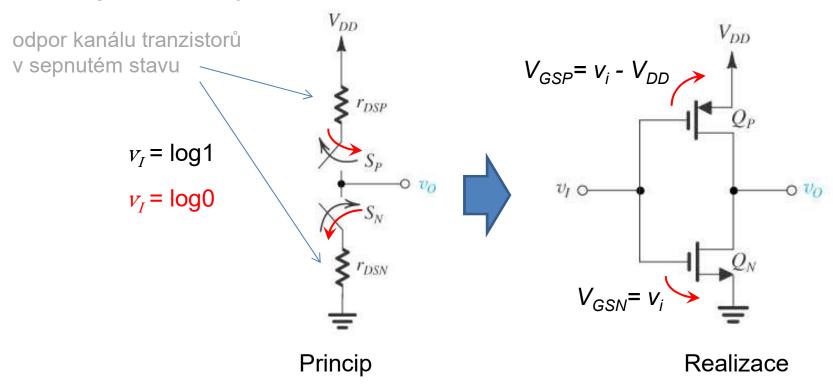
- nesymetrická charakteristika
- široká zakázaná oblast
- nenulová hodnota V<sub>OL</sub>
- nenulová spotřeba v log.0 na výstupu
- velký výstupní odpor v log.1 na výstupu
- špatné dynamické vlastnosti





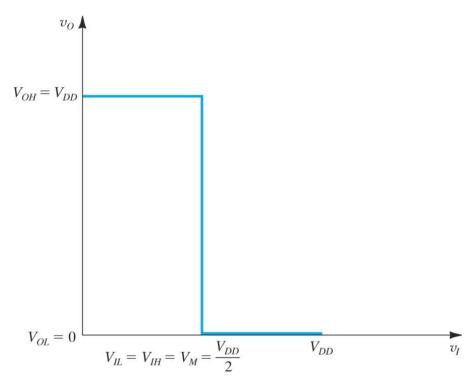
C<sub>L</sub> .. vstupní kapacita následujících hradel (tranzistorů)

- □ Princip využívá dvojici v protifázi pracujících spínačů, které připínají buď log0 (GND), anebo log1 (V<sub>DD</sub>) na výstup. Proud napříč spínači je v klidu nulový.
- Realizace využívá dvojici antisériově zapojených komplementárních MOSFETů (mají shodné absolutní hodnoty prahového napětí, shodné β-faktory).
- □ V log0 na vstupu je NMOS( $Q_N$ ) nevodivý a PMOS( $Q_P$ ) sepnut ( $V_{GSP} = -V_{DD}$ ), log1 na vstupu je tomu naopak.



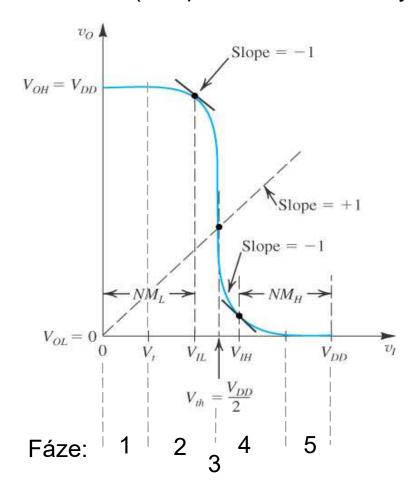
#### Převodní charakteristika

#### Ideální invertor

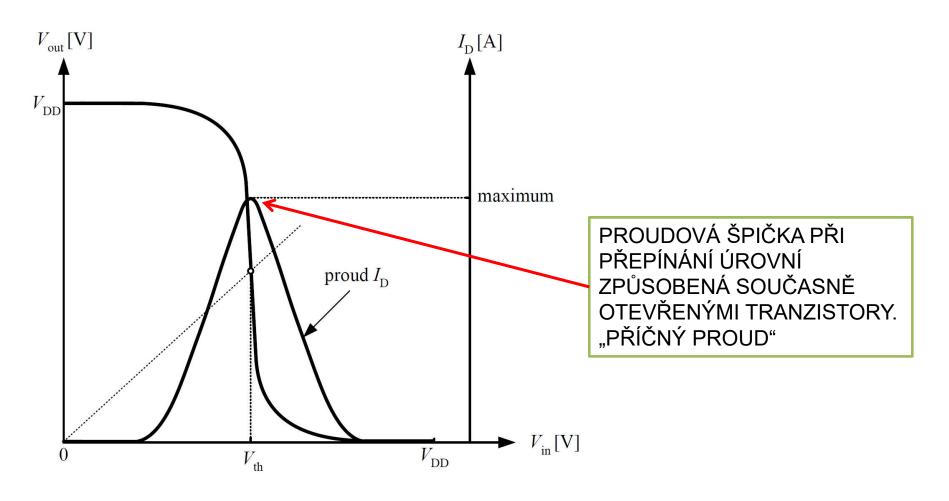


- 1 Q<sub>N</sub> rozepnut Q<sub>P</sub> v odporové oblasti
- 2 Q<sub>N</sub> v saturaci Q<sub>P</sub> v odporové oblasti
- $3 Q_N v$  saturaci  $Q_P v$  saturaci
- $4 \ Q_N \ v \ odporové \ oblasti \ Q_P \ v \ saturaci$
- 5 Q<sub>N</sub> v odporové oblasti Q<sub>P</sub> rozepnut

#### Invertor CMOS (komplemnární tranzistory)

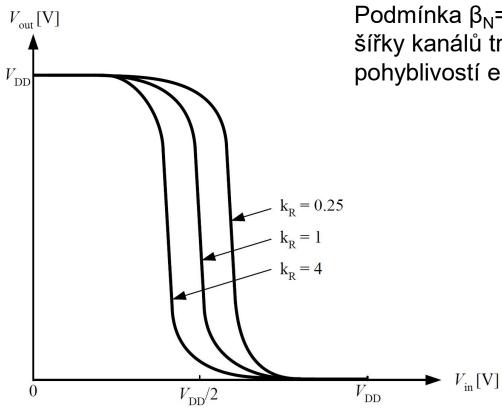


**Statická spotřeba** závisí na vstupním napětí, pro povolené hodnoty log0 a log1 je nulová (alespoň jeden tranzistor nevede). V zakázané oblasti (hodnota na výstupu se mění) může být značná (oba tranzistory jsou vodivé).



## Vliv parametrů tranzistorů na převodní charakteristiku

Ideální charakteristika (zlom nastává při  $V_{in}=V_{DD}/2$ ) vyžaduje plně komplementární tranzistory:  $IV_{thN}I=IV_{thP}I$ ,  $\beta_N=\beta_p$ , tj.  $k_R=\beta_N/\beta_p=1$ .



Podmínka  $\beta_N = \beta_p$  ( $k_R = 1$ ) vyžaduje přizpůsobit šířky kanálů tranzistoru nesymetrii hodnot pohyblivostí elektronů a děr

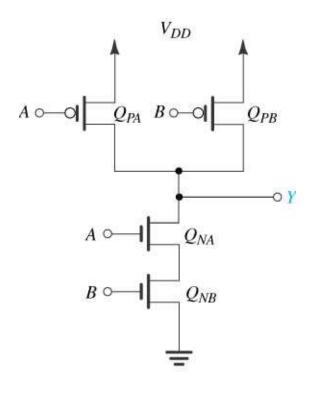
$$\beta_N = \beta_P$$

$$\mu_N C_{ox} \frac{W_N}{L_N} = \mu_P C_{ox} \frac{W_P}{L_P}$$

pro L<sub>N</sub> = L<sub>P</sub> získáme

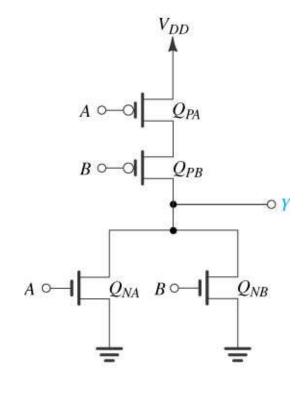
$$\frac{W_P}{W_N} = \frac{\mu_N}{\mu_P}$$

## Realizace hradel AND a OR v komplementární CMOS logice:



$$Y = \overline{A \cdot B}$$

spodní část (pod uzlem výstup)



$$Y = \overline{A + B}$$

horní část (nad uzlem výstup)

NAND : tranzistory NMOS sériově

NOR: tranzistory NMOS paralelně



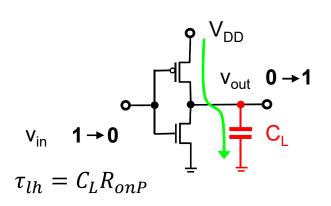
tranzistory PMOS paralelně

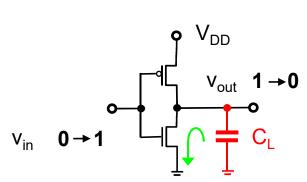


tranzistory PMOS sériově

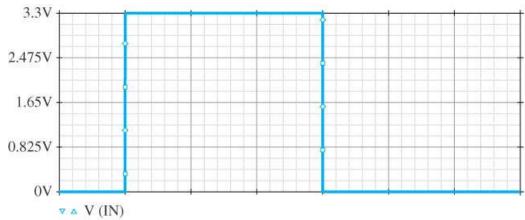
## Dynamické parametry a dynamická spotřeba

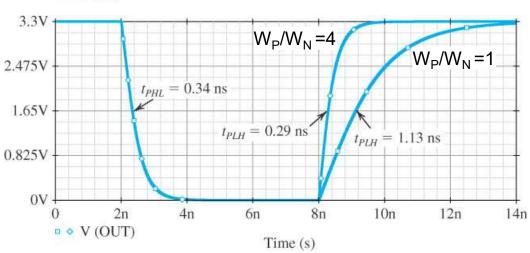
Dynamická změna výstupního napětí je dána nabíjením/vybíjením kapacitní zátěže přes spínaný PMOS/NMOS.





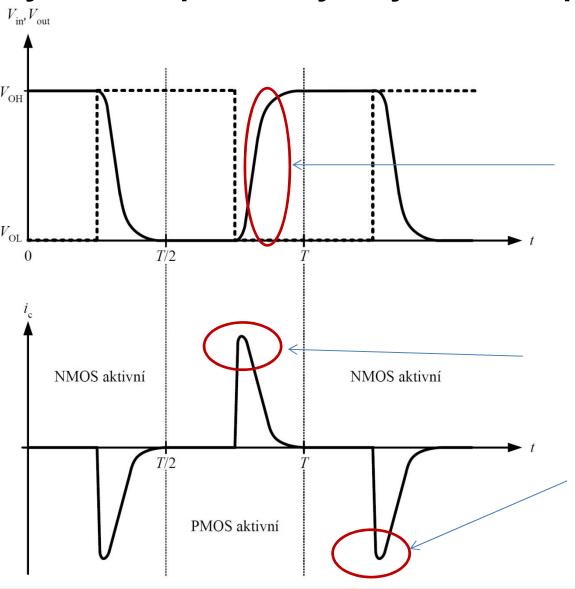
$$\tau_{hl} = C_L R_{onN}$$





Průběh vstupního (nahoře) a výstupního (dole) napětí.

#### Dynamické parametry a dynamická spotřeba



ZPOMALENÍ PRŮBĚHU ZPŮSOBENÉ KONEČNÝM NABÍJENÍM A VYBÍJENÍM VÝSTUPNÍ KAPACITY

PROUDOVÉ ŠPIČKY NA NAPÁJECÍ LINCE ZPŮSOBENÉ NABÍJENÍM A VYBÍJENÍM VÝSTUPNÍ KAPACITY

### Dynamická spotřeba invertoru CMOS

- způsobena periodickým nabíjením a vybíjením zatěžovací kapacity C<sub>L</sub>.
- při každé změně stavu je spotřebována energie W = ½ C<sub>I</sub>V<sub>DD</sub>²
- počítáme dvě změny stavu (např. 0-1-0) s frekvencí f je dynamický ztrátový výkon invertoru

$$V_{DD}$$
 $V_{out} 0 \rightarrow 1$ 
 $V_{out} 1 \rightarrow 0$ 

#### Příklad CP8.1

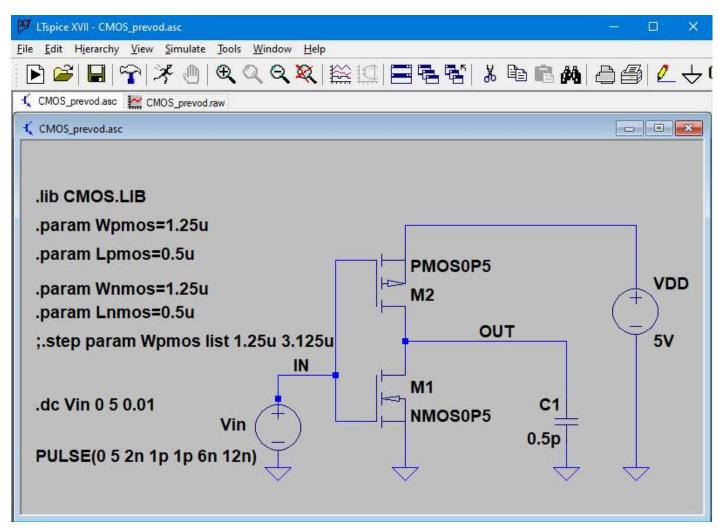
Odhadněte maximální dynamickou spotřebu CMOS čipu (0.25  $\mu$ m technologie), který obsahuje 10<sup>6</sup> (N) ekvivalentních hradel NAND s vstupní kapacitou C = 3.9 aF. Předpokládejte pracovní frekvenci f = 500 MHz a napájecí napětí  $V_{DD}$ = 2.5V.

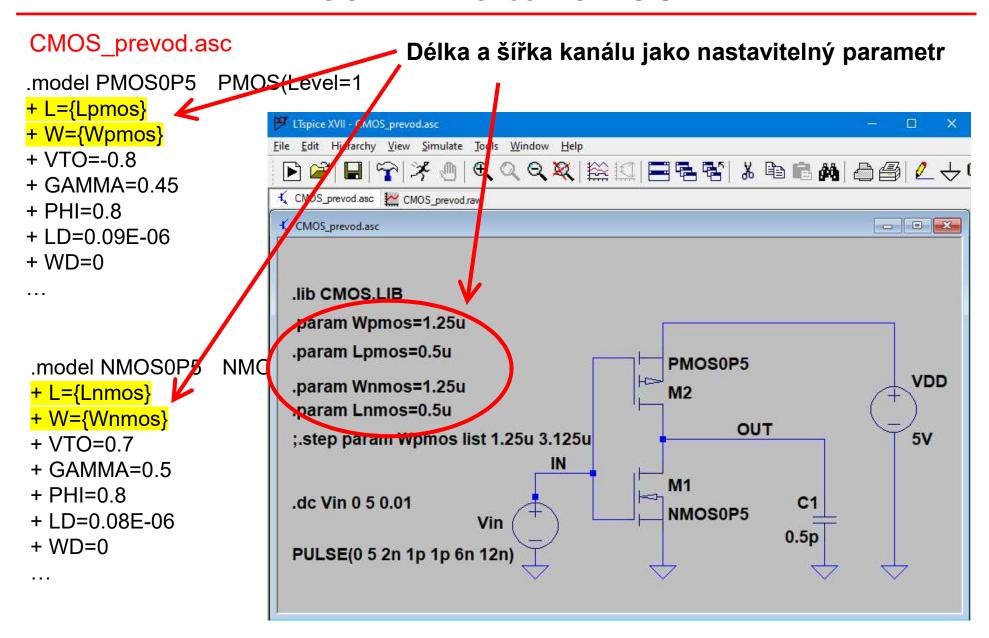
**Řešení** 
$$P = N C V_{DD}^2 f = 10^6 \cdot 3.9 \times 10^{-15} \cdot 2.5^2 \cdot 5 \times 10^8 = 12.2 [W] !!!$$

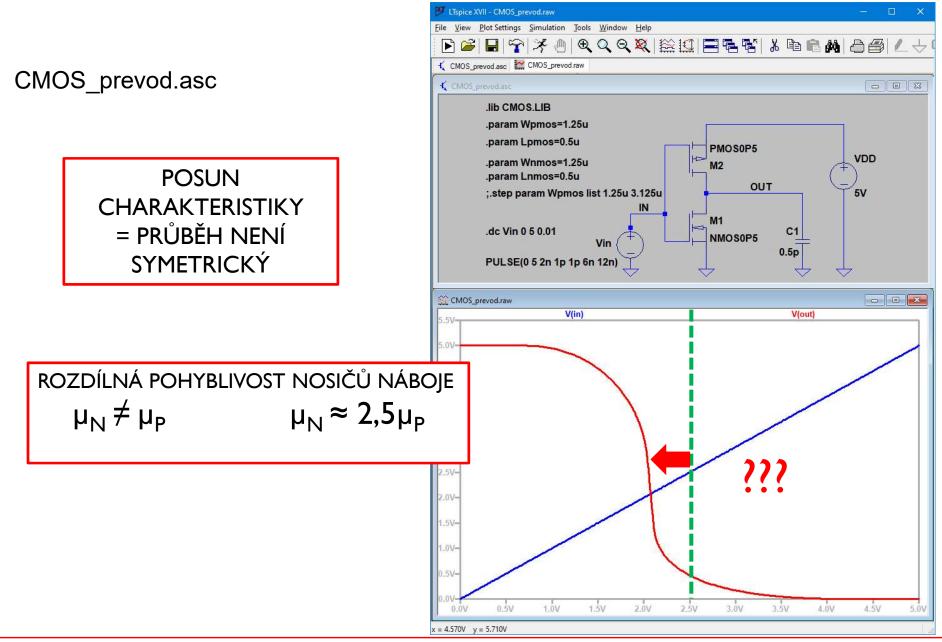
#### S8.2: Simulace převodní charakteristiky invertoru CMOS

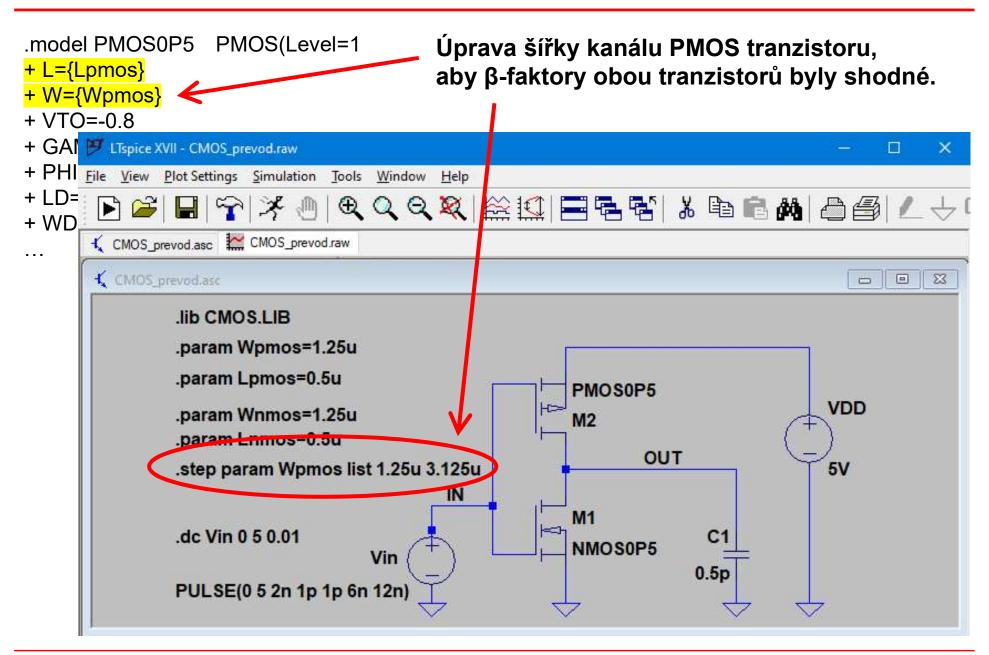
 $U_{OUT}=f(U_{IN})$ 

CMOS\_prevod.asc









CMOS\_prevod.asc

OK = PRŮBĚH JE SYMETRICKÝ

ROZDÍLNÁ POHYBLIVOST NOSIČŮ NÁBOJE  $\mu_N \neq \mu_P$   $\mu_N \approx 2.5 \mu_P$ 

