

## Zadání laboratorní úlohy číslo 4

# Realizace 2bitové sčítačky pomocí strukturálního návrhu s výstupem na displej

## 1 Téma

Úkolem této laboratorní úlohy je seznámit se se **strukturálním popisem (Structural) v jazyce VHDL**. Ten je založen na popisu vnitřního zapojení obvodů pomocí jejich rozložení na jednotlivé funkční bloky, tzv. komponenty (`component`), a popisu jejich vzájemného propojení a interakce. Zjednodušeně tak lze říci, že strukturální popis představuje schematický editor pro kreslení zapojení obvodu, realizovaný ale slovním popisem pomocí jazyka VHDL. Komponentami (bloky) obvodu mohou být pak jednotlivá logická hradla, větší funkční celky (sčítačky, násobičky, čítače) apod. Pro vzájemné propojení jednotlivých komponent slouží v jazyce VHDL tzv. mapování portů (`port map`), které bude představeno právě v této laboratorní úloze. V této úloze si rovněž ukážeme, jak se ve VHDL provádí výběr architektury obvodu (`entity`), pokud daná entita obsahuje více různých architektur, což jsme si vyzkoušeli již v předchozí laboratorní úloze.

Dalším úkolem v této laboratorní úloze je vyzkoušet si **simulace digitálních obvodů v jazyce VHDL**. Jazyk VHDL totiž lze použít nejen pro syntézu logických obvodů, ale i pro jejich simulace. Pro tyto účely jazyk obsahuje i sadu příkazů a konstrukcí, které slouží pro vytvoření tzv. VHDL **testbench souboru**, tedy VHDL kódu sloužícího pro simulaci navrženého obvodu. Zapsání a vytvoření takového VHDL testbenche pro simulaci realizované 2bitové sčítačky si zkusíme právě v této úloze. V neposlední řadě využijeme z laboratorní úlohy č. 2 realizovaný převodník z kódu BCD do kódu 7segmentového displeje a pomocí mapování portů jej jako komponentu připojíme k výstupu 2bitové sčítačky a získáme tak zobrazení výstupu přímo na 7segmentovém displeji přípravku.

## 2 Domácí příprava

1. Prostudujte teoretický úvod v tomto návodu. Zopakujte si z přednášek předmětu informace o binárních sčítačkách a jejich realizaci.
2. Připravte si VHDL kódy pro realizaci jednotlivých komponent i celkové entity výsledné 2bitové sčítačky s výstupem na 7segmentový displej:
  - I. Připravte si kód pro realizaci 2bitové sčítačky pomocí 2 komponent úplné 1bitové sčítačky dle obr. č. 3 v kapitole 6 teoretického úvodu, využijte předpřipravený VHDL kód v kapitole 6 teoretického úvodu a doplňte do něho chybějící části. Pro každou komponentu 1bitové sčítačky použijte jinou architekturu.
  - II. Připravte si VHDL testbench pro otestování funkčnosti a správnosti realizace 2bitové sčítačky tak, abyste mohli provést její simulaci pomocí programu Questa Intel FPGA. Využijte předpřipravený kód VHDL testbeche v kapitole 5 teoretického úvodu; doplňte do něho dalších alespoň 8 různých kombinací hodnot vstupních budících signálů, a, b, cin, tak abyste mohli otestovat funkčnost 2bitové sčítačky.
  - III. Připravte si kód pro realizaci výsledné entity 2bitové sčítačky s výstupem na 7segmentový displej pomocí komponenty 2bitové sčítačky a komponenty převodníku z BCD kódu do kódu 7segmentového displeje podle obr. č. 4 v kapitole 6 teoretického úvodu, využijte předpřipravený VHDL kód v kapitole 6 teoretického úvodu a doplňte do něho chybějící části.

## 3 Použité přístroje a vybavení

- PC s nainstalovaným programem Intel Quartus a Questa Intel FPGA
- přípravek Terasic DE10-Lite.

## 4 Literatura

- [1] Přednášky předmětu dostupné na Moodlu: <https://moodle.fel.cvut.cz/>.
- [2] Lafata, P. - Hampl, P. - Pravda, M.: Digitální technika. 1. vyd. Praha: Česká technika – nakladatelství ČVUT, 2011. 164 s.