

B2B32DITA

**Laboratorní úloha č. 2**

**Návrh převodníků kódů v jazyce VHDL, realizace převodníku z kódu BCD do kódu  
7segmentového displeje**

**Postup práce**

1. Nejprve prostudujte úkol dne v Moodle.

**a) Realizace převodníku pomocí schematického editoru**

2. Spustíte program *Quartus Lite Edition*.<sup>1</sup>
3. Vytvoříte nový projekt pomocí ikony na úvodní obrazovce *New Project Wizard*.
4. V prvním okně jen dole odklikněte *Next*.  
V dalším okně specifikujte cestu pro uložení projektu.<sup>2</sup>  
V další řádce vyplňte vhodný název souboru<sup>3</sup>, např. *BCD7segment*.  
Poslední řádek se jménem top-level entity bude vyplněn automaticky a okno v dolní části odklikněte *Next*.  
V dalším okně ponechte volbu na možnosti „*Empty project*“ a odklikněte *Next*,  
další okno opět jen odklikněte pomocí *Next*.

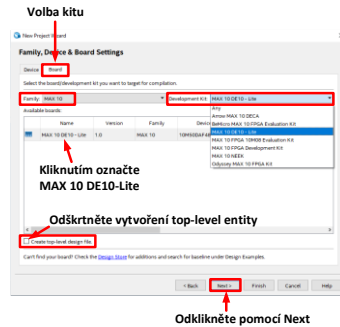
1 - Pokud se po spuštění Quartus otevře předchozí projekt, ukončete ho (*File* → *Close Project*).

2 – Zvolte pro umístění složky projektu Vaši pracovní složku na disku ve složce *Users* a v něm podsložku s Vaším přihlašovacím jménem.

3 - Nepoužívejte diakritiku, mezeru, speciální znaky a jméno nesmí začínat číslem.

a) Realizace převodníku pomocí schematického editoru

5. V dalším okně „New Project Wizard – Family, Device & Board Settings“ zvolte správný přípravek DE10-Lite<sup>1</sup>.



1 - Nejprve v horní části okna překlikněte na kartu „Board“.

Zde v levém roletovém menu „Family:“ zkontrolujte, že je označena položka „MAX 10“.


V pravém roletovém menu „Development Kit:“ pak vyberte variantu „MAX 10 DE10-Lite“. Tím se v prostřední části okna „Available boards:“ objeví položka „MAX 10 DE10-Lite“.

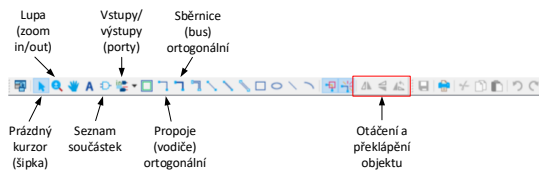
Kliknutím levým tlačítkem myši ji označte.

**Dále odškrtněte (zrušte zaškrtnutí) volby „Create top-level design file.“** ve spodní části okna a odklikněte celé okno pomocí *Next*.

Další okno opět jen odklikněte pomocí *Next* a konečně v posledním okně klikněte na *Finish*.


#### a) Realizace převodníku pomocí schematického editoru

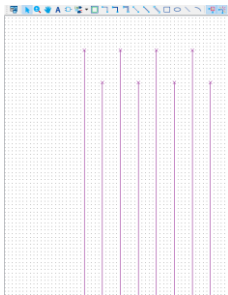
6. V menu hlavního okna „File“ klikněte na položku „New...“, případně klikněte na ikonu  v hlavní liště ikon.  
V otevřeném okně vyberte položku „Block Diagram/Schematic File“ a potvrďte pomocí OK.
7. Otevře se hlavní plocha schematického editoru pro zakreslení schématu obvodu.  
Nejprve soubor uložte<sup>1</sup>.
8. Nakreslete schéma zapojení převodníku, které jste si připravili v rámci úkolu č. 2 domácí přípravy, využijte **pouze** hradla *NAND* a negace *NOT*. Pro kreslení schématu jsou nejdůležitější ikony umístěny na liště nacházející se nad vlastní kreslicí plochou programu:



1 - V menu „File“ zvolte „Save As...“. V nově otevřeném okně zkontrolujte, že soubor bude uložen ve složce projektu. Název ukládaného souboru by měl odpovídat názvu projektu s příponou „.bdf“. Zkontrolujte, že volba „Add file to current project“ je zaškrtnuta a klikněte na tlačítko *Uložit*.

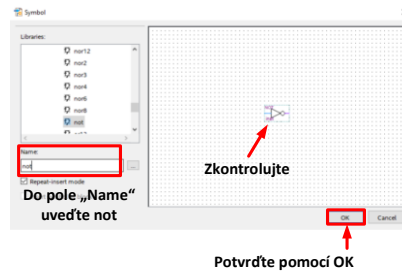
**a) Realizace převodníku pomocí schematického editoru**

9. Nejprve nakreslete 4 vodiče odpovídající vstupním proměnným  $a$ ,  $b$ ,  $c$ ,  $d$ , a další 4 vodiče, které využijeme pro jejich negace,  $\overline{a}$ ,  $\overline{b}$ ,  $\overline{c}$ ,  $\overline{d}$ , na tyto vodiče pak budete připojovat vstupy jednotlivých hradel. Vyberte proto nejprve **ikonu pro kreslení vodičů**  a nakreslete do volné plochy 8 svislých vodičů. Vodiče pro negace proměnných jsou záměrně kratší.



**a) Realizace převodníku pomocí schematického editoru**

10. Doplňte do schématu čtveřici hradel *NOT* (invertorů) pro realizaci negací vstupních proměnných, tedy  $\bar{a}, \bar{b}, \bar{c}, \bar{d}$ .<sup>1</sup>




1 – Klikněte na ikonu pro nabídku součástek *Symbol Tool* v hlavní horní liště ikon nad kreslicí plochou.


V okně „*Symbol*“, které se otevře, vyplňte do pole „*Name*:“ *not*, v seznamu nad tímto polem vyberte součástku s názvem „*not*“ a zkontrolujte v pravé polovině okna, že schématická značka odpovídá hradlu *NOT* (invertoru).

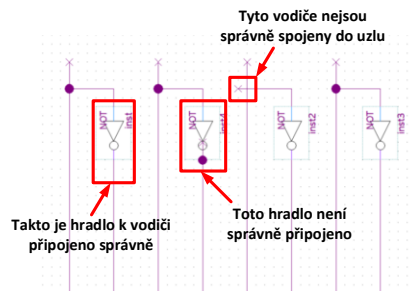
Kliknutím na *OK* se okno zavře a zároveň se kurzor na kreslicí ploše změní a obsahuje nyní značku hradla *NOT*, kterou můžete levým kliknutím do plochy libovolně umístit. Levým tlačítkem myši nyní můžete na kreslicí plochu umístit libovolný počet hradel *NOT*, pokud již další přidávat nechcete, najedte a klikněte v horní liště ikon na ikonu šipky.

**a) Realizace převodníku pomocí schematického editoru**

11. Po kliknutí kurzorem šipky na jedno hradlo jej můžete pomocí ikon z horní lišty  vhodně otáčet či překlápět. Napojte nyní postupně výstupy hradel *NOT* na čtveřici kratších vodičů.

**Pečlivě zkontrolujte, zda jsou hradla na vodiče správně připojena!** Pokud se na vodiči objevuje symbol křížku ✕ nebo uzlu ●, je v tomto místě vodič přerušen, nebo připojen do uzlu!

Připojte vstupy hradel NOT k jednotlivým delším vodičům (vstupním proměnným *a, b, c, d*, viz další krok) pomocí ikony pro zakreslení ortogonálního vodiče . V případě správného připojení vznikne na vodiči uzel, jak ukazuje obrázek:



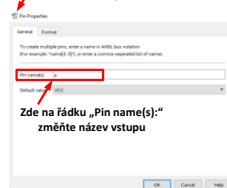
**a) Realizace převodníku pomocí schematického editoru**

12. Nyní přiřadte na vodiče vstupy *a, b, c, d* a jejich pojmenování.  
Vyberte z lišty ikonu *vstupy/výstupy Pin Tool* a rozklikněte její nabídku pomocí šipky vedle ikony.

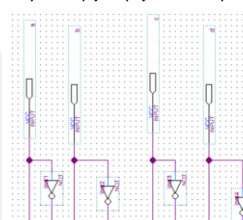


13. Z nabídky vyberte vstup *Input* a umístěte 4 symboly pro vstup volně do kreslicí plochy. Vhodně je natočte pro napojení na vstupní vodiče. Připojte vstupy na jednotlivé 4 vodiče *a, b, c, d*. Klikněte dvakrát levým tlačítkem myši na každý symbol vstupu a v okně „*Pin Properties*“, které se otevře, na řádku „*Pin name(s):*“ změňte automaticky vygenerovaný název vstupu (*pin\_name*) na odpovídající název vstupní proměnné *a, b, c, d*.

Dvojklikem na port otevřete  
okno „Pin Properties“





Výsledné zapojení a přejmenování vstupů






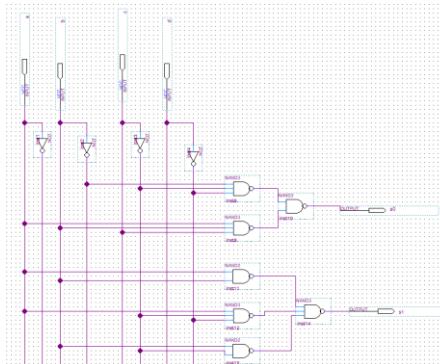
**a) Realizace převodníku pomocí schematického editoru**

14. Klikněte na ikonu seznamu součástek *Symbol Tool*  hlavní horní liště ikon nad kreslicí plochou. Do pole „Name:“ tentokrát vyplňte *nand2*, *nand3*, *nand4* (hradla NAND se 2, 3 či 4 vstupy). Postupně si z knihovny součástek do kreslicí plochy umístěte další potřebná hradla NAND.<sup>1</sup>
15. Propojte jednotlivá hradla a připojte hradla na vstupní proměnné tak, abyste postupně zakreslili zapojení všech 7 výstupních funkcí (segmentů) pro realizaci převodníku. Při napojování hradel na sebe či připojení vstupu hradla na některou ze vstupních proměnných a vytvoření uzlu pomocí tažení vodiče do blízkosti napojení se objeví symbol přichycení  a uzel či napojení hradla se tak úspěšně provede.


1 - Hradla na kreslicí ploše schématického editoru můžete po jejich označení pomocí kurzoru šipky mazat pomocí klávesy *Delete*, či kopírovat pomocí klávesové zkratky *Ctrl+C* a vkládat pomocí *Ctrl+V*.

**a) Realizace převodníku pomocí schematického editoru**

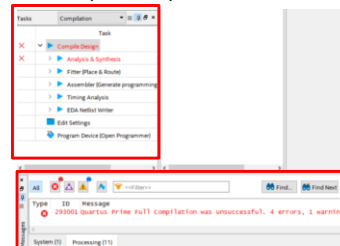
16. Pro vytvoření 7 výstupů (segmentů) použijte opět ikonu pro vstupy/výstupy *Pin Tool* a po rozkliknutí její šipky vyberte tentokrát výstup *Output*  *Output*  
Postupně do schématu umístěte 7 výstupů a připojte je k jednotlivým výstupům z hradel pro výstupy k jednotlivým segmentům.  
Přejmenujte automaticky vygenerované názvy na *s0*, *s1*... až *s6*:



**a) Realizace převodníku pomocí schematického editoru**

17. Po dokončení celého schématu jej uložte a uložte celý projekt v menu *File* → *Save All* s ikonou disket  v hlavní nabídce programu Quartus.
18. Spusťte kompilaci schématu .<sup>1</sup>
19. Proces kompilace a průběh jeho jednotlivých fází můžete sledovat v levém okně programu Quartus s názvem *Tasks* a také ve spodním okně konzole programu bude postupně uveřejňován textový výpis nejdůležitějších kroků kompilace a jejich výsledků.


Okno Tasks a průběh kompilace





Konzole a textový výpis průběhu kompilace


1 – Postup: Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus. Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně *Tasks* uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek) a počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách. Provedte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora. Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.


#### a) Realizace převodníku pomocí schematického editoru



20. Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně *Tasks* uvedeno zelené úspěšné potvrzení  a v konzoli bude ve výpisu uveden počet chyb 0 (mohou být uvedeny případná varování warnings).



 293000 Quartus Prime Full Compilation was successful. 0 errors, 16 warnings

V opačném případě, pokud schéma obsahuje chybu (chyby), nebo se vyskytl jiný problém, bude u příslušné fáze kompilace zobrazena červená ikona chyby  ; počet a bližší popis chyb lze nalézt v konzoli.

 293001 Quartus Prime Full Compilation was unsuccessful. 4 errors, 1 warning

V takovém případě je nutné chyby nalézt a opravit. V okně konzole lze zobrazit chybové zprávy a informace kliknutím na ikonu  listováním zpráv prohlédnout jejich podrobnější popis v konzoli, např..

 275862 Logic function of type xor02 and instance "Inst12" is already defined as a signal name or another logic function  
 12333 Can't elaborate top-level user hierarchy

Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* s ikonou diskety  v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku  novou kompilaci projektu.

**a) Realizace převodníku pomocí schematického editoru**

21. V případě úspěšně zkompilovaného projektu přiřadte vstupům/výstupům jejich fyzické zapojení na přípravku DE10-Lite.<sup>1</sup>

22. Ve sloupečku *Location* uveďte u každého portu v seznamu jeho přiřazení na správný pin přípravku:

Vstup/výstup	a	b	c	d	s6	s5	s4	s3	s2	s1	s0
Pin	C10	C11	D12	C12	C14	E15	C15	C16	E16	D17	C17

23. Tomuto přiřazení odpovídají 4 přepínače a první 7segmentový displej ve spodní části přípravku:



Výstupy s0-s6 jsou přiřazeny na 7segmentový displej č. 1

24. Po přiřazení všech pinů a vstupů/výstupů program *Pin Planner* v pravém horním rohu křížkem zavřete. Spusťte novou kompilaci celého projektu.<sup>2</sup>



1 – V hlavní horní liště ikon klikněte tedy na ikonu *Pin Planner*, případně vyberte v menu *Assignments* → *Pin Planner*.

Otevře se okno *Pin Planner* pro přiřazování pinů vstupům/výstupům v projektu.

Ve spodní části okna *Pin Planneru* se nachází seznam všech vstupů a výstupů definovaných v projektu (schématu či top-level entitě projektu).

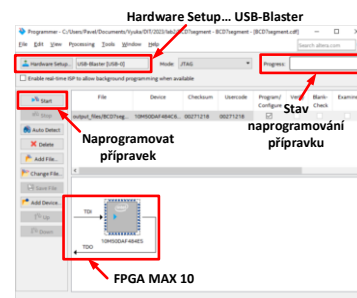
Poznámka:

Ve spodní části okna *Pin Planneru* se nachází seznam všech vstupů a výstupů definovaných v projektu (schématu či top-level entitě projektu). V pravém horním rohu tohoto okna programu lze pomocí filtrů upravovat zobrazování vstupů a výstupů.

2 – Po dokončení kompilace si povšimněte, že ve schématu převodníku se u každého z jeho vstupů a výstupů objevil jemu přiřazený pin přípravku, jak ukazuje na příkladu obrázek.

**a) Realizace převodníku pomocí schematického editoru**

25. Připojte nyní přípravek Terasic DE10-Lite pomocí USB kabelu do PC.<sup>1</sup>
26. V okně *Tasks* (levé dolní okno) klikněte dvakrát na položku „*Program Device (Open Programmer)*“.  
Dojde ke spuštění okna pro naprogramování přípravku DE10-Lite s názvem *Programmer*.
27. Zkontrolujte, že je přes USB rozhraní korektně načten přípravek DE10-Lite s FPGA MAX 10.<sup>2</sup>  
Klikněte na tlačítko „*Start*“.  
V okénku „*Progress*“ proběhne naprogramování přípravku, pokud je vše v pořádku, zobrazí se „100% (*successful*)“ v zeleném poli.
28. Otestujte funkčnost a správnost navrženého a realizovaného převodníku.<sup>3</sup>  
Výsledek ukažte učitelí.



1 – Poznámka: dvojice zelených LED, jedna na levém okraji přípravku (tzv. POWER GOOD) a jedna v levém horním rohu přípravku (tzv. CONF\_D), by se měla rozsvítit. Červené indikační LED v pravé dolní části a 7segmentové displeje ve spodní části přípravku začnou blikat.


2 – V levém horním rohu okna *Programmer* klikněte na tlačítko „*Hardware Setup...*“. V tomto okně v položce „*Currently selected hardware*“ rozklikněte roletové menu a vyberte položku „*USB-Blaster [USB-0]*“, zavřete okno pomocí *Close*. Zkontrolujte, že ve spodní části okna se nachází FPGA pole s označením 10M50DAF484ES.

Ověřte, že v horní části okna je vybrán soubor pro naprogramování FPGA pole z aktuální složky projektu a zkontrolujte, že je zaškrtnuta volba ve sloupečku *Program/Configure*.

3 – Pomocí přepínačů nastavte postupně všechny vstupní kombinace proměnných *a*, *b*, *c*, *d* (v BCD kódu) a na 7segmentovém displeji č. 1 zkontrolujte, že se zobrazují správné číslice.

Porovnejte s převodní tabulkou převodníku dle tabulky z teoretického úvodu

#### b) Realizace převodníku v jazyce VHDL

29. Zavřete okno *Programmer* křížkem v pravém horním rohu.
30. Vytvořte nový soubor pomocí menu *File* → *New...*, případně klikněte na ikonu  v hlavní liště ikon. Z nabídky zdrojů vyberte položku „VHDL File“ v sekci „Design Files“ a potvrďte pomocí *OK*.
31. Dojde k vytvoření prázdného souboru pro zápis VHDL kódu. Nejprve soubor uložte<sup>1</sup> pod názvem *BCD7segmentVHDL*.
32. Nyní postupně zkopírujte a doplňte do vytvořeného souboru části VHDL kódu připravené v kapitole 3 teoretického úvodu.  
Zkopírujte a vložte deklarace knihoven:

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;
```

1 – Podrobný postup: V menu „File“ zvolte „Save As...“. V nově otevřeném okně zkontrolujte, že soubor bude uložen ve složce projektu. Zvolte vhodný název souboru (např. *BCD7segmentVHDL*) a zkontrolujte, že soubor má příponu „.vhd“. Zkontrolujte, že volba „Add file to current project“ je zaškrtnuta a klikněte na tlačítko *Uložit*.

**b) Realizace převodníku v jazyce VHDL**

33. Doplňte deklaraci vlastní entity, jejího názvu (*BCD7segmentVHDL*) a jejích portů:

```
entity BCD7segmentVHDL is  
  port (a,b,c,d : in std_logic;  
         s0,s1,s2,s3,s4,s5,s6 : out std_logic);  
end BCD7segmentVHDL;
```

34. Deklarujte architekturu entity:

```
architecture RTL of BCD7segmentVHDL is  
  begin  
  
  end RTL;
```



**b) Realizace převodníku v jazyce VHDL**

35. Mezi klíčová slova `begin` a `end` RTL doplňte dataflow (RTL) popis v jazyce VHDL převodníku kódu, který jste si připravili v rámci úkolu č. 2 domácí přípravy.

Ukázka části VHDL kódu s výstupy `s6` a `s5` převodníku z kódu BCD do kódu 7segmentového displeje:

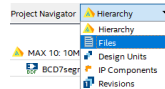
```
architecture RTL of BCD7segmentVHDL is
begin
  s6 <= (not a and not b and c) or (a and not b and not c and not d);
  s5 <= (a and not b and c) or (not a and b and c);
  s4 <=...;
  s3 <=...;
  s2 <=...;
  s1 <=...;
  s0 <=...;
end RTL;
```

Poznámka: Pro pojmenování portů (vstupů, výstupů) převodníku zapsaném v kódu VHDL použijte stejné názvy, jako při jeho předchozí realizaci pomocí schematického editoru. Nebude pak již potřeba spouštět *Pin Planner* a upravovat pomocí něho přiřazení pinů přípravku.

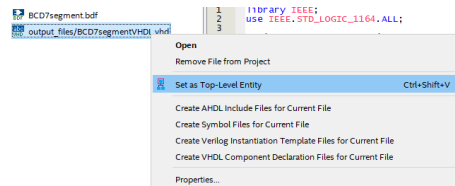
## b) Realizace převodníku v jazyce VHDL

36. Do předchozího vzoru VHDL kódu doplňte nyní obdobně realizaci zbylých výstupů  $s_4$  až  $s_0$ . Uložte vytvořený modul a celý projekt<sup>1</sup>.

37. V levé horní části hlavního okna programu Quartus najděte menu s názvem „Project Navigator“. Z roletového menu vyberte položku „Files“:



38. Dojde k přepnutí zobrazení hlavních souborů. Budou zde tedy zobrazeny 2 soubory, jeden obsahující schéma s příponou „.bdf“ (např. *BCD7segment.bdf*) a druhý soubor se zapsaným VHDL kódem s příponou „.vhd“ (např. *BCD7segmentVHDL.vhd*). Pravým tlačítkem myši označte soubor s příponou „.vhd“ a z menu vyberte položku „Set as Top-Level Entity“:



1 – V menu *File* → *Save All* s ikonou několika disket za sebou v hlavní nabídce programu Quartus.

#### **b) Realizace převodníku v jazyce VHDL**

39. Spusťte kompilaci VHDL kódu.<sup>1</sup>
40. Zkontrolujte, zda kompilace VHDL kódu proběhla úspěšně (viz bod 20).
41. V případě, že je vše v pořádku, implementujte vytvořený převodník do přípravku DE10-Lite.<sup>2</sup>
42. Otestujte funkčnost a správnost navrženého a realizovaného převodníku.<sup>3</sup>  
Výsledek ukažte učiteli.
43. Zapište do sešitu řešení úkolu 3 (z úkolu dne). Výsledek ukažte učiteli.
44. Po dokončení úlohy ukončete projekt převodníku realizovaného pomocí jazyka VHDL.  
Zavřete nejprve okno *Programmer* křížkem v horním pravém rohu okna.  
Zavřete celý projekt *File* → *Close Project*.  
Ukončete program Quartus a odhlaste se z PC.

1 – Postup: Kompilaci zahájíte pomocí ikony modrého trojúhelníku v hlavní liště ikon v horní části programu Quartus. Pokud se v průběhu kompilace nevyskytla žádná chyba či problém, bude u všech jejích fází v okně Tasks uvedeno zelené úspěšné potvrzení (fajfka), v opačném případě bude u příslušné fáze kompilace zobrazena červená ikona chyby (křížek) a počet a bližší popis chyb lze nalézt v konzoli níže kliknutím na ikonu bílého křížku v červeném kolečku a listováním ve zprávách. Provedte postupně opravy případných chyb a problémů, začněte vždy s opravou chyb odshora. Po každé opravě chyby opět uložte celý projekt v menu *File* → *Save All* v hlavní nabídce programu Quartus a spusťte pomocí ikony modrého trojúhelníku novou kompilaci projektu.

2 – Klikněte dvakrát levým tlačítkem na položku „*Program Device (Open Programmer)*“ a pomocí okna *Programmer* připravte naprogramujte. Postupujte podle bodů č. 26, 27 a 28.

3 – Pomocí přepínačů nastavte postupně všechny vstupní kombinace proměnných *a*, *b*, *c*, *d* (v BCD kódu) a zkontrolujte na 7segmentovém displeji č. 1 (viz obrázek v bodě č. 23), že jsou zobrazeny správné číslice.