

Zadání laboratorní úlohy číslo 6

Děličky frekvence, digitální stopky s výstupem na displej

1 Téma

V předchozí laboratorní úloze jsme rozpracovali projekt digitálních stopek čítajících v rozsahu 0–59 sekund s výstupem na dvojici 7segmentových displejů na přípravku. V úloze jsme vytvořili základní 4bitový synchronní čítač s asynchronním nulováním a blokováním a zejména s parametrizací rozsahu čítání, který nám posloužil jako základ pro obě řádová místa čítače-stopek. Dále jsme využili (z laboratorní úlohy č. 2) hotový převodník z BCD kódu do kódu 7segmentového displeje pro zobrazení obou řádových míst stopek na displejích.

Prozatím jsme však neřešili vstupní hodinový takt – pro kontrolu správné funkce navržených čítačů jsme použili jednoduše tlačítko na přípravku a čítače tedy čítají stisky tohoto tlačítka a nereagují na vhodný hodinový signál. To bude úkolem této laboratorní úlohy. V ní se seznámíme a **vyzkoušíme si v praxi práci s periodickým hodinovým signálem, jeho úpravami a transformacemi v rámci tzv. děliček frekvence a využijeme rovněž vestavěný fázový závěs (PLL) a jeho možnosti v rámci tzv. IP Cores.**

Práce s hodinovým taktem, jeho úpravy, návrhy děliček frekvence a využití vestavěných bloků FPGA pro práci s hodinovým taktem patří obecně při návrhu obvodu v jazyce VHDL k velmi důležitým a nejčastějším úkolům. Drtivá většina obvodů navrhovaných a realizovaných v FPGA jsou synchronní sekvenční obvody, které využívají ke své synchronizaci právě hodinový signál, který v jazyce VHDL označujeme obvykle `Clk` či `Clock`. Zaměříme se rovněž na střidu výstupního hodinového taktu a pro ukázkou vytvoříme děličku se symetrickým výstupem (střidou 1:1).

V této úloze budeme pro všechny návrhy používat vždy behaviorální popis (Behavioral). Úkolem bude využít nejprve vestavěný fázový závěs (PLL) přípravku a vhodně transformovat vstupní hodinový signál o frekvenci 10 MHz na hodinový signál 2048 Hz tak, abychom z něho ve druhé fázi dělení vhodným způsobem vytvořili výsledný hodinový signál o frekvenci 1 Hz (perioda 1 s) a symetrickou střidou, kterým budeme budít námi vytvořené stopky.

Ve druhém stupni dělení realizujeme děličku frekvence tzv. typu 2^W v jazyce VHDL jedním z možných způsobů za použití knihovny IEEE `numeric_std` a datového typu `unsigned`.

Abychom ověřili správnou funkčnost navržených a použitých děliček kmitočtu, připojíme k výstupním hodinovým signálům 10 MHz, 2048 Hz a 1 Hz logický analyzátor a pomocí něho správnost generovaného hodinového taktu ověříme.

Nakonec pomocí strukturálního popisu (Structural) propojíme všechny bloky do výsledných digitálních stopek, využijeme rovněž blokové vstupy čítačů a přidáme tlačítko pro zastavení/spuštění stopek. Hotové stopky nakonec implementujeme do přípravku DE10-Lite a ověříme jejich funkčnost.

2 Domácí příprava

1. Prostudujte teoretický úvod v tomto návodu. Projděte si rovněž návod a výslednou realizaci čítače-stopek z laboratorní úlohy č. 5.
2. Připravte si VHDL kód pro realizaci děličky typu 2^W , která ze vstupního hodinového taktu s frekvencí 2048 Hz vytvoří výstupní hodinový signál s frekvencí 1 Hz. Vstup *Reset* děličky neuvažujte, děličku vytvořte s parametrizací dělicího poměru. Využijte ukázkový předpřipravený VHDL kód v kapitole 2 v teoretickém úvodu.
3. Promyslete a připravte si VHDL kód pro konečnou realizaci top-level entity digitálních stopek. Vyjděte a využijte VHDL kód v kapitole 5 teoretického úvodu a schéma strukturálního zapojení stopek na obr. č. 15 tamtéž. Doplňte uvedený VHDL kód a jeho chybějící části.

3 Úkoly

1. Pomocí IP Cores nakonfigurujte a vytvořte děličku frekvence – fázový závěs PLL pro vydělení vstupního hodinového signálu s frekvencí 10 MHz na výstupní hodinový signál s frekvencí 2048 Hz. Postupujte dle návodu v kapitole 3 teoretického úvodu.
2. Pomocí behaviorálního popisu v jazyce VHDL realizujte děličku frekvence typu 2^W pro vydělení vstupního hodinového signálu 2048 Hz na výstupní hodinový takt 1 Hz. Děličku navrhnete a realizujete s parametrizací dělicího poměru. Vyjděte z ukázkového kódu v kapitole 2 teoretického úvodu, neuvažujte vstup *Reset*.
3. Pomocí strukturálního popisu v jazyce VHDL vytvořte výslednou top-level entitu digitálních stopek čítajících v rozsahu 0–59 sekund s výstupem na 7segmentový displej přípravku a s funkcemi pro jejich zastavení/spuštění a vynulování pomocí tlačítek. Jako základ použijte VHDL projekt čítač-stopky z minulé laboratorní úlohy č. 5.
4. Implementujte digitální stopky s výstupem na displej do přípravku DE10-Lite a ověřte správnost jejich funkce.
5. Připojte k přípravku DE10-Lite logický analyzátor Kingst LA1010 dle návodu v kapitole 4 teoretického úvodu. Pomocí něho a programu na PC změřte a ověřte správnost a přesnost všech hodinových signálů generovaných v projektu digitálních stopek, tzn. 10 MHz, 2048 Hz a 1 Hz.

4 Použité přístroje a vybavení

- PC s nainstalovaným programem Intel Quartus,
- přípravek Terasic DE10-Lite,
- PC s nainstalovaným SW pro obsluhu log. analyzátoru Kingst LA1010,
- log. analyzátor Kingst LA1010.

5 Literatura

- [1] Přednášky předmětu dostupné na Moodlu: <https://moodle.fel.cvut.cz/>.
- [2] Lafata, P. - Hampl, P. - Pravda, M.: Digitální technika. 1. vyd. Praha: Česká technika – nakladatelství ČVUT, 2011. 164 s.