**中山大学数据科学与计算机学院本科生实验报告**

**（2017学年秋季学期）**

课程名称：**数字电路与逻辑设计实验**  任课教师：**保延翔**  助教：**李鹏飞**

|  |  |  |  |
| --- | --- | --- | --- |
| 年级&班级 | **2016 教务三班** | 专业(方向) | **软件工程** |
| 学号 | **16340247** | 姓名 | **席睿** |
| 电话 | **13760919069** | Email | **Sirius\_see@outlook.com** |
| 开始日期 | **2017/12/06** | 完成日期 | **2017/12/07** |

1. **实验题目**

计数器的设计

1. **实验目的**

熟悉JK触发器的逻辑功能，掌握JK触发器构成异步计数器和同步计数器。 **三、实验设计与原理**

实验6：实现1-12计数器，并且在两个数码管上显示对应十进制数

写出1-12计数器的二进制状态转化图，观察之，发现：

- FF0在每个时钟都翻转

- FF1在每次Q0 = 1时翻转

- FF2在0011、0111、1011、1100时翻转

- FF3在0111、1100时翻转

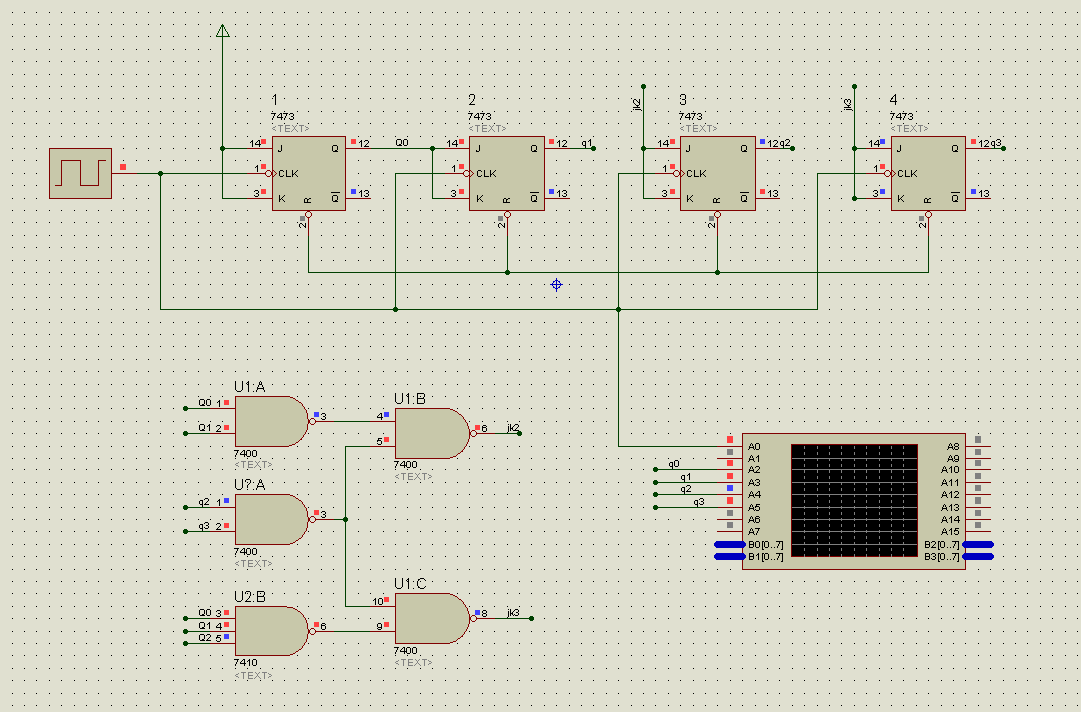
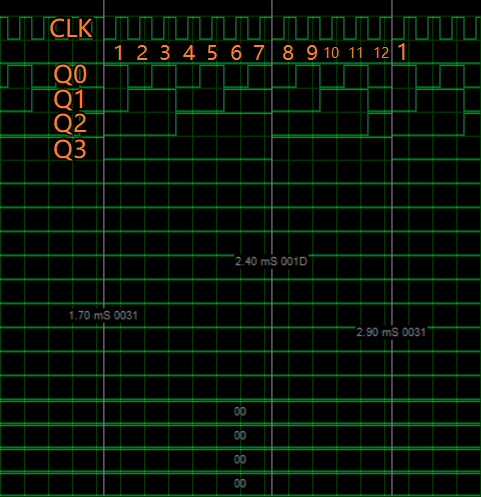
根据各个触发器的翻转情况，得到各FF输入的布尔表达式

- J0 = K0 = 1

- J1 = K1 = Q0

- J2 = K2 = Q0Q1 + Q2Q3

- J3 = K3 = Q0Q1Q2 + Q2Q3

根据布尔表达式构建电路，并检验12计数器的正确性。

然后开始考虑实现十进制显示的部分。

由于十进制显示可以分在两块数码管上实现，所以我们只需要把1-12一共12个4位BCD码译为十位和个位8位BCD码即可。构建译码真值表，为了方便描述，我将输出的十位和个位8位BCD码按8421的顺序分别称为（十位）ABCD、（个位）EFGH。

观察真值表，得到ABCDEFGH的布尔表达式：

- A = B = C = 0

- D = Q3·Q2\_n·Q1·Q0\_n + Q3·Q2\_n·Q1·Q0 + Q3·Q2·Q1\_n·Q0N\_n（1010、1011、1100）

- E = Q3Q2\_nQ1\_nQ0\_n + Q3Q2\_nQ1\_nQ0(1000、1001)

- F = Q3\_n·Q2·Q1\_n·Q0\_n + Q3\_n·Q2·Q1\_n·Q0 + Q3\_n·Q2·Q1·Q0\_n + Q3\_n·Q2·Q1·Q0(0100、0101、0110、0111)

- G = 0010 + 0011 + 0110 + 0111 + 1100

- H = Q0

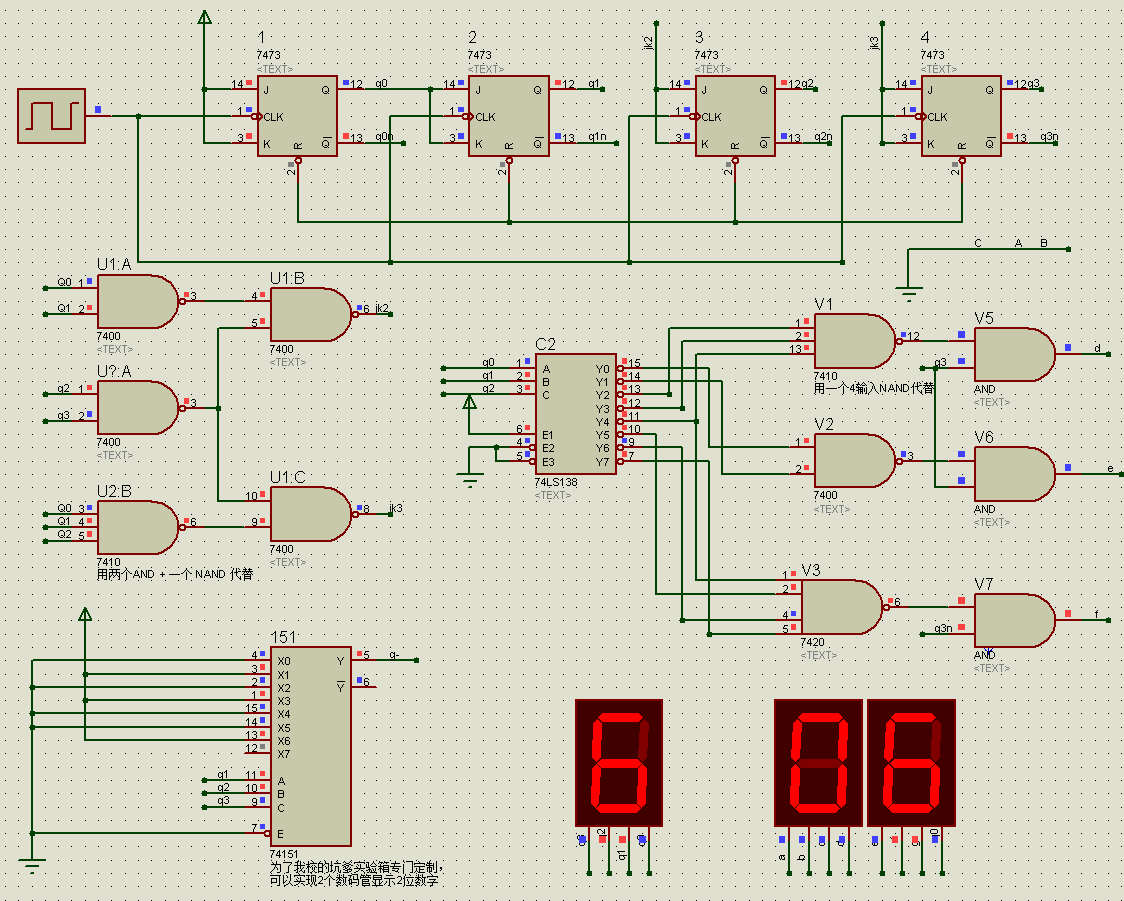
根据布尔表达式分配实验箱上的资源

- A、B、C、H可以直接接低电平和Q0，不需要额外资源进行译码

- G 由5个或与表达式组成，而实验箱没有5输入与非门，因此考虑使用151作4输入选择器实现。

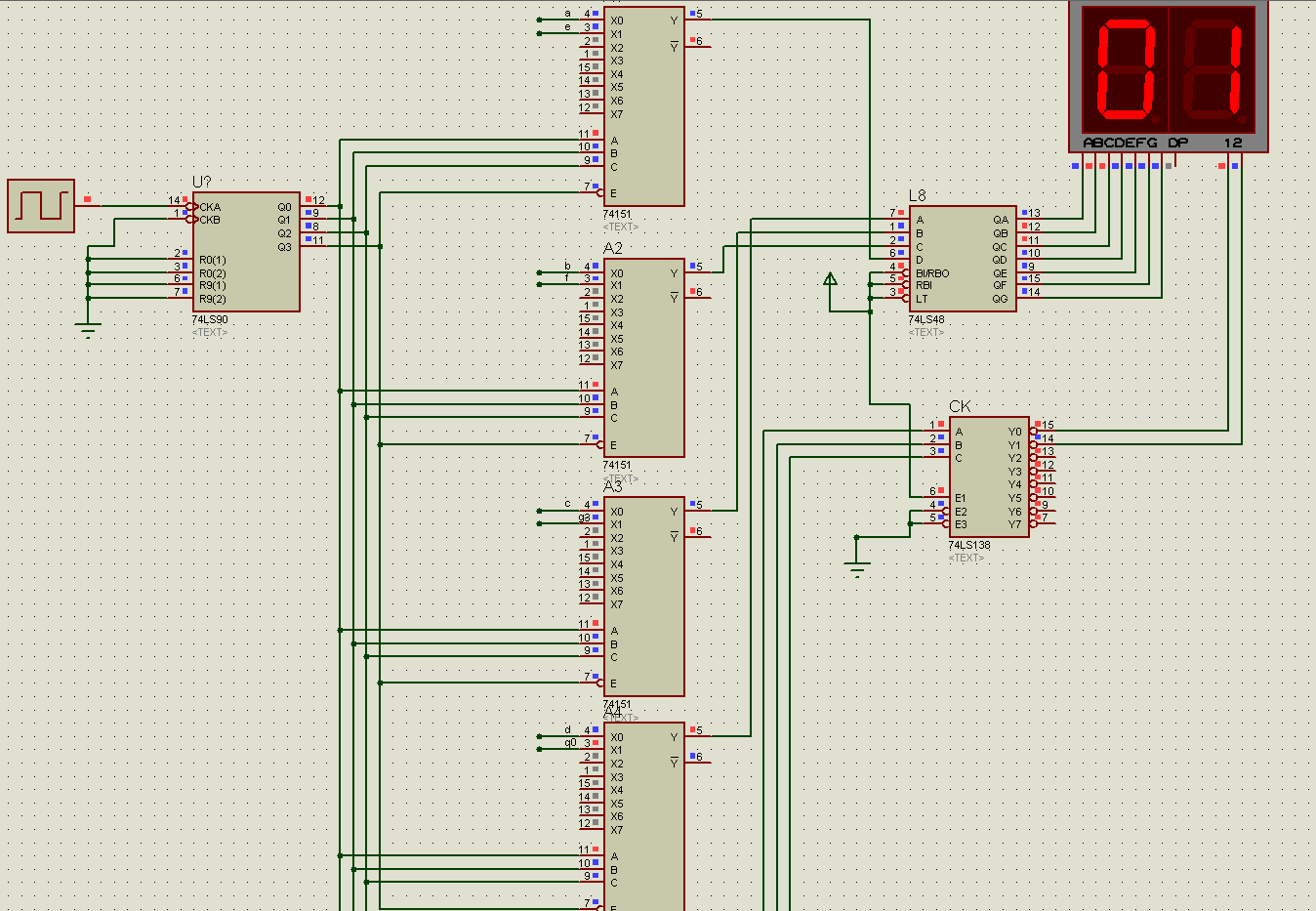
- D、E、F考虑使用138加与非门实现Q2Q1Q0的译码，再加与Q3求与，实现4输入译码

（事实上这些内容都是看到实验箱了才开始想的，一开始并没有想到会有这么坑爹的内容）

根据资源分配链接电路，得到电路图如下：

实验7：使用FPGA实验板制作数码管显示的可加可减的1-12计数器

在实验六的基础上，我们已经得到了十位与个位数字的BCD码ABCD、EFGH。我们只需要增加一个8-4选择电路，然后扫描显示就可以在一块数码管上显示这两个数字了。

8-4选择电路使用4块151实现，扫描显示用138实现，151和138的位置选择输入用90练成二进制计数器实现。按照如上思路连接电路并测试，可以运行。（此部分仿真截图省略实验六已实现的部分。）

在Vivado上，按照相同电路链接方法连IP核，在实现时，发现报错信息如下：

[Place 30-574] Poor placement for routing between an IO pin and BUFG. If this sub optimal condition is acceptable for this design, you may use the CLOCK\_DEDICATED\_ROUTE constraint in the .xdc file to demote this message to a WARNING. However, the use of this override is highly discouraged.

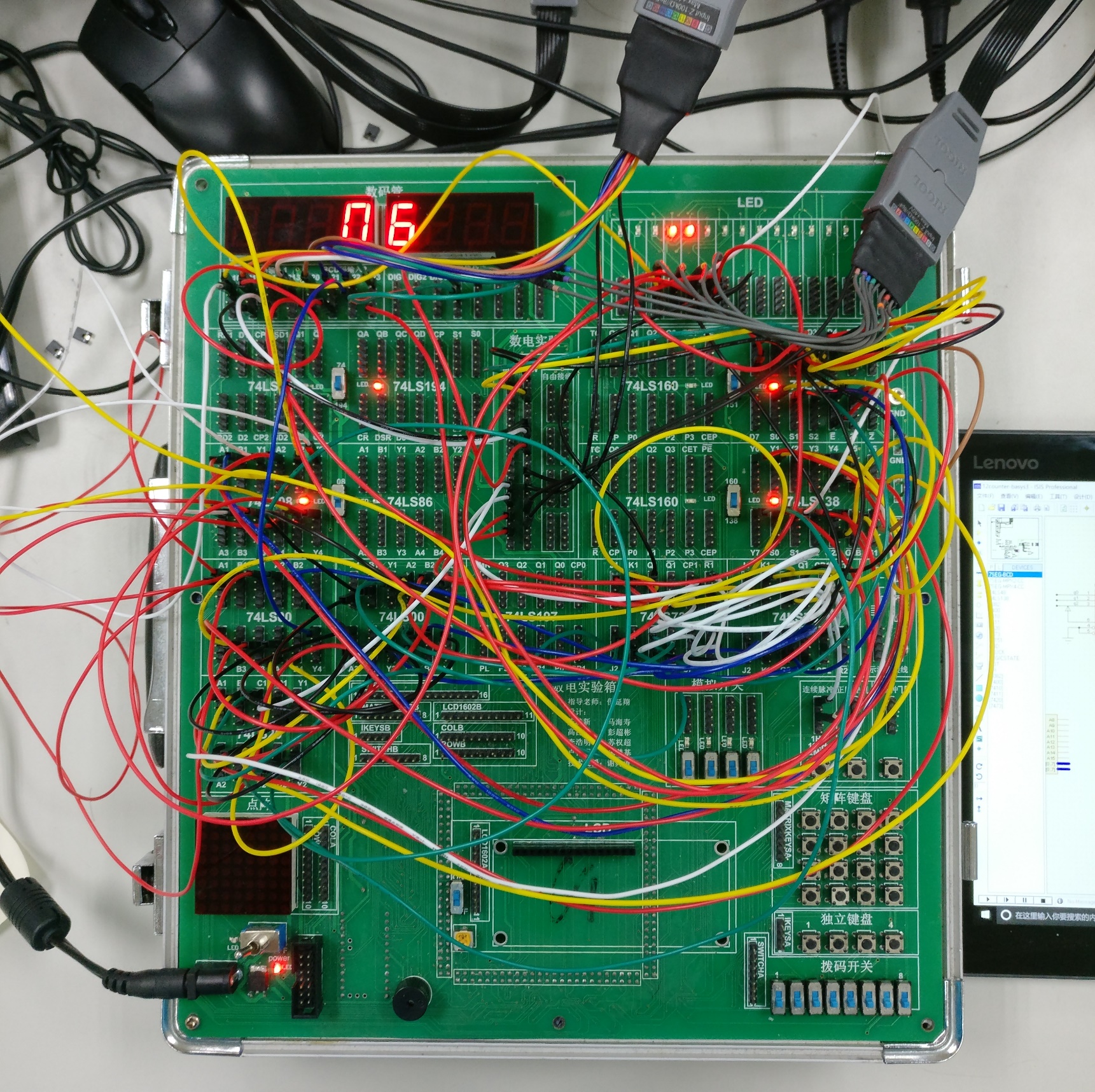
按照报错信息的提示，在约束文件中加入一句

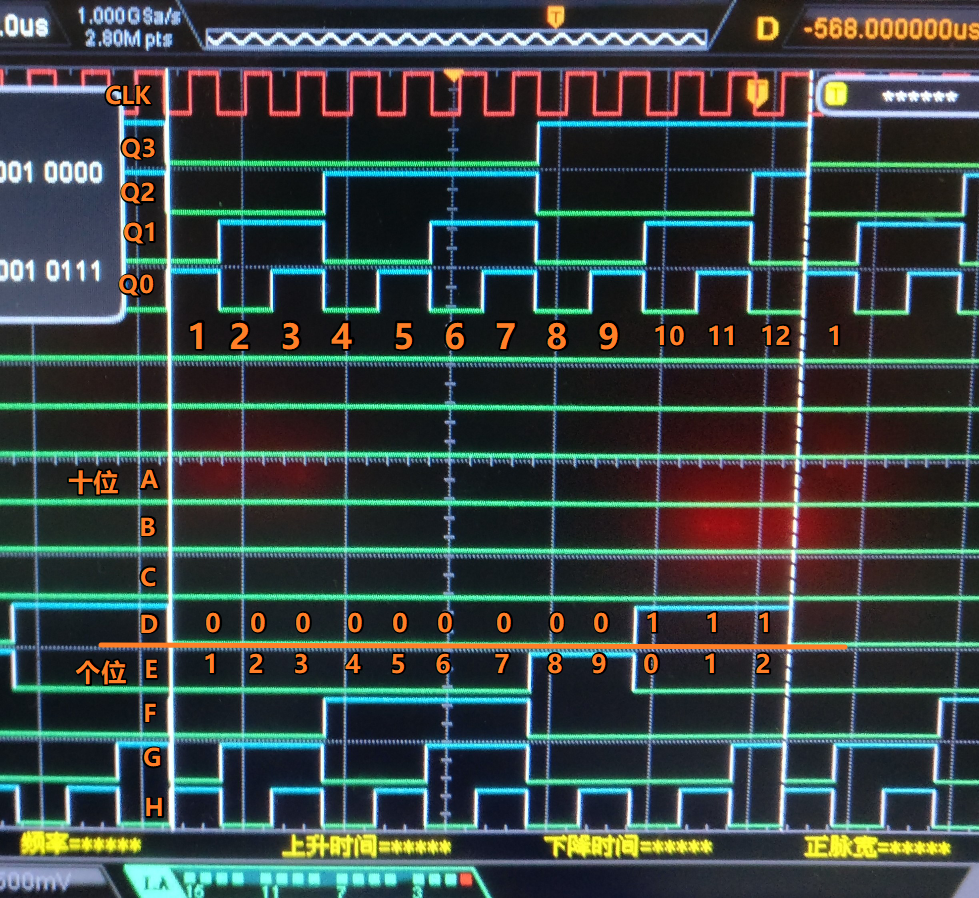
< set\_property CLOCK\_DEDICATED\_ROUTE FALSE [get\_nets GND\_IBUF] >

然后重新跑一遍实现，实现通过。然后烧板测试，能够实现1-12的加减计数，并且能够自启。实验成功。

**四、实验结果**

实验6：按照图一链接电路，然后使用LED小灯测试1-12计数是否正确。经检查，结果正确。然后使用151 & 138进行4-8译码。经过一系列2输入与门变3输入与门，两个与门加一个与非门变三输入与门，四输入与非门当三输入与非门的离奇变换之后，得到所想要的结果。



**五、实验感想**

讲道理，我在上课的时候听到这个数码管显示的要求时，内心相当崩溃的。哇！怎么又是这么难的内容，强行加塞这不是坑人吗。不过好险，在来之前，我事先做了一下vivado的电路图设计，有一部分工程还是类似的，才不至于在课堂上被搞得蒙蔽。不过，vivado的连线依旧神奇，我还要再研究研究。

席睿

2017年12月8日星期五

啊，做完了vivado，发现“软件工程没有warning”是真的一句至理名言。原本8号凌晨就已经连好了vivado了，然后看到这个报错五心烦躁，干脆睡觉。今天又重新连了一遍，还是那个报错，不过这次认真看了一下错误信息，然后加上了那句 set 就好了。不过那句报错说得是什么根本看不懂……不管了，“软件工程没有warning”。

席睿

2017年12月10日星期日