



Proyecto Arquitectura RISC

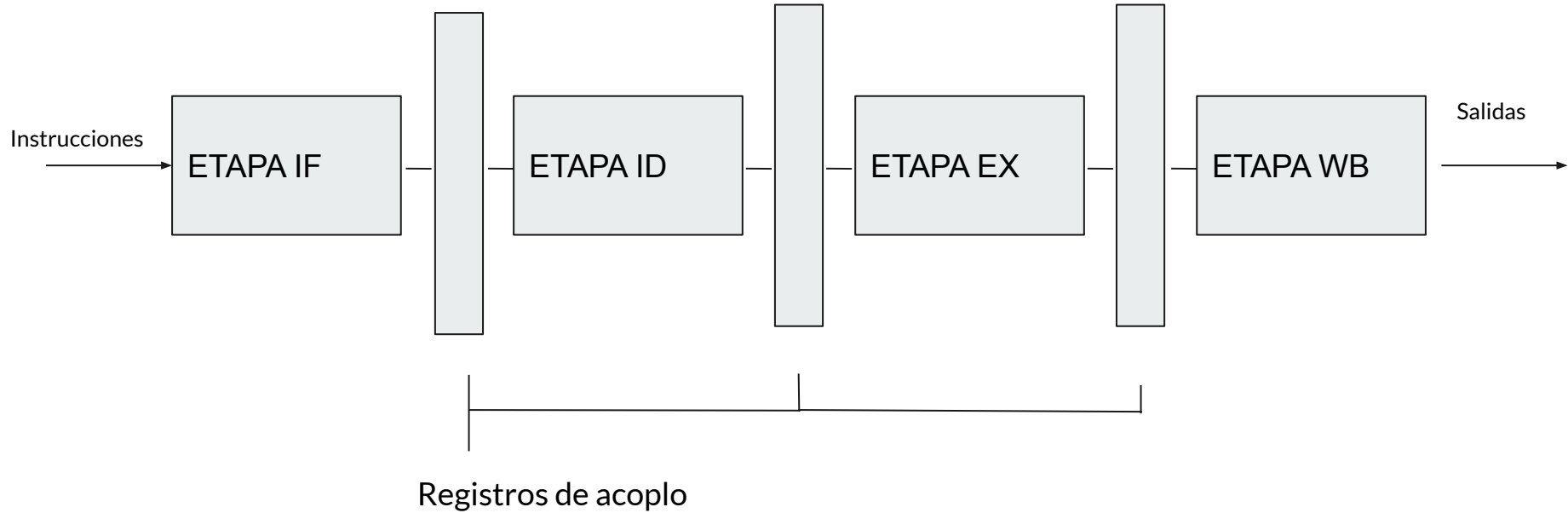
Yadira Fleitas Toranzo

Saul Ivan Rivas Vega

Implementación 6811 con arquitectura RISC



Etapas del pipeline





Set de instrucciones

- LDAA
- LDAB
- STAA
- STAB
- MUL
- LDX
- INCA
- CLRB
- ABA
- BRA
- BNE



Figura 2. Hardware para la etapa IF - Lectura de la instrucción.



Figura 3. Hardware para la etapa ID - Decodificación de la instrucción y lectura de operandos.

Etapas

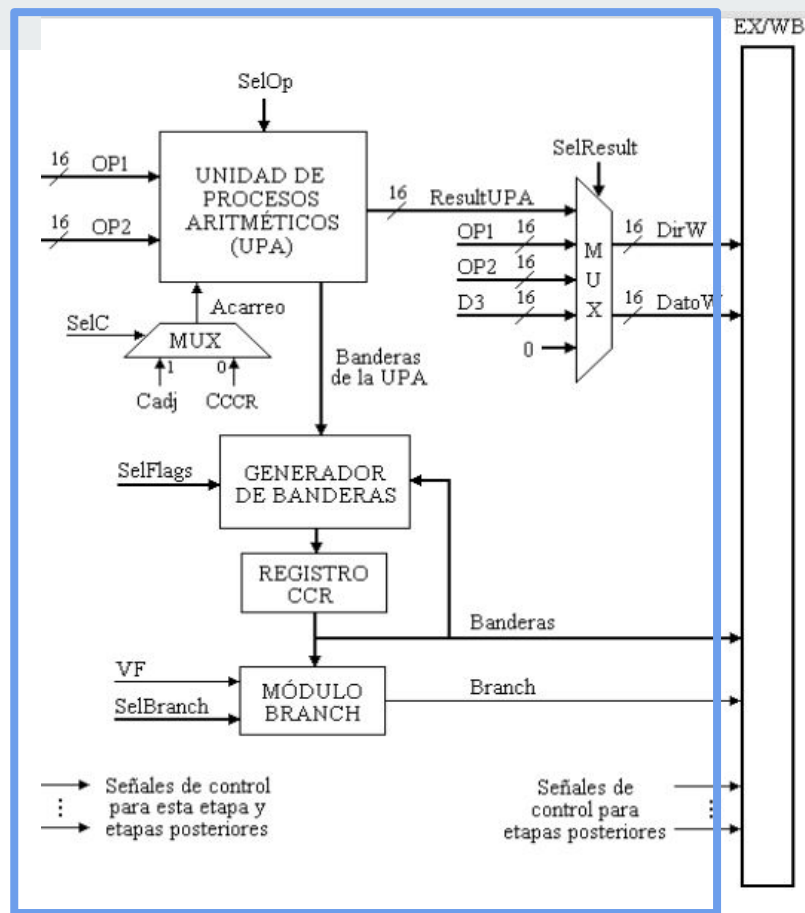
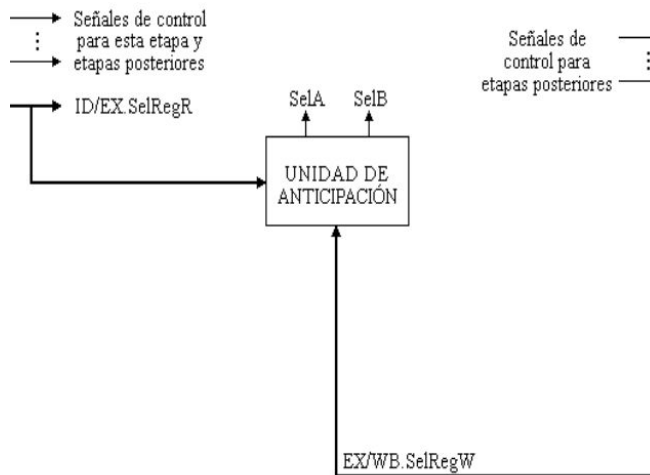


Figura 4. Hardware para la etapa EX - Ejecución.

Consideraciones



- Unidad de anticipo



- Unidad de detención

