生理信号检测加速器芯片ECG\_DEC设计概要

# 一 背景及动机

随着智能物联网技术的广泛应用和生活水平的提高，人们对于可穿戴医疗设备的需求越来越高。现有的Apple

Watch Series 3等智能手表仅能通过光电容积描记（PPG）信号监测心率，若要获得更多生理健康信息，需要监测和分析ECG信号。由于可穿戴医疗设备严格的功率、面积限制和个人隐私保护，相较于基于FPGA、MCU或云端服务器的嵌入式设备，需要高集成度节能的智能ASIC芯片实现更高能效和性能的生理信号检测。

## 1.1分工

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 储峰 | Weight Buffer | | | |
| 李支青 | Configurator | In\_Out\_Buffer | Input\_Regfile | Output\_Regfile |
| 黄俊光 | Memory\_controller | PE\_Array | Relu&Pool |  |

# 二 参数训练

## 2.1数据集介绍

## 2.2训练基本步骤

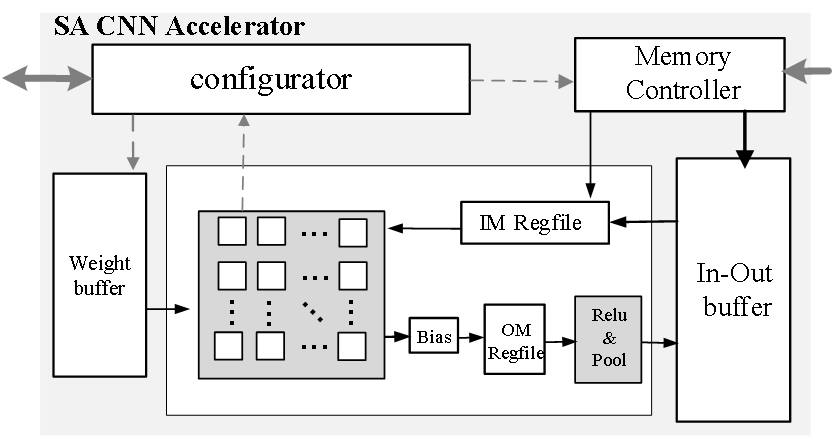
## 2.3网络结构及性能

# 三 加速器硬件设计

## 3.1数据准备

|  |  |  |
| --- | --- | --- |
|  | 数据量 | 定点格式 |
| 测试数据 | 1\*3600\*8bit |  |
| 权重参数 |  |  |

### 加速器结构框架



## 3.2功能模块设计

|  |  |  |
| --- | --- | --- |
|  | 功能模块 | 功能 |
| 1 | ECG\_Dec\_Top | 基于ECG信号的心律不齐检测加速器顶层模块 |
| 2 | Configurator | 从外部接收相关网络配置参数，对WeightBuffer、MapBuffer、ReluPool进行相配置，同时接收PEArray计算完成信号。 |
| 3 | PEArray | 高并行度卷积计算阵列，进行CNN网络模型中的卷积计算，共包含4\*4个PE计算单元。每个PE进行一个卷积核计算，每cycle完成一次MAC操作。 |
| 4 | WeightBuffer | 缓存weight数据 |
| 5 | MemoryController | 对memory数据读写使能和PEArray计算位宽等参数 |
| 6 | InOutBuffer | 缓存输入ECG数据及各输出中间值数据 |
| 7 | InputRegfile | 缓存待计算map数据 |
| 8 | OutputRegfile | 接收PEarray输出map数据，输出到Relu&Pool计算单元。 |
| 9 | ReluPool | 执行relu激活和Pooling，输出到output buffer。 |

### 3.2.1 ECG\_Dec\_Top

模块输入接口定义

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | testbench输出接口 | 数据/信号 | 输入接口 |  |
| 1 | sys\_clk\_t | 加速器时钟信号 | acc\_clk |  |
| 2 | mem\_clk\_t | SRAM读写时钟信号 | mem\_clk |  |
| 3 | acc\_rst\_t | 加速器复位信号 | acc\_rst |  |
| 4 | mem\_rst\_t | SRAM读写复位信号 | mem\_rst |  |
| 5 | out\_data\_t | memory输出，ECG\_DEC\_Top输入ECG数据 | IECG\_data\_reg[7:0] |  |
| 6 | odata\_Vld\_t | ECG\_DEC\_Top输入ECG数据有效信号 | IECG\_Vld\_reg |  |
| 7 | odata\_End\_t | memory输出ECG数据完成标志位信号 | IECG\_End\_reg |  |
| 8 | out\_weight\_t | memory输出，ECG\_DEC\_Top输入权重数据 | Iweight\_reg[7:0] |  |
| 9 | oweight\_Vld\_t | ECG\_DEC\_Top输入weight数据有效信号 | Iweight\_Vld\_reg |  |
| 10 | oweight\_End\_t | memory输出权重数据完成标志位信号 | Iweight\_End\_reg |  |
| 11 | oacc\_par\_t[31:0] | ECG\_DEC\_Top接收accelerator parameter加速器的配置参数层数、权重大小、通道数、位宽 | IAcc\_par\_reg[31:0] |  |

模块输出接口定义

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | ECG\_DEC\_Top输出接口 | 数据/信号 | uart模块输入接口 |  |
| 1 | sys\_CLK | 系统时钟信号 | clk |  |
| 2 | RST | 输出uart复位信号 | rst |  |
| 3 | Opad\_uartrx | Top输出给连接独立区域的uart接收信号 | pad\_uartrx |  |
| 4 | OECG\_dec\_Vld | 发送数据有效 | rx\_vld |  |
| 5 | OECG\_dec[3:0] | 发送到uart接口的ECG检测结果 | rx\_data |  |

注：

1 加速器ECG\_DEC\_Top模块输入端口接收最大数据位宽？暂定为64？或等PE 阵列大小及最高工作频率确定后再修改？

2 部分需定义为reg信号的命名未加后缀”\_reg“,之后需修改。

### 3.2.2 Configurator

#### 3.2.2.1 模块输入接口定义

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 输入接口名称 | 来源(模块—接口名) | 作用 |  |
| 1 | clk\_acc | 外部—clk\_acc | 系统时钟信号 |  |
| 2 | rst\_acc | 外部—rst\_acc | 复位信号 |  |
| 3 | next\_layer\_vld | PEArray—O\_PE\_end | 下一层参数标志位 |  |

#### 3.2.2.2模块输出接口定义

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 输出接口名称 | 输出模块—接口 | 作用 |  |
| 1 | Opar\_bitwidth | WeightBuffer—Ibitwidth | 当前层权重/数据位宽 |  |
| PEArray—Ibitwidth |  |
| MemoryController—Ibitwidth |  |
| 2 | OIB\_tx\_vld | InOutBuffer—Idata\_tx\_vld | SRAM输出data到IMRegfile使能 |  |
| 3 | OIB\_tx\_len | InOutBuffer—Idata\_tx\_len | 输入数据长度(3600) |  |
| 4 | Oweight\_in\_vld | WeightBuffer—Iweight\_in\_vld | WeightBuffer权重载入使能 |  |
| 5 |  |  |  |  |
| 6 | Oweight\_out\_vld | WeightBuffer—Iweight\_out\_vld | WeightBuffer权重输出使能 |  |
| 7 | Opar\_kernel\_size | WeightBuffer—Ikernel\_size | 当前层卷积核大小 |  |
| PEArray—Ikernel\_size |  |
| 8 | Opar\_kernel\_stride | InOutBuffer—Ikernel\_stride | 当前层卷积核步长 |  |
| InputRegfile—Ikernel\_stride |  |
| 9 | Opar\_current\_channel | WeightBuffer—Icurrent\_channel | 当前层通道数 |  |
|  |  |
| 10 | Opar\_next\_channel | WeightBuffer—Inext\_channel | 下一层通道数 |  |
| OutRegfile—Ichannel |  |
| 11 | Obias\_tx\_vld | OutputRegfile—Ibias\_tx\_Vld | WeightBuffer输出bias数据使能 |  |
|  |  |  |  |  |
| 12 | Opool\_tx\_vld | ReluPool—Ipool\_tx\_vld | ReluPool接收当前层pool使能 |  |
| 13 | Opool\_stride | ReluPool—Ipool\_stride | 当前层pool步长 |  |
| 14 | Opool\_size | ReluPool—Ipool\_size | 当前层pool大小 |  |
|  |  |  |  |  |
| 15 | OIR\_in\_vld | InputRegfile—Idata\_in\_vld | 从buffer中载入data使能信号 |  |
| 16 | OIR\_out\_vld | InputRegfile—Idata\_out\_vld | 将数据传输至PEArray使能信号 |  |

#### 3.2.2.3 外部输入配置信号接口定义

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 输入接口名称 | 来源(模块—接口名) | 作用 |  |
| 1 | Iparam[63:0] | 外部—IAcc\_par[63:0] | 配置信号 |  |
| 2 | Iparam\_vld | 外部—I\_Acc\_par\_vld | 配置信号写入使能 |  |
| 3 | clk\_mem | 外部—clk\_mem | 配置信号入时钟 |  |
| 4 | rst\_mem | 外部—clk\_mem | 配置信号写入复位信号 |  |

#### 3.2.2.4 配置信号组成

|  |  |  |  |
| --- | --- | --- | --- |
|  | 变量名 | 位置及位宽 | 作用 |
| 1 | layer\_index | Iparam[3:0] | 当前层索引(最大值9) |
| 2 | kernel\_size | Iparam[7:4] | 当前层卷积核大小(最大值16) |
| 3 | kernel\_stride | Iparam[9:8] | 当前层卷积核步长(最大值2) |
| 4 | input\_pad | Iparam[12:10] | 当前层输入pad配置 |
| 5 | current\_channel | Iparam[25:20] | 当前层通道数(最大值64) |
| 6 | next\_channel | Iparam[32:26] | 下一层通道数(最大值72) |
| 7 | pool\_size | Iparam[34:32] | 当前层pool大小(最大值8) |
| 8 | pool\_stride | Iparamr[36:35] | 当前层pool步长(最大值4) |
| 9 | bitwidth | Iparam[40:37] | 当前层位宽(最大值16) |

### 3.2.3WeightBuffer

#### 3.2.3.1 输入接口定义

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 输入模块—接口 | 作用 |
| 1 | clk\_acc | 外部—clk\_acc | 系统时钟信号 |
| 2 | rst\_acc | 外部—rst\_acc | 复位信号 |
| 3 | Iweight\_cfg\_vld | Configurator—cfg2W\_vld | 输出权重使能 |
| 4 | Ibitwidth | Configurator—bitwidth | 当前层位宽 |
| 5 | K | Configurator—K | 当前层卷积核大小 |
| 6 | M | Configurator—M | 当前层通道数 |
| 7 | N | Configurator—N | 下一层通道数 |
| 8 | Nt | Configurator—Nt | 当前计算的批数 |
| 9 | PE\_end | PEArray—PE\_end | PE计算完毕信号 |

#### 3.2.3.2 输出接口定义

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输出接口名称 | 输出模块—接口 | 作用 |
| 1 | Oweight\_1 | PEArray—Iweight\_1 | PE第一层输入数据 |
| 2 | Oweight\_1\_vld | PEArray—Iweight\_1\_vld | PE第一层输入数据使能 |
| 3 | Oweight\_2 | PEArray—Iweight\_2 | PE第二层输入数据 |
| 4 | Oweight\_2\_vld | PEArray—Iweight\_2\_vld | PE第二层输入数据使能 |
|  | ... ... | | |

#### 3.2.3.3 外部输入weight信号接口定义

|  |  |  |  |
| --- | --- | --- | --- |
|  | 外部 | 输出模块—接口 | 作用 |
| 1 | Iweight\_in\_vld | 外部—O2W\_vld | 写入权重使能 |
| 2 | Iweight\_in[63:0] | 外部—WEIGHT | 权重数据 |
| 3 | clk\_mem | 外部—clk\_mem | 将外部权重写入时钟 |
| 4 | rst\_mem | 外部—clk\_mem | 权重写入复位信号 |

### 3.2.4In-OutBuffer

#### 3.2.4.1 输入接口定义

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 输入模块—接口 | 作用 |
| 1 | clk\_acc | 外部—clk\_acc | 系统时钟信号 |
| 2 | rst\_acc | 外部—rst\_acc | 复位信号 |
| 3 | Ibitwidth | Configurator—bitwidth | 当前层位宽 |
| 4 | IX | Configurator—IX | 输入数据长度 |
| 3 | K | Configurator—K | 当前层卷积核大小 |
| 4 | M | Configurator—M | 当前层通道数 |
| 5 | N | Configurator—N | 下一层通道数 |
| 6 | Mt | Configurator—Mt | 当前计算的批数 |
| 7 | Bm | Configurator—Bm | 使用bank buffer数 |
| 8 | IRP\_data\_vld | ReluPool—Opool\_vld | ReluPool的输出数据使能 |
| 9 | IRP\_data | ReluPool—Opool\_data | ReluPool的输出数据 |
| 10 | PE\_end | PEArray—PE\_end | PE计算完毕信号 |

#### 3.2.4.2 输出接口定义

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输出接口名称 | 输出模块—接口 | 作用 |
| 1 | OIR\_data | InRegfile—Idata | 传输至InRegfile的数据 |
| 2 | OIR\_data\_vld | InRegfile—Idata\_vld | 传输数据至InRegfile的使能 |

#### 3.2.4.3 外部输入map信号接口定义

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 输出模块—接口 | 作用 |
| 1 | clk\_mem | 外部—clk\_mem | 将外部数据写入时钟 |
| 2 | rst\_mem | 外部—clk\_mem | 数据写入复位信号 |
| 3 | Idata\_vld | 外部—Odata\_in\_vld | 载入输入使能 |
| 4 | Idata[63:0] | 外部—DATA | 载入输入数据 |

### 3.2.5 InputRegfile

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 输入模块—接口 | 作用 |
| 1 | clk | 外部—clk\_acc | 系统时钟信号 |
| 2 | rst | 外部—rst\_acc | 复位信号 |
| 3 | Idata\_vld | InOutBuffer—OIR\_data\_vld | 从Buffer中载入data的使能 |
| 4 | Idata | InOutBuffer—OIR\_data | 从Buffer中载入的data |
| 5 | M | Configurator—M | 输入通道数 |
| 6 | N | Configurator—N | 输出通道数 |
| 7 | K | Configurator—K | 当前层卷积核大小K? |
| 8 | S | Configurator—S | 当前层卷积核步长 |
| 9 | Mt | Configurator—Mt | 当前计算的批数 |
| 10 | Bm | Configurator—Bm | 使用bank buffer数 |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输出接口名称 | 输出模块—接口 | 作用 |
| 1 | OPE\_data | PEArray—IMap | PE输入信号 |
| 2 | OPE\_data\_vld | PEArray—Imap\_in\_vld | InRegfile输出信号使能 |

### 3.2.6 OutputRegfile

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 输入模块—接口 | 作用 |
| 1 | clk | 外部—clk\_acc | 系统时钟信号 |
| 2 | rst | 外部—rst\_acc | 复位信号 |
| 3 | Idata\_vld | PEArray—OMap\_vld | 从PEArray中载入data的使能 |
| 4 | Idata | PEArray—OMap | 从PEArray中载入data |
| 5 | N | Configurator—N | 输出通道数 |

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输出接口名称 | 输出模块—接口 | 作用 |
| 1 | ORP\_data | ReluPool—ORP\_data | 输出值ReluPool数据 |
| 2 | ORP\_data\_vld | ReluPool—ORP\_data\_vld | 输出值ReluPool数据使能 |

### 3.2.7 MemoryController

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 来源(模块—接口) | 作用 |
| 1 | clk | 外部—clk\_acc | 系统时钟信号 |
| 2 | rst | 外部—rst\_acc | 复位信号 |
| 3 | InData |  | ECG信号输入 |
| 4 | addr\_controller |  | 输入输出地址控制 |
| 5 |  |  |  |

### 3.2.8 PE\_array

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 来源(模块—接口) | 作用 |
| 1 | clk | 外部—clk\_acc | 系统时钟信号 |
| 2 | rst | 外部—rst\_acc | 复位信号 |
| 3 | ImapVld | InputRegfile—Imap\_in\_vld | 输入map有效信号 |
| 4 | IMap | InputRegfile—IMap | map数据输入 |
| 5 | Iweight | Weight\_buffer—Iweight\_1 | weight数据输入(列数输入) |
| 6 | IweightVld | Weight\_buffer—Iweight\_1\_vld | 输入weight有效信号 |
| 7 | CalCycle | Configurator—PE\_Cal | 计算多少次 |

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输出接口名称 | 输出模块—接口 | 作用 |
| 1 | OMap | OutputRegfile—OMap | 输出计算结果 |
| 2 | OMapVld | OutputRegfile—OMap\_vld | 输出有效信号 |
| 3 | PE\_end | In-Out\_buffer—PE\_end  Weight\_buffer—PE\_end | PE计算完毕信号 |

### 3.2.9 Relu&Pooling

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输入接口名称 | 来源(模块—接口) | 作用 |
| 1 | clk | 外部—clk\_acc | 系统时钟信号 |
| 2 | rst | 外部—rst\_acc | 复位信号 |
| 3 | Pool\_vld | Configurator—Ipool\_vld | 池化配置信息有效 |
| 4 | Pool\_size | Configurator—Ipool\_stride | 池化大小 |
| 6 | Pool\_stride | Configurator—Ipool\_size | 池化的步长 |
| 7 | Idata | OutputRegfile—ORP\_data | 输入数据 |
| 8 | Idata\_vld | OutputRegfile—ORP\_data\_vld | 开始的有效信号 |

|  |  |  |  |
| --- | --- | --- | --- |
|  | 输出接口名称 | 输出模块—接口 | 作用 |
| 1 | Opoolvld | In-Out\_buffer—Opool\_vld | 输出有效 |
| 2 | Opooldata | In-Out\_buffer—Opool\_data | 输出数据 |

## 四、问题

1. 输入raw ECG信号是直接将信号载入IMRegfile还是先载入InOutBuffer中？由于中间结果由InOutBuffer传递给IMRegfile，如果由MemoryController直接给IMRegfile，则需要加一个选择器；而将信号传递给InOutBuffer则需要在它们之间增加通路。
2. 最终结果由哪里输出？

## 附录：

### 接口信号命名规范：

1. 输入信号第一个字母必须是“I”，输出信号为“O”；module信号使用大写字母开头命名， testbench信号使用小写字母命名。
2. 定义寄存器类型信号线命名，需加后缀为”\_reg“,无后缀则默认为wire类型。
3. 寄存器类型信号必须要在rset时进行**初始化**，避免不定态。