

1 Обзор конструкции

1.1 Светодиоды состояния

На данный момент светодиоды состояния не подключены к AXI GPIO Ext и используются напрямую FPGA.

LED1: Горит светодиод внутренней тактовой частоты FPGA (50

МГц). LED2: Горит светодиод тактовой части PCIe (62,5 МГц).

LED3: PPS FPGA (время локальных часов через PPS Master) LED4: PPS MAC

(дифференциальные входы от MAC через дифференциальный буфер)

В зависимости от версии аппаратного обеспечения имеются также светодиоды RGB (SMA1-4 и GNSS). Этими светодиодами можно управлять через I2C.

1.2 Сопоставление адресов AXI

Межсоединение AXI имеет три главных устройства, каждый из которых имеет доступ к подчиненным устройствам. Один из них — это интерфейс AXI PCIe, а другой — UART-AXI, имеющий постоянный доступ.

Статическая конфигурация выполняет только базовую настройку после сброса.

Ведомые интерфейсы AXI имеют следующие адреса:

Акси-ведомый интерфейс	Раб	Смещенный адрес	Высокий адрес
S_AXI_CTL	Управление AXI PCIe	0x0001_0000	0x0001_0FFF
axi4l_slave	Версия	0x0002_0000	0x0002_0FFF
S_AXI	AXI GPIO Ext.	0x0010_0000	0x0010_0FFF
S_AXI	Акси GPIO GPS/MAC	0x0011_0000	0x0011_0FFF
S_AXI	ВЫБОР AXI GPIO	0x0013_0000	0x0013_0FFF
S_AXI	AXI GPIO SMA КАРТА1	0x0014_0000	0x0014_0FFF
S_AXI	СТАТУС AXI GPIO SMA	0x0014_2000	0x0014_2FFF
S_AXI	АКСИ I2C	0x0015_0000	0x0015_FFFF
S_AXI	Акси UART 16550 GPS	0x0016_0000	0x0016_FFFF
S_AXI	Акси UART 16550 GPS2	0x0017_0000	0x0017_FFFF
S_AXI	Акси UART 16550 MAC	0x0018_0000	0x0018_FFFF
S_AXI	Акси UART 16550 NMEA	0x0019_0000	0x0019_FFFF
S_AXI	AXI GPIO SMA КАРТА2	0x0022_0000	0x0022_0FFF
S_AXI_LITE	АКСИ ХВИКАП	0x0030_0000	0x0030_FFFF
AXI_LITE	Флэш-память AXI Quad SPI	0x0031_0000	0x0031_FFFF
axi4l_slave	НТЛ Прил. Часы	0x0100_0000	0x0100_FFFF
axi4l_slave	Сигнал NTL TS0 (ГНСС)	0x0101_0000	0x0101_FFFF
axi4l_slave	НТЛ-сигнал TS1	0x0102_0000	0x0102_FFFF
axi4l_slave	НТЛ ППС Мастер	0x0103_0000	0x0103_FFFF

axi4l_slave	NTL PPS ведомый	0x0104_0000	0x0104_FFFF
axi4l_slave	NTL TOD Ведомый	0x0105_0000	0x0105_FFFF
axi4l_slave	HTL-сигнал TS2	0x0106_0000	0x0106_FFFF
axi4l_slave	NTL IRIG подчиненный	0x0107_0000	0x0107_FFFF
axi4l_slave	HTL ИРИГ Мастер	0x0108_0000	0x0108_FFFF
axi4l_slave	NTL DCF-ведомый	0x0109_0000	0x0109_FFFF
axi4l_slave	NTL DCF-мастер	0x010A_0000	0x010A_FFFF
axi4l_slave	HTL TOD Мастер	0x010B_0000	0x010B_FFFF
axi4l_slave	HTL Сигнал ТС ППС	0x010C_0000	0x010C_FFFF
axi4l_slave	Генератор сигналов NTL1	0x010D_0000	0x010D_FFFF
axi4l_slave	Генератор сигналов NTL2	0x010E_0000	0x010E_FFFF
axi4l_slave	Генератор сигналов NTL3	0x010F_0000	0x010F_FFFF
axi4l_slave	Генератор сигналов NTL4	0x0110_0000	0x0110_FFFF
axi4l_slave	HTL-сигнал TS3	0x0111_0000	0x0111_FFFF
axi4l_slave	HTL-сигнал TS4	0x0112_0000	0x0112_FFFF
axi4l_slave	Частотомер 1	0x0120_0000	0x0120_FFFF
axi4l_slave	Частотомер 2	0x0121_0000	0x0121_FFFF
axi4l_slave	Частотомер 3	0x0122_0000	0x0122_FFFF
axi4l_slave	Частотомер 4	0x0123_0000	0x0123_FFFF

ПРИМЕЧАНИЕ:

Ведомая версия имеет один единственный 32-битный регистр. Верхние 16 бит показывают номер версии золотого изображения, а нижние 16 бит — номер версии обычного изображения.

Например

Регистр 0x0200_0000 золотого изображения показывает: 0x0001_0000

Регистр 0x0200_0000 обычного изображения показывает: 0x0000_0003

Если младшие 16 бит равны 0x0000, золотой образ загрузился.

1.3 Источники настройки часов

Регулируемые часы поддерживают различные источники настройки:

- PPS (с GNSS) (значение регистра 3)
- IRIG (значение регистра 2)
- DCF (значение регистра 6)

По умолчанию выбран PPS с GNSS. Другие источники времени можно выбрать с помощью NTL Adj. Регистр ClockSelect (смещение: 0x0100_0008).

1.4 Отображение прерываний, сигнализированных сообщением

Прерывания в конструкции подключены к вектору MSI памяти AXI, сопоставленному с ядром PCI Express, через контроллер MSI. PCI Express Core необходимо установить для MSI_enable значение «1». Контроллер MSI отправляет запрос INTX_MSI с MSI_Vector_Num в ядро PCI Express, а с помощью INTX_MSI_Grant прерывание подтверждается. Если имеется несколько ожидающих прерываний, сообщения отправляются по принципу циклического перебора. Прерывания уровня (например, AXI UART 16550) требуют как минимум один раунд для следующего прерывания.

Номер MSI	Источник прерывания
0	НТЛ Сигнал ТС ППС
1	НТЛ-сигнал TS0
2	НТЛ-сигнал TS1
3	Акси UART 16550 GPS
4	Акси UART 16550 GPS2
5	Акси UART 16550 MAC
6	НТЛ-сигнал TS2
7	АСИ I2C
8	АСИ ХВИКАП
9	Флэш-память AXI Quad SPI
10	Акси UART 16550 NMEA
11	Генератор сигналов NTL1
12	Генератор сигналов NTL2
13	Генератор сигналов NTL3
14	Генератор сигналов NTL4
15	НТЛ-сигнал TS3
16	НТЛ-сигнал TS4

1.5 Разъемы (SMA) / Таблица соединений SMA

Разъемы SMA имеют следующее сопоставление по умолчанию:

АНТ1:

Тактовый вход 10 МГц

АНТ2:

PPS-вход

АНТ3:

Выход тактового сигнала 10 МГц (зацикленный тактовый сигнал 10 МГц) → MAC RF OUT

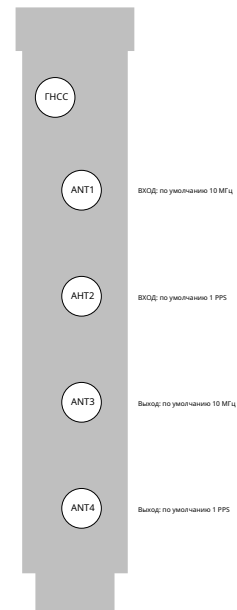
(после буфера синхронизации)

АНТ4:

Выход PPS от мастера PPS

Это сопоставление по умолчанию и направление можно изменить с помощью AXI GPIO SMA MAP1 и AXI GPIO SMA MAP2.

GPIO используется для выбора входов, а GPIO2 — для выбора выходов.



AXI GPIO SMA КАРТА1

Преобразование входа 1 (АНТ1) с битом 15 GPIO в 0:

0	Тактовый сигнал 10 МГц от разъема SMA(по умолчанию)
1	Внешний PPS 1 (переходит к селектору источника PPS 1)
2	Внешний PPS 2 (переходит к селектору источника PPS 2) Сигнал
4	поступает на TS1
8	Сигнал поступает на TS2 Сигнал поступает на
16	ведомое устройство IRIG Сигнал поступает на
32	ведомое устройство DCF Сигнал поступает на
64	TS3
128	Сигнал поступает на TS4
256	Сигнал поступает на частотомер 1.
512	Сигнал поступает на частотомер 2.
1024	Сигнал поступает на частотомер 3.
2048	Сигнал поступает на частотомер 4.

32768 Включение входа(по умолчанию 1 → АНТ1 является входом)

Входные данные могут быть сопоставлены с несколькими приемниками. Например, при значении 5 вход отображается как внешний PPS 1 и дополнительно поступает на TS1.

ПРИМЕЧАНИЕ:

Использовать АНТ1 в качестве источника системной синхронизации можно только 0.

Сопоставление входа 2 (ANT2) с битом GPIO с 31 по 16:

0	нет сопоставления ANT2
1	Внешний PPS 1 (переходит к селектору источника PPS 1)(по
2	умолчанию) Внешний PPS 2 (идет к селектору источника PPS 2)
4	Сигнал идет к TS1
8	Сигнал поступает на TS2 Сигнал поступает на
16	ведомое устройство IRIG Сигнал поступает на
32	ведомое устройство DCF Сигнал поступает на
64	TS3
128	Сигнал поступает на TS4
256	Сигнал поступает на частотомер 1.
512	Сигнал поступает на частотомер 2.
1024	Сигнал поступает на частотомер 3.
2048	Сигнал поступает на частотомер 4.

32768 Включение входа(по умолчанию 1→ANT2 является входом)

Входные данные могут быть сопоставлены с несколькими приемниками. Например, при значении 9 вход отображается как внешний PPS 1 и дополнительно поступает на TS2.

ПРИМЕЧАНИЕ:

Если нижний вход уже имеет сопоставление с приемником, сопоставление Вход2 будет игнорироваться.

Преобразование выхода 3 (ANT3) с битом 15 GPIO2 в 0:

0	Тактовый выход 10 МГц от MAC(по
1	умолчанию) PPS от FPGA (PPS Master) PPS от
2	MAC
4	ППС от ГНСС 1
8	ППС из ГНСС 2
16	Главный выход IRIG
32	Главный выход DCF
64	Генератор сигналов 1, выход
128	Генератор сигналов 2, выход
256	Генератор сигналов 3, выход
512	Генератор сигналов 4, выход

8192 Земля

16384 ВКК

32768 Включение выхода(по умолчанию 1→ANT3 выводится)

Любое другое значение отображает тактовый выход 10 МГц от MAC к выходу.

Сопоставление выхода 4 (ANT4) с битом 31 GPIO2 до 16:

0	Тактовый выход 10 МГц от MAC PPS от FPGA
1	(ведущего PPS)(по умолчанию) PPS от MAC
2	PPS от GNSS 1
4	
8	ППС из ГНСС 2
16	Главный выход IRIG
32	Главный выход DCF
64	Генератор сигналов 1, выход
128	Генератор сигналов 2, выход
256	Генератор сигналов 3, выход
512	Генератор сигналов 4, выход

8192 Земля

16384 ВКК

32768 Включение выхода(по умолчанию 1→ANT4 выводится)

Любое другое значение отображает PPS из FPGA (ведущего PPS) на выход.

AXI GPIO SMA КАРТА2

Преобразование входа 3 (ANT3) с битом 15 GPIO в 0:

0	нет сопоставления ANT3
1	Внешний PPS 1 (переходит к селектору источника PPS 1)
2	Внешний PPS 2 (переходит к селектору источника PPS 2)
4	Сигнал поступает на TS1
8	Сигнал поступает на TS2 Сигнал поступает на
16	ведомое устройство IRIG Сигнал поступает на
32	ведомое устройство DCF Сигнал поступает на
64	TS3
128	Сигнал поступает на TS4
256	Сигнал поступает на частотомер 1.
512	Сигнал поступает на частотомер 2.
1024	Сигнал поступает на частотомер 3.
2048	Сигнал поступает на частотомер 4.

32768 Включение входа(по умолчанию 0→ANT3 выводится)

Входные данные могут быть сопоставлены с несколькими приемниками. Например, при значении 5 вход отображается как внешний PPS 1 и дополнительно поступает на TS1.

Сопоставление входа 4 (ANT4) с битом GPIO с 31 по 16:

0	нет сопоставления ANT2
1	Внешний PPS 1 (переходит к селектору источника PPS 1)
2	Внешний PPS 2 (переходит к селектору источника PPS 2)
4	Сигнал поступает на TS1
8	Сигнал поступает на TS2 Сигнал поступает на
16	ведомое устройство IRIG Сигнал поступает на
32	ведомое устройство DCF Сигнал поступает на
64	TS3
128	Сигнал поступает на TS4
256	Сигнал поступает на частотомер 1.
512	Сигнал поступает на частотомер 2.
1024	Сигнал поступает на частотомер 3.
2048	Сигнал поступает на частотомер 4.
32768	Включение входа(по умолчанию 0→ANT4 выводится)

Входные данные могут быть сопоставлены с несколькими приемниками. Например, при значении 9 вход отображается как внешний PPS 1 и дополнительно поступает на TS2.

ПРИМЕЧАНИЕ:

Если нижний вход уже имеет сопоставление с приемником, сопоставление Вход4 будет игнорироваться.

Преобразование выхода 1 (ANT1) с битом 15 GPIO2 в 0:

0	Тактовый выход 10 МГц от MAC PPS
1	от FPGA (ведущего PPS) PPS от MAC
2	
4	ППС от ГНСС 1
8	ППС из ГНСС 2
16	Главный выход IRIG
32	Главный выход DCF
64	Генератор сигналов 1, выход
128	Генератор сигналов 2, выход
256	Генератор сигналов 3, выход
512	Генератор сигналов 4, выход
8192	Земля
16384	ВКК

32768 Включение выхода(по умолчанию 0→ANT1 является входом)

Любое другое значение отображает тактовый выход 10 МГц от MAC к выходу.

Сопоставление выхода 2 (ANT2) с битом 31 GPIO2 до 16:

- 0 Тактовый выход 10 МГц от MAC PPS
- 1 от FPGA (ведущего PPS) PPS от MAC
- 2
- 4 ППС от ГНСС 1
- 8 ППС из ГНСС 2
- 16 Главный выход IRIG
- 32 Главный выход DCF
- 64 Генератор сигналов 1, выход
- 128 Генератор сигналов 2, выход
- 256 Генератор сигналов 3, выход
- 512 Генератор сигналов 4, выход

8192 Земля

16384 ВКК

32768 Включение выхода(по умолчанию 0→ANT2 является входом)

Любое другое значение отображает PPS из FPGA (ведущего PPS) на выход.

1.6 Сопоставление GPIO

GPIO (смещение 0x0000)

GPIO2 (смещение 0x0008)

AXI GPIO Ext.

РЕГ	Бит31	Бит30-8	Бит7	Бит6	Бит5	Бит4	Бит3	Бит2	Бит1	Бит0
GPIO (входной)	-	-	-	-	-	-	-	-	КЛЮЧ2	КЛЮЧ1
GPIO2 (выход)	'0' → UART '1' → I2C Clk com.	-	-	-	-	ЭСППЗУ WP	светодиод4 <small>(Банкомат Северной Каролины)</small>	светодиод3 <small>(Банкомат Северной Каролины)</small>	светодиод2 <small>(Банкомат Северной Каролины)</small>	светодиод1 <small>(Банкомат Северной Каролины)</small>

Акси GPIO GPS/MAC

РЕГ	Бит7	Бит6	Бит5	Бит4	Бит3	Бит2	Бит1	Бит0
GPIO (входной)	-	-	-	-	-	-	МАК БУТ	МАС ТРЕВОГА
GPIO2 (выход)	-	-	-	-	-	-	GPS2 PCT	GPS PCT

ВЫБОР AXI GPIO

РЕГ	Бит7	Бит6	Бит5	Бит4	Бит3	Бит2	Бит1	Бит0
GPIO (входной)	-	-	Часы MAC выбрано	Часы SMA выбрано	-	ППС ГНСС обнаружен	ППС МАК обнаружен	ППС СМА обнаружен
GPIO2 (выход)	-	-	Выбирать MAC-часы <small>(по умолчанию 0)</small>	Выбирать Часы SMA <small>(по умолчанию 0)</small>	-	-	Выберите источники PPS <small>(по умолчанию 0)</small> 0: PPS Источник: автоматически выбрано <small>(подробности в главе 1.9)</small>	

							<p>1:</p> <p>Принудительное SMA:</p> <p>Ведомый PPS и MAC. Источником PPS является SMA.</p> <p>разъем</p> <p>2:</p> <p>Принудительный MAC:</p> <p>Ведомым источником PPS является MAC, а источником PPS для MAC является GNSS PPS.</p> <p>3: Принудительная GNSS:</p> <p>Ведомый PPS и MAC Источником PPS является GNSS PPS.</p>
--	--	--	--	--	--	--	--

AXI GPIO SMA MAP1 (ANT1/ANT2 в качестве входов, ANT3/ANT4 в качестве выходов)

[illegible]

		<div>Бит 5 установлен: выход DCF на ANT1 Бит 6</div> <div>установлен: генератор сигнала 1 на ANT1 Бит 7</div> <div>установлен: генератор сигнала 2 на ANT1 Бит 8</div> <div>установлен: генератор сигнала 3 на ANT1 Бит 9</div> <div>установлен: генератор сигнала 4 на бит ANT1 13</div> <div>установлено: GND на ANT1.</div> <div>Бит 14 установлен: VCC на ANT1.</div> <div>ПРИМЕЧАНИЕ. Одновременно можно установить только один бит (из бита 14-0).</div>												
PEГ	Бит31	Бит30-28	Бит27	Бит26	Бит25	Бит24	Бит23	Бит22	Бит21	Бит20	Бит19	Бит18	Бит17	Бит16
GPIO (выход)	Вход <div>Давать возможность</div>	неиспользованный	ANT4 для Частота Cnt 4 входа	ANT4 для Частота Cnt 3 входа	ANT4 для Частота Cnt 2 входа	ANT4 для Частота Cnt 1 вход	ANT4 для Вход TS4	ANT4 для вход TS3	ANT4 для DCF Раб	ANT4 для ИРИГ Раб	ANT4 для Вход TS2	ANT4 для вход TS1	ANT4 для ППС 2 ВХОД	ANT4 для ППС 1 ВХОД
GPIO2 (выход)	Выход <div>Давать возможность</div>	<div>Биты 30–16 равны 0: от 10 МГц до ANT2. Бит 16</div> <div>установлен: от FPGA PPS до ANT2. Бит 17 установлен: от MAC PPS до ANT2. Бит 18 установлен: от GNSS1 PPS до ANT2. Бит 19 установлен: от GNSS2 PPS до ANT2. Бит 20</div> <div>установлен. : Выход ИРИГ на ANT2 Бит 21 установлен: Выход DCF на ANT2 Бит 22 установлен: Генератор сигнала 1 на ANT2 Бит 23 установлен: Генератор сигнала 2 на ANT2 Бит 24 установлен: Генератор сигнала 3 на ANT2 Бит 25 установлен: Сигнал Генератор 4 на ANT2 Бит 26 установлен: GND на ANT2</div> <div>Бит 27 установлен: VCC на ANT2.</div> <div>ПРИМЕЧАНИЕ. Одновременно можно установить только один бит (из битов 30–16).</div>												

Статус AXI GPIO SMA (все входы):

РЕГ	Бит13	Бит12	Бит11	Б10	Бит9	Бит8	Бит7	Бит6	Бит5	Бит4	Бит3	Бит2	Бит1	Бит0
GPIO (входной)	ANT4 Вход Ценить '0' → низкий '1' → высокий	ANT4 Вход <small>действительный</small>	-	-	ANT3 Вход Ценить '0' → низкий '1' → высокий	ANT3 Вход <small>действительный</small>	-	-	ANT2 Вход Ценить '0' → низкий '1' → высокий	ANT2 Вход <small>действительный</small>	-	-	ANT1 Вход Ценить '0' → низкий '1' → высокий	ANT1 Вход <small>действительный</small>

1.7 Описание регистра

Подробные описания регистров ядер NetTimeLogic доступны в справочных руководствах:

.. /TimeCard/Док/

Документация по ядрам Xilinx доступна в Интернете. **Память**

AXI, сопоставленная с PCI Express:

https://www.xilinx.com/support/documentation/ip_documentation/axi_pcie/v2_8/pg055-axi-bridge-pcie.pdf

Аксиальный GPIO:

https://www.xilinx.com/support/documentation/ip_documentation/axi_gpio/v2_0/pg144-axi-gpio.pdf

Акси I2C:

https://www.xilinx.com/support/documentation/ip_documentation/axi_iic/v2_0/pg090-axi-iic.pdf

Акси UART 16550:

https://www.xilinx.com/support/documentation/ip_documentation/axi_uart16550/v2_0/pg143-axi-uart16550.pdf

AXI Quad SPI:

https://www.xilinx.com/support/documentation/ip_documentation/axi_quad_spi/v3_2/pg153-axi-quad-spi.pdf

Акси ХВИКАП:

https://www.xilinx.com/support/documentation/ip_documentation/axi_hwicap/v3_0/pg134-axi-hwicap.pdf

1.7.1 Замечания по версии IP

В некоторых обновлениях FPGA были добавлены новые функции. Это означает, что некоторые регистры могут быть доступны только в последней версии.

Чтение из несуществующих регистров вызывает ошибку шины AXI.

1.7.1.1 Карта времени V26

- Добавлена новая информация/регистры о статусе GNSS (все подробности см. в справочном руководстве TOD Slave)
- Добавлена поддержка сообщений TSIPv1 для модулей GNSS (подробности см. в справочном руководстве TOD Slave).

1.7.2 Регистры частотомера

Поскольку полной инструкции к частотомеру нет, то описание регистра находится непосредственно здесь:

Контрольный регистр																																	
Описание регистра																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
																Количество секунд																Давать возможность	
PO																RW								PO								RW	
Сброс: 0x00000100																																	
Смещение: 0x0000																																	

Имя	Описание	Биты	Доступ
-	Зарезервировано, читать 0	Бит: 31:16	PO
Количество секунд	Количество секунд для измерения частоты	Бит: 15:8	RW
-	Зарезервировано, читать 0	Бит: 7:1	PO
Давать возможность	Включить частотомер	Бит: 0	RW

Регулятор частоты																															
Описание регистра																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Действительный	Ошибка	переполнение						Частота																							
PO	PO	PO	PO					PO																							
Сброс: 0x00000000																															
Смещение: 0x0004																															

Имя	Описание	Биты	Доступ
действительный	Измерение действительно	Бит: 31	RO
Ошибка	Погрешность измерения	Бит: 30	RO
переполнение	Измерение превысило 10000000	Бит: 29	RO
-	Зарезервировано, читать 0	Бит: 28:24	RO
Частота	Частота в Гц, мин 0, макс 10000000	Бит: 23:0	RO

1.8 Селектор часов

Проект может работать на разных источниках тактовой частоты. Важно, чтобы хотя бы исходная тактовая частота модуля SOM всегда была доступна. В конструкции FPGA выполняется автоматический выбор источника тактовой частоты. Проект определяет, доступны ли часы, и затем делает выбор на основе следующих приоритетов:

1. Внешняя тактовая частота 10 МГц от разъема SMA.
2. Часы MAC 10 МГц.

Этот выбор можно перезаписать с помощью AXI GPIO Sel GPIO2. Когда часы выбраны, FPGA проверяет, доступны ли эти часы. Если выбранные часы не обнаружены, применяется автоматический выбор.

С помощью GPIO Sel GPIO можно проверить, какой из них является выбранным тактовым сигналом. Если все значения равны 0, полное проектирование выполняется от тактового сигнала модуля SOM.

1.9 Выбор источника PPS

Селектором источника PPS 1 можно управлять с помощью битов 0 и 1 AXI GPIO Sel GPIO2. Существует три разных источника PPS (GNSS, MAC, разъем SMA), которые могут подключаться к двум приемникам PPS (подчиненный PPS, вход MAC PPS). По умолчанию выбор осуществляется автоматически. Селектор источника проверяет, обнаружен ли PPS.

В зависимости от доступности автоматический выбор имеет следующие приоритеты:

1. Разъем PPS SMA
2. ППС МАК
3. ППС ГНСС

Переключение происходит, когда источники PPS становятся логическими 0.

Следующий выбор выполняется, если источник доступен:

1. SMA ППС обнаруживается:

От источника SMA PPS к приемнику MAC PPS От
источника SMA PPS к ведомому приемнику PPS

2. MAC PPS обнаружен:

От источника GNSS PPS к приемнику MAC PPS От
источника MAC PPS к ведомому приемнику PPS

3. GNSS PPS обнаружен:

От источника GNSS PPS к приемнику MAC PPS От
источника GNSS PPS к ведомому приемнику PPS

Селектор источника PPS 2 выбирает только PPS в направлении MAC PPS 2. Управление или контроль через GPIO невозможен. Возможные источники: 2nd ГНСС ППС

и PPS от ANT1/2. Из доступных источников ANT1/2 имеет более высокий приоритет над 2.nd ГНСС ППС.

1.10 Требования к ГНСС

Источником GNSS должен быть GPS, Galileo или Beidou. Только ГЛОНАСС работать не будет.

1.11 Статическая конфигурация

FPGA начинается со статической конфигурации со следующими настройками:

- PPS (включая TOD) используется в качестве входа коррекции для часов.
- Обнаружение ведомого импульса PPS по нарастающему фронту
- PPS Задержка ведомого кабеля 0
- Скорость подчиненного устройства UART TOD составляет 115200 бод.
- TOD Ведомый UART полярность по умолчанию
- Ведомое устройство TOD в режиме UBX, все GNSS и сообщения отключены.
- PPS Master полярность, нарастающий фронт
- Задержка главного кабеля PPS 0
- PPS Мастер ширина импульса 100 мс
- Часы, ведомое устройство PPS, ведомое устройство TOD и ведущее устройство PPS включены.
- **Все временные метки отключены**
- **Ведомое/ведущее устройство IRIG отключено.**
- **DCF Ведомый/Главный отключены**
- **Мастер TOD/NMEA отключен.**

2 программы FPGA и SPI Flash

Для первоначального программирования FPGA и SPI Flash необходим программатор JTAG, который должен быть подключен к USB JTAG.

После успешного программирования FPGA конструкция содержит ядро AXI QUAD SPI, которое позволяет выполнять обновления на местах.

2.1 Битовые потоки с резервной конфигурацией

Конструкция FPGA разделена на два разных битовых потока/bin-файла, чтобы обеспечить отказоустойчивое обновление полей. Конфигурация FPGA всегда начинается с адреса Addr0, где находится золотой образ с начальным адресом образа обновления. Он переходит прямо по этому адресу и пытается загрузить образ обновления. Если эта загрузка не удалась, он возвращается к золотому образу.

Подробности об этом подходе мультизагрузки/резервного режима можно найти в следующих примечаниях по применению:

https://www.xilinx.com/support/documentation/application_notes/xapp1246-multiboot-bpi.pdf

Золотой/резервный образ содержит лишь ограниченную функциональность, обеспечивающую доступ к SPI Flash. Второе изображение используется для нормальной работы и заменяется при обновлении поля.

Factory_TimeCard.bin

Этот образ содержит два битовых потока, и его следует использовать для программирования флэш-памяти SPI в качестве примера в производстве. Первый битовый поток — это золотое/резервное изображение, а второй — последняя версия обычного изображения.

Это комбинированное изображение имеет следующую структуру:

=====

Информация о памяти конфигурации

=====

Формат файла	БИН
Интерфейс	СПИКС4
Размер	32М
Начальный адрес	0x00000000
Конечный адрес	0x01FFFFFF

Адрес1	Адрес2	Файл(ы)
0x00000000	0x002856FF	Golden_TimeCard.bit
0x00400000	0x0069B5AB	TimeCard.bit

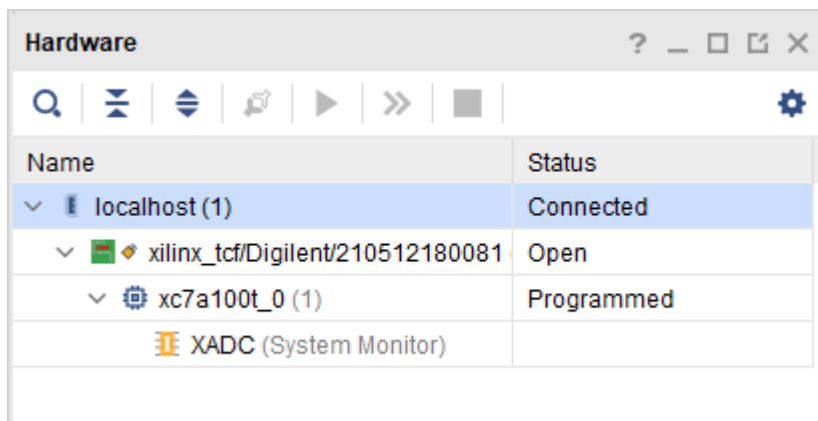
TimeCard.bin

Это обновленный/обычный образ, и он должен использоваться для обновления поля через SPI. Для обновления этот битовый поток должен быть помещен в **0x00400000** во флэш-памяти SPI.

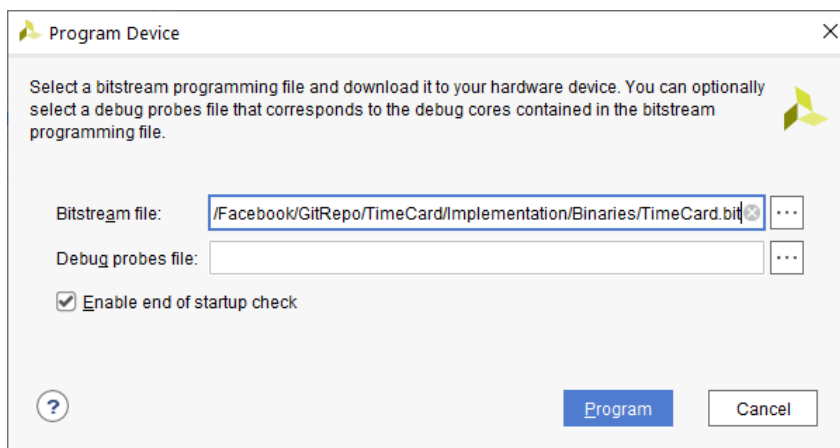
2.2 Программирование JTAG (зависимое)

Это загрузит только SRAM FPGA, после выключения и включения питания она будет потеряна.

1. Перейдите в Диспетчер оборудования в Vivado и выберите «Открыть цель». → «Автоподключение». После этого шага доступен следующий вид:



2. Щелкните правой кнопкой мыши «xc7a100t_0(1)», появится всплывающее меню.
3. Выберите «Программировать устройство» в меню, появится следующее окно.

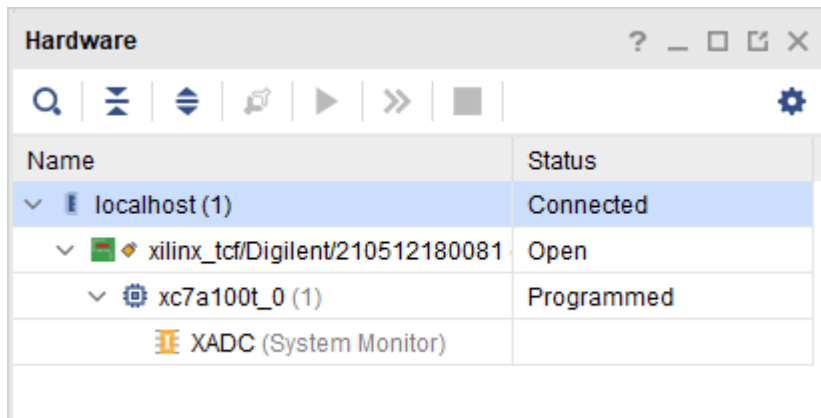


4. Выберите битовый поток, который вы хотите запрограммировать: **TimeCard.bit**
5. Нажмите «Программа» и дождитесь завершения.
6. Светодиод RUN будет мигать.

2.3 Программирование SPI (энергонезависимое)

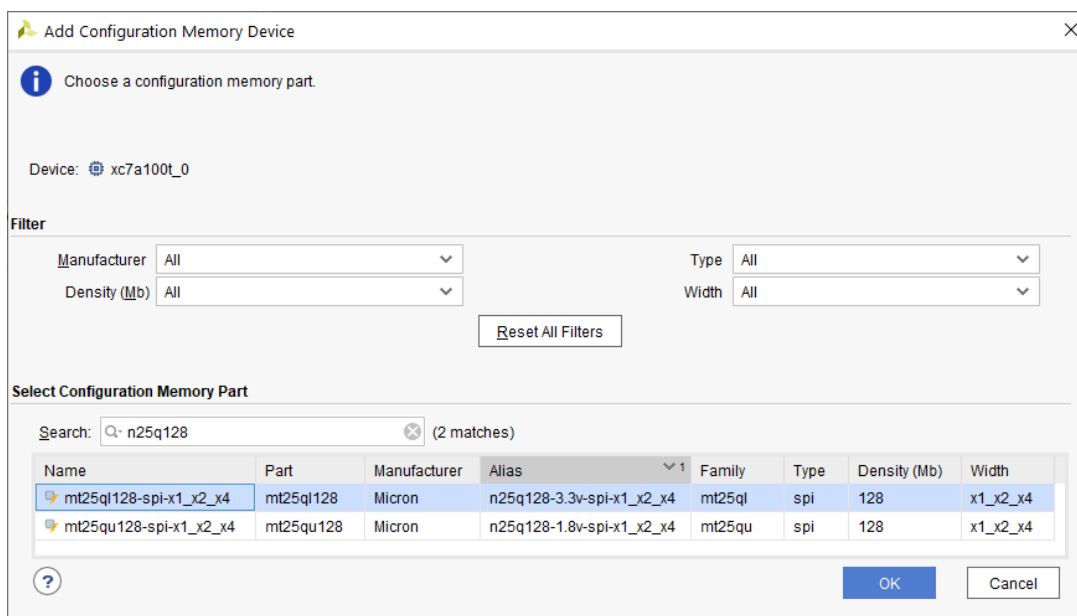
Если перед выполнением шага 1 не была настроена память конфигурации, в противном случае начните с шага 7.

1. Зайдите в меню «Диспетчер оборудования»:



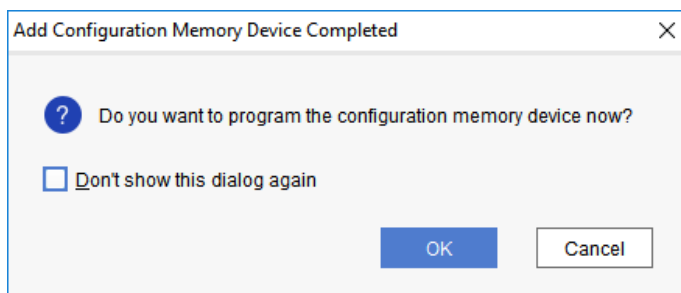
2. Щелкните правой кнопкой мыши «xc7a100t_0(1)», появится всплывающее меню.

3. Выберите в меню «Добавить устройство памяти конфигурации...», появится следующее окно.



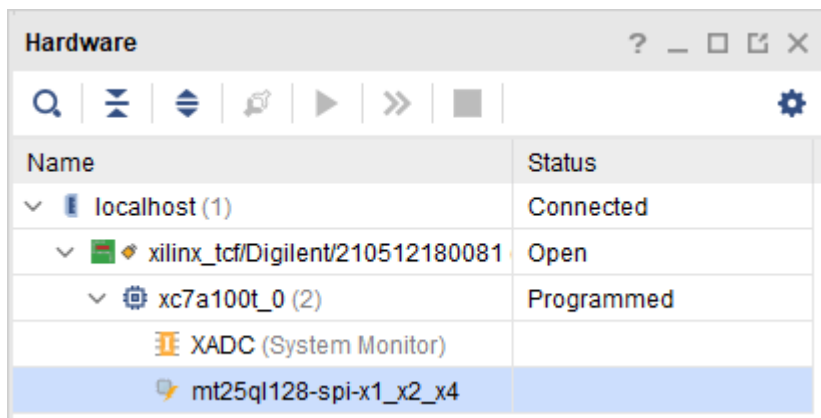
4. Выберите «mt25ql128-spi-x1_x2_x4» в качестве типа флэш-памяти SPI.

5. Нажмите Ок, появится новое окно:



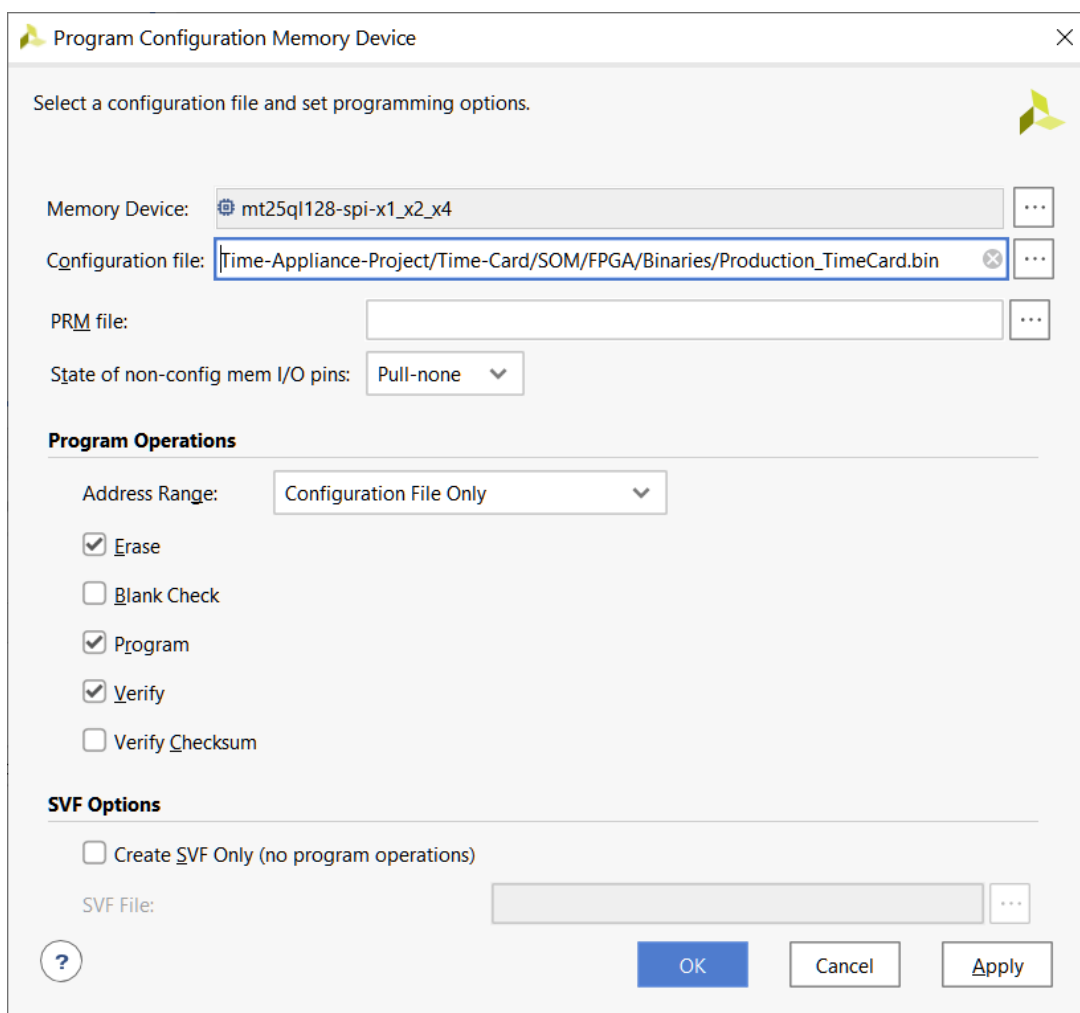
6. Нажмите «Отмена».

7. Перейдите в меню «Диспетчер оборудования», к которому будет подключена флэш-память:



8. Щелкните правой кнопкой мыши «mt25ql128-spi-x1_x2_x4», появится всплывающее меню.

9. Выберите в меню «Устройство памяти конфигурации программы...», появится следующее окно.



7. Выберите битовый поток, который хотите

запрограммировать: **Factory_TimeCard.bin**

ВАЖНАЯ ЗАМЕТКА:

Если на этом этапе загружен TimeCard.bin, обновление поля, как описано выше, работать не будет!

8. Нажмите «ОК» и дождитесь завершения.

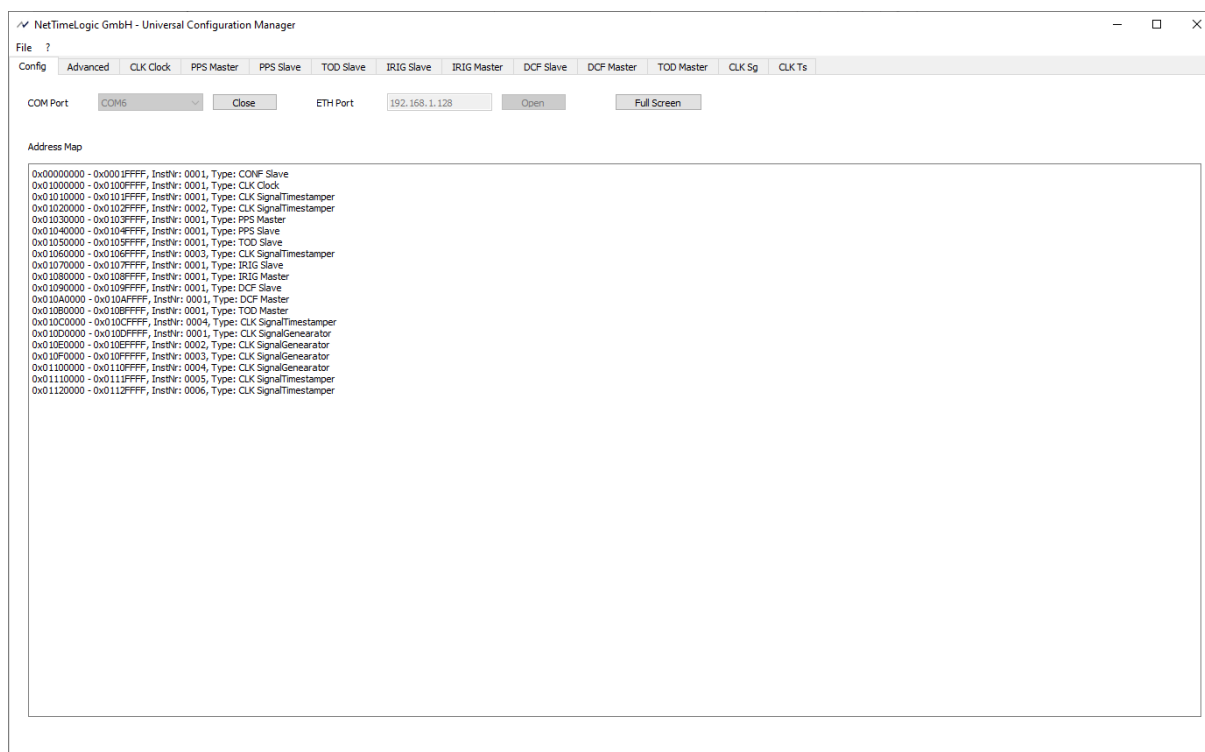
9. Отключите интерфейс JTAG от платы.

10. Выключите и включите питание или перезагрузите плату/холодный запуск ПК.

11. Светодиод РАБОТА будет мигать.

2.4 Подключите диспетчер конфигурации NetTimeLogic к FPGA

1. Подключите USB/UART к хост-компьютеру под управлением Windows.
2. Запустите инструмент UniversalConfigurationManager от NetTimeLogic.
3. Выберите COM-порт, к которому подключена плата, и нажмите «Открыть». Затем отображается карта адресов созданных ядер и появляются 111 новых вкладок (CLK Clock, PPS Master, PPS подчиненный, TOD подчиненный, IRIG подчиненный, IRIG Главный, Ведомый DCF, Главный DCF, Главный TOD, Генератор сигналов Clk и Временная метка Clk):



4. Измените конфигурацию по мере необходимости и нажмите «Записать». Например На вкладке «Дополнительно» можно загрузить файлы конфигурации, выбрав файл конфигурации и нажав «Загрузить конфигурацию». Кроме того, возможно ручное чтение или запись регистров с адресом и значением поля.

ПРИМЕЧАНИЕ:

Универсальный менеджер конфигурации обменивается данными через команды UART, а внутреннее IP-ядро преобразует их в обращения к регистрам, отображенным в памяти AXI. Подробную информацию о протоколе, который можно использовать на любом последовательном терминале, можно найти [здесь](https://www.nettimelogic.com/resources/Ucm_UniversalConfigurationManager_ReferenceManual.pdf):

https://www.nettimelogic.com/resources/Ucm_UniversalConfigurationManager_ReferenceManual.pdf

3 Тестовое приложение

TestApp используется для базового тестирования оборудования. По сути, он использует mmap для адресного пространства отображаемого адреса PCIe.

Прежде чем станет возможен доступ к двум конечным устройствам PCIe, необходимо выполнить два шага.

Сначала устройство PCIe должно быть обнаружено системой, это можно проверить с помощью следующей команды:

```
lspci -v
```

```
01:00.0 Контроллер памяти: Устройство Xilinx Corporation 7011
```

```
Подсистема: Xilinx Corporation Устройство 0007
```

```
Флаги: быстрая разработка
```

```
Память 90000000 (32-битная, без предварительной выборки) [отключено] [размер=32M]
```

```
Возможности: <доступ запрещен>
```

Устройство PCIe обнаружено по адресу 0x9000_0000, но отключено. На втором этапе устройство должно быть включено:

```
sudo setpci -s "01:00.0" КОМАНДА=0x02
```

Теперь TestApp готов к запуску. TestApp требует базовый адрес PCIe в качестве аргумента:

```
sudo ./TestApp 0x90000000
```

Приложение считывает версию IP-ядер NetTimeLogic и устанавливает системное время на регулируемые часы. После этого каждую секунду возвращается время от регулируемых часов:

Базовый адрес PCIe установлен на 0x90000000

Версия тактового IP-ядра = 0x1020000 Версия IP-

ядра Signal TS = 0x1020001 Версия IP-ядра Signal

TS = 0x1020001 Версия главного IP-ядра PPS =

0x1020000 Версия IP-ядра подчиненного PPS =

0x1020000 Версия IP-ядра подчиненного TOD =

0x2000001 Выбранный Clk Источник: PPS.

Выбранный источник Clk: REGS.

Установите текущее местное время и дату: Пт, 23 октября, 14:00:35 2020 г.

Время: 14:00:35 и 3240 нс.

Время: 14:00:36 и 305900 нс Время: 14:00:37 и

490780 нс Время: 14:00:38 и 671200 нс Время:

14:00:39 и 1031680 нс Время составляет:

14:00:40 и 1359140 нс. Время: 14:00:41 и

1542180 нс. Время: 14:00:42 и 1671980 нс.

Время: 14:00:43 и 1799580 нс.