

1. Cechą architektury harwardzkiej jest:

- a) przechowywanie zmiennych w pamięci wspólnie z kodem programu,
- b) rozdzielanie pamięci danych od pamięci programu,**
- c) przechowywanie zmiennych w pamięci dynamicznej, a kodu programu w pamięci statycznej,
- d) posiadanie oddzielnych magistral: pamięci danych i pamięci algorytmu.**

2. Zapisać w systemie szesnastkowym liczbę binarną 1101010110111001

D5B9

3. Określić stan flag Sign (znak), Carry (przeniesienie), Zero i Overflow (nadmiar) po wykonaniu działania $(-7)+5$ (argumenty czterobitowe, kodowanie U2).

S=1 C=1 Z=0 O=0

4. Przesunięcie zawartości rejestru eax w lewo o dwa bity odpowiada:

- a) mnożeniu wartości w eax przez 2,
- b) mnożeniu przez 4 zawartości komórki pamięci wskazanej przez wartość w rejestrze,
- c) mnożeniu wartości w rejestrze przez 4,**
- d) dzieleniu wartości w rejestrze przez 4.

5. Cechą pamięci SDRAM jest:

- a) cykliczne odświeżanie zawartości,**
- b) podział na banki,**
- c) podział adresu na adres rzędu i kolumny,**
- d) przechowywanie zawartości po wyłączeniu zasilania,
- e) możliwość łatwej alokacji pamięci.**

6. Licznik rozkazów procesora (PC-program counter, IP-instruction pointer) jest to rejestr służący do:

- a) odmierzania czasu wykonywania danych procedury przez procesor,
- b) wyznaczania adresu skoku względnego,
- c) generowania przerwania co określoną liczbę wykonywanych instrukcji,
- d) przechowywania adresu kolejnej instrukcji do pobrania i wykonania.**

7. Stosując kod uzupełnień do dwóch (U2), w zmiennej ośmiobitowej można poprawnie zapisać wartość z zakresu:

- a) 0-255
- b) -128-127**
- c) -127-128

8. Liczbę zmiennoprzecinkową R można zapisać za pomocą liczb całkowitych: S-znak, M-mantysa-ułamek, W-wykładnik, P-podstawa systemu liczbowego powiązanych zależnościami:

- a) $R = S * M * P^W$**
- b) $R = P * M * S^W$
- c) $R = S * M * \log P(W)$

9. Jaki typ zależności w kodzie rozwiązuje technika przemianowania rejestrów (register renaming):

- a) WaR**
- b) RaW
- c) WaW**
- d) WaR i WaW**
- e) WaR i RaW
- f) wszystkie kombinacje powyższych

10. Korzyści odnoszone z obecności pamięci podręcznej cache w systemie komputerowym związane są z:

- a) lokalnością odniesień w kodzie programu, odpowiednią organizacją danych w pamięci RAM komputera,**
- b) lokalnością czasową – częstotliwością odwołań do określonych danych i kodu programu,**
- c) czasem dostępu do głównej pamięci operacyjnej,**
- d) mapowaniem portów I/O w przestrzeni adresowej procesora.

11. Cykl rozkazowy procesora składa się następującej sekwencji cykli maszynowych:

- a) pobranie instrukcji -> inkrementacja licznika rozkazów -> dekodowanie informacji -> wykonanie operacji -> zapis wyniku operacji i/lub ustawienie flag**
- b) pobranie instrukcji -> dekodowanie instrukcji -> ustawienie flag -> wykonanie operacji -> zapis wyniku
- c) pobranie instrukcji -> dekodowanie instrukcji -> wykonanie operacji -> zapis wyniku operacji i/lub ustawienie flag -> inkrementacja licznika rozkazów
- d) pobranie instrukcji -> dekodowanie instrukcji -> wykonanie operacji -> zapis wyniku operacji/ustawienie flag -> reset licznika rozkazów

12. Z punktu widzenia teorii układów cyfrowych procesor jest układem:

- a) sekwencyjnym,**
- b) proporcjonalnym,
- c) kombinacyjnym,
- d) liniowym,

13. Przerzutnik może być traktowany jako:

- a) podstawowy element funkcjonalny pamięci rejestru mogący przechowywać najmniejszą jednostkę informacji,**
- b) układ przełączający magistrale: danych i adresową,
- c) program obsługi kilku monitorów ekranowych w środowisku graficznym,
- d) element portu wyjściowego,**
- e) element portu wejściowego.**

14. Algorytm Write-Back:

- a) jest stosowany w obsłudze pamięci wirtualnej,
- b) nie jest stosowany w obsłudze pamięci cache,
- c) jest stosowany w kontrolerze przerwania,
- d) powoduje potencjalne problemy ze spójnością danych w pamięci cache i RAM,**

15. Obsługa zdarzenia typu błąd strony (page fault) odbywa się przez:

- a) zgłoszenie przerwania niemaskowalnego
- b) zgłoszenie wewnętrznego przerwania CPU- wyjątku,**
- c) polling
- d) użycie kanału DMA do przesłania brakującej strony.

16. Najnowsze procesory zgodne z x86 (i5, i7 itp)

- a) posiadają zintegrowany kontroler pamięci,**
- b) posiadają wiele jednostek wykonawczych o zróżnicowanej funkcjonalności,**
- c) mogą równolegle wykonywać kilkanaście instrukcji (w obrębie jednego rdzenia),
- d) posiadają pamięć cache L3 odrębną dla każdego rdzenia,
- e) posiadają zintegrowany mostek północny.**

1. W architekturze von Neumana:

- a) komórki pamięci mają adresy będące wyłącznie wielokrotnością podstawy użytego systemu liczbowego,
- b) bez analizy zawartości pamięci nie można jednoznacznie określić, czy dany blok pamięci zawiera kod programu, czy dane,**
- c) zmienne przechowywane są w komórkach pamięci o adresach parzystych, a kod programu – nieparzystych,
- d) zorganizowana jest pamięć operacyjna komputerów PC.**

2. Zapisać w systemie szesnastkowym liczbę binarną 1111101011001110
FACE

3. Określić stan flag Sign (znak), Carry (przeniesienie), Zero i Overflow (nadmiar) po wykonaniu działania $(-5)+7$ (argumenty czterobitowe, kodowanie U2).

S=0 C=0 Z=0 O=0

4. Pamięć podręczna cache L1:

- a) zoptymalizowana jest pod kątem minimalizacji czasu dostępu (CPU do danych w pamięci),**
- b) wykorzystuje pełną skojarzeniowość (odwzorowanie typu fully associative),
- c) wykorzystuje najczęściej algorytm write-through,
- d) jest współdzielona przez rdzenie procesora.

5. Wykonanie rozkazu xor eax, eax da w wyniku:

- a) eax=0 i flaga Z=1**
- b) eax=1 i flaga Z=0
- c) eax=0 i flaga Z=0
- d) wynik będzie zależny od wartości początkowej rejestru eax.

6. Procesory CISC cechuje:

- a) wiele różnych trybów adresowania,**
- b) prosta realizacja przetwarzania potokowego – dzięki dużej liczbie złożonych i specjalizowanych instrukcji,
- c) obecność instrukcji, upraszczających ręczne programowanie w języku assembler,**
- d) bardzo mały pobór prądu.

7. System przerwań zgodny z architekturą x86 obejmuje:

- a) przerwania chronione i wirtualne,
- b) przerwania niemaskowalne,**
- c) przerwania sprzętowe: zewnętrzne i wewnętrzne (wyjątki) oraz programowe,**
- d) przerwania modulowane fazą sygnały zegarowego,

8. Liczbę zmiennoprzecinkową R można zapisać za pomocą liczb całkowitych: S-znak, M-mantysa-ułamek, W-wykładnik, P-podstawa systemu liczbowego powiązanych zależnościami:

- a) $R = S * M * \log P(W)$
- b) $R = P * M * S^W$
- c) $R = S * M * P^W$**

9. Funkcje systemowe w Linuxie (system calls) uruchamia się wywołując przerwanie:

- a) programowe 80h**
- b) programowe 21h
- c) sprzętowe 80h
- d) sprzętowe 21h

10. Procesory ARM/Cores(?) stosowane obecnie na szeroką skalę np. w procesorach do urządzeń przenośnych mają architekturę typu:

- a) RISC**
- b) CISC
- c) SPARC
- d) CISC przekształconą wewnętrznym do RISC.

11. Jednostka arytmetyczno-logiczna (ALU) w procesorze służy do:

- a) wykonywania operacji m.in.: *, +, -, and, or, add, (?)**
- b) steruje przełączaniem bloków procesora między wykonywaniem instrukcji arytmetycznych i logicznych,
- c) może obliczać komórki pamięci i sterować wykonywaniem skoków warunkowych.**

12. DMA (Direct Memory Access) wprowadzono żeby:

- a) procesor nie musiał czynnie zajmować się transferem danych (I/O-pamięć),**
- b) maksymalizować przepustowość urządzenia I/O-pamięć,**
- c) poprawić efektywność działania systemu przerwań,
- d) poprawić efektywność działania pamięci cache,
- e) system efektywniej przełączał kontekst procesora.

13. Z przetwarzaniem potokowym wiąza się:

- a) hazardy danych,**
- b) konflikty w dostępie do różnych jednostek wykonawczych procesora,**
- c) utrata spójności pamięci cache,
- d) spekulacyjne wykonywanie instrukcji warunkowych/skoków,**
- e) uruchomienie procesów systemowych i użytkownika w dwóch oddzielnych potokach.

14. Problemem występującym w zapisie binarnym liczb wykorzystującym bit znaku (np. float, znak-moduł) jest występowanie:

- a) podwójnego zera (+0 i -0),**
- b) NaN (Not a Number),**
- c) symboli nieoznaczonych,**
- d) wyjątków zgłaszanych przez CPU.

15. Wykonując rozkaz mov eax,[var] (składnia Intel), do rejestru eax wczytana zostanie:

- a) wartość zmiennej var,**
- b) adres, pod którym umieszczona jest zmienna var,
- c) adres segmentu pamięci, w którym umieszczona jest zmienna var,
- d) wartość przechowywana w obszarze pamięci rozpoczynającym się od adresu określonego wartością var,

16. Cykl rozkazowy procesora składa się z następującej sekwencji cykli maszynowych:

- a) pobranie instrukcji -> inkrementacja licznika rozkazów -> dekodowanie informacji -> wykonanie operacji -> zapis wyniku operacji i/lub ustawienie flag**
- b) pobranie instrukcji -> dekodowanie instrukcji -> ustawienie flag -> wykonanie operacji -> zapis wyniku
- c) pobranie instrukcji -> dekodowanie instrukcji -> wykonanie operacji -> zapis wyniku operacji i/lub ustawienie flag -> inkrementacja licznika rozkazów
- d) pobranie instrukcji -> dekodowanie instrukcji -> wykonanie operacji -> zapis wyniku operacji/ustawienie flag -> reset licznika rozkazów