



Principes de fonctionnement des ordinateurs

Jonas Lätt

Centre Universitaire d'Informatique



Trouvé une erreur sur un transparent? Envoyez-moi un message

- sur Twitter [@teachjl](#) ou
- par e-mail jonas.latt@unige.ch



Contenu du cours

Partie I: Introduction

1. Introduction

2. Histoire de l'informatique

3. Information digitale et codage de l'information

4. Codage des nombres entiers naturels

5. Codage des nombres entiers relatifs

6. Codage des nombres réels

7. Codage de contenu média

8. Portes logiques

9. Circuits logiques combinatoires et algèbre de Boole

10. Réalisation d'un circuit combinatoire

11. Circuits combinatoires importants

12. Principes de logique séquentielle

13. Réalisation de la bascule DFF

14. Architecture de von Neumann

15. Réalisation des composants

16. Code machine et langage assembleur

17. Architecture d'un processeur

18. Performance et micro-architecture

19. Du processeur au système

Partie II: Codage de l'information

Partie III: Circuits logiques

Partie IV: Architecture des ordinateurs

Exercice instantané



Prenons un processeur dont la fréquence d'horloge est de 3.0 GHz. Quelle est la distance que parcourt la lumière pendant un cycle d'horloge de ce processeur?

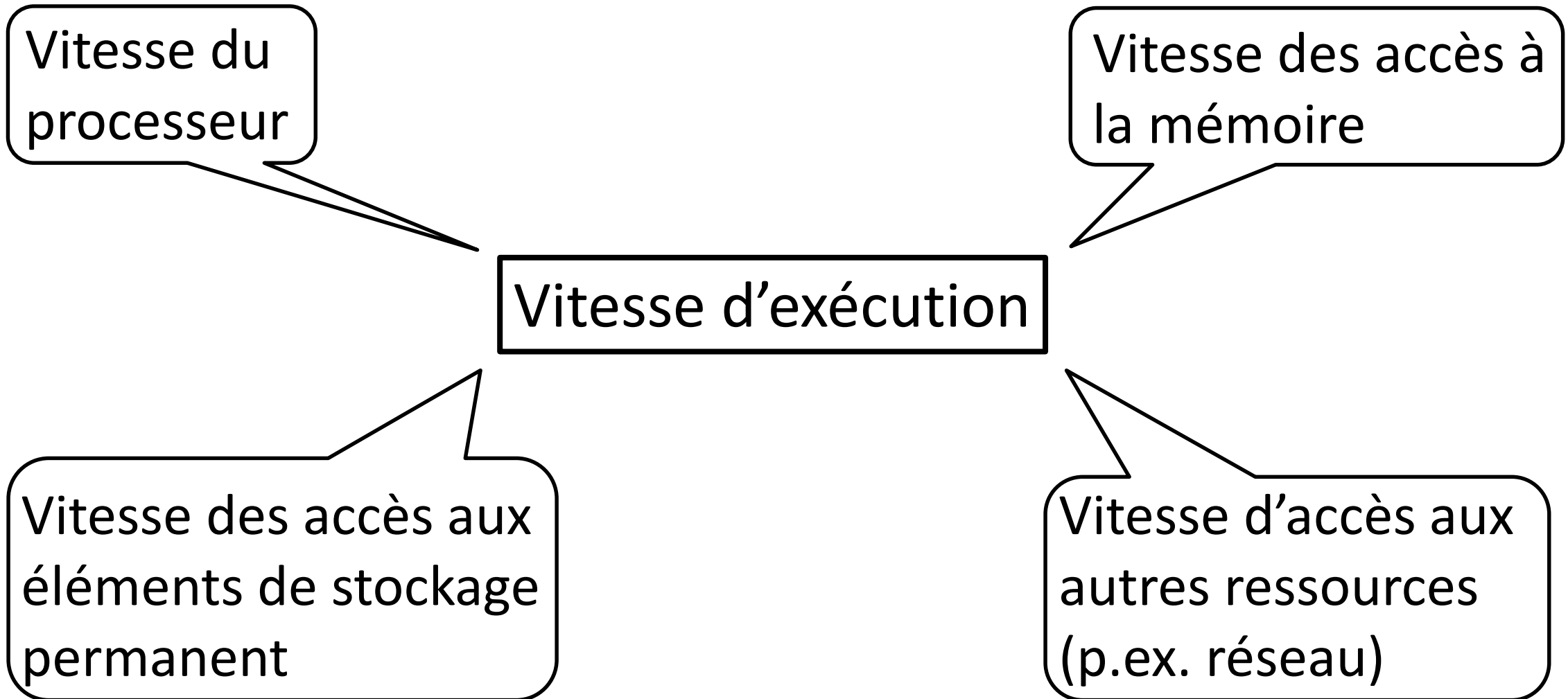
- a) 50 cm
- b) 50 m
- c) 50 km
- d) 50'000 km

Performance d'un ordinateur



On va mesurer la **performance** d'un ordinateur par la **vitesse d'exécution d'un programme** sur cet ordinateur.

Limitations matérielles de la vitesse



Temps d'exécution CPU:

- Temps d'exécution d'un programme si on ne tient compte que de la performance du CPU, et d'aucune autre limitation.
- Le temps d'exécution CPU est égal au temps total d'exécution d'un programme si
 1. Le programme utilise le CPU à 100%
 2. Le programme n'est jamais en attente d'une autre ressource, telle que la mémoire.

Performance d'un CPU: fréquence d'horloge



$$\text{Fréquence d'horloge} = \frac{1}{\text{Temps d'un cycle}}$$

2 GHz (gigahertz)
 $= 2 \cdot 10^9 \text{ secondes}^{-1}$

0.5 nanosecondes
 $= 0.5 \cdot 10^{-9} \text{ secondes}$
 $= 5.0 \cdot 10^{-10} \text{ secondes}$



Performance d'un CPU

Temps d'exécution CPU = Nombre de cycles · Temps d'un cycle

$$\text{Temps d'exécution CPU} = \frac{\text{Nombre de cycles}}{\text{Fréquence d'horloge}}$$

Nombre de cycles = Nombre d'instructions · Cycles par instruction

CPI

Performance d'un CPU



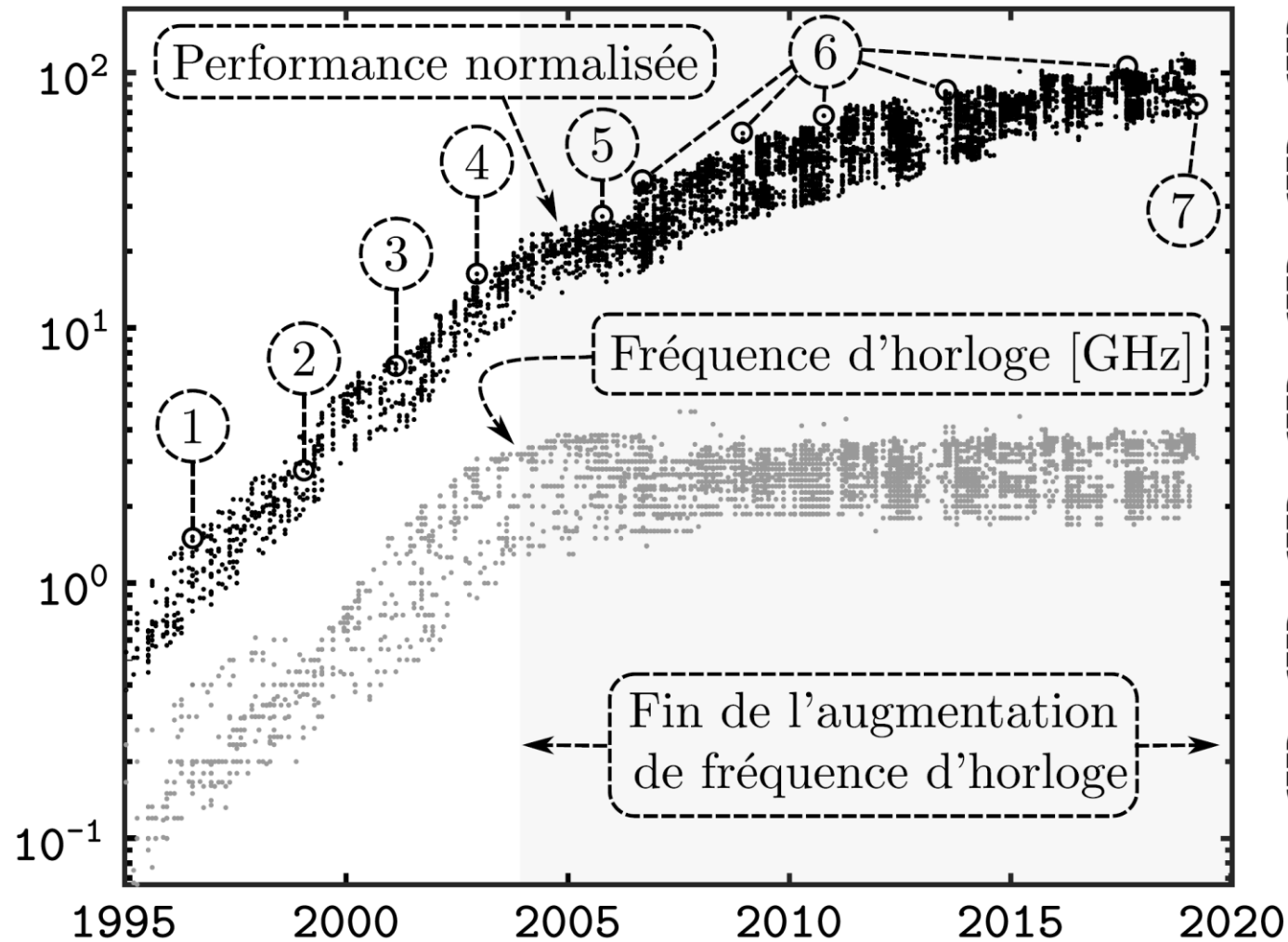
$$\text{Temps d'exécution CPU} = \frac{\text{Nombre d'instructions} \cdot \text{CPI}}{\text{Fréquence d'horloge}}$$

Éléments limitants pour la performance CPU



Élément	Affecte
Algorithme	Nombre d'instructions, CPI
Langage de programmation	Nombre d'instructions, CPI
Compilateur	Nombre d'instructions, CPI
Architecture, jeu d'instructions	Nombre d'instructions, Fréquence d'horloge, CPI

Evolution des processeurs



1. HP PA-RISC

2. Sun SPARC

3. DEC Alpha

4. Intel Pentium

5. AMD Opteron

6. Intel Xeon

7. AMD EPYC

Un processeur est *incroyablement* rapide!



- Un ordinateur est souvent limité par la rapidité d'autres composants que le processeur.
- Exemple: la mémoire centrale.

Lecture d'un *mot* en mémoire centrale =
400 Cycles d'horloge CPU à peu près

Disproportion de vitesse entre CPU et mémoire



- **Problème:** la lecture d'un *mot* en mémoire centrale est lent.
- **Solution:** on ne lit pas des mots individuels. On en lit toujours plusieurs à la fois.

- **Idée:**

- La **latence** est mauvaise, mais
- La **bande passante** est excellente

Temps d'accès pour
une seule donnée

Vitesse de transfert d'un bloc
de donnée, après que le temps
de latence est écoulé

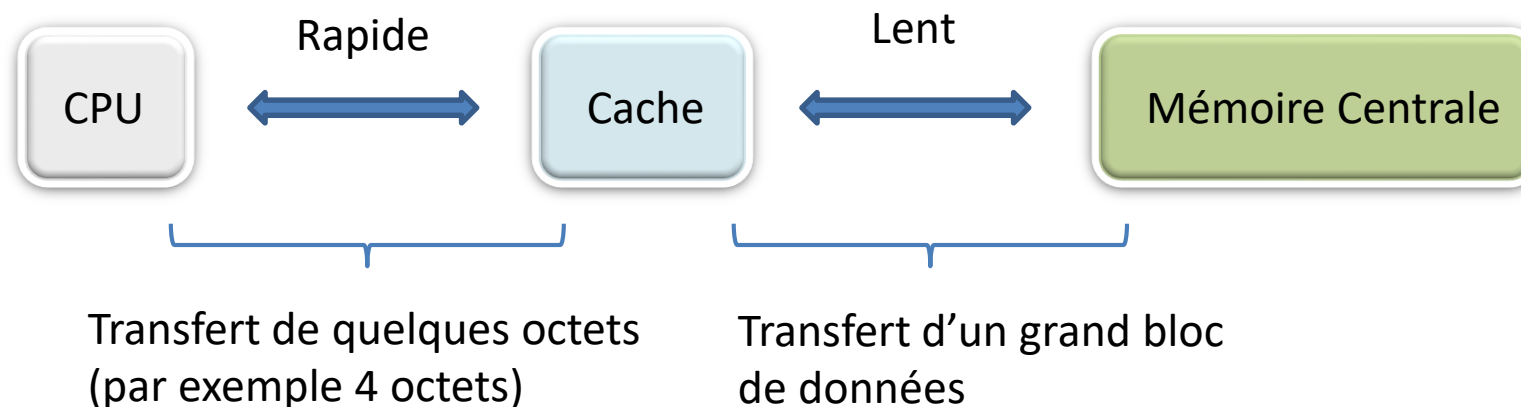
Mémoires cache



- **Problème:** si on lit plusieurs mots à la fois, où les met-on?
- **Solution:** dans une mémoire cache. Une mémoire de petite taille, très rapide, située proche du processeur.
- Aussi nécessaire: **système de communication** haute performance, avec grande bande passante entre mémoire centrale et mémoire cache. On parle de *bus*.

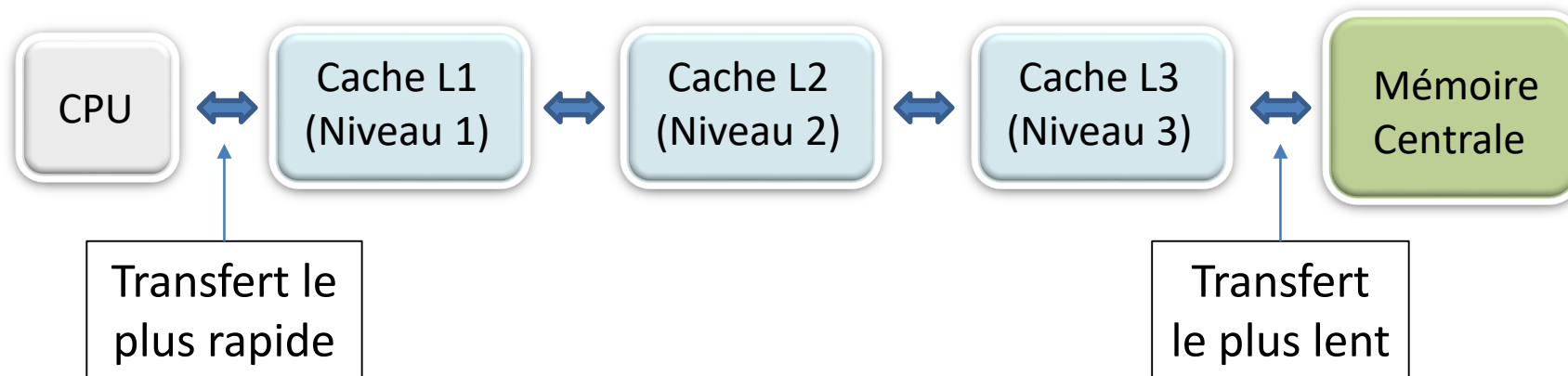
Principe d'une mémoire cache

- Chaque donnée lue en mémoire centrale est entreposée dans la mémoire cache pour une certaine durée. **Idée**: elle sera probablement réutilisée bientôt.
- A chaque accès à la mémoire centrale on transfère tout un bloc de données. **Idée**: si on a besoin d'une donnée, on aura probablement bientôt besoin d'autres données à proximité.



Organisation à trois niveaux de cache

- Beaucoup d'ordinateurs modernes possèdent trois niveaux de mémoires cache
 - Le cache de niveau 1 est placé le plus proche du CPU. C'est le cache le plus petit, mais aussi le plus rapide.
 - Le cache de niveau 2 est un peu plus grand et un peu moins rapide.
 - Le cache de niveau 3 est encore moins rapide, mais toujours plus rapide que la mémoire centrale.



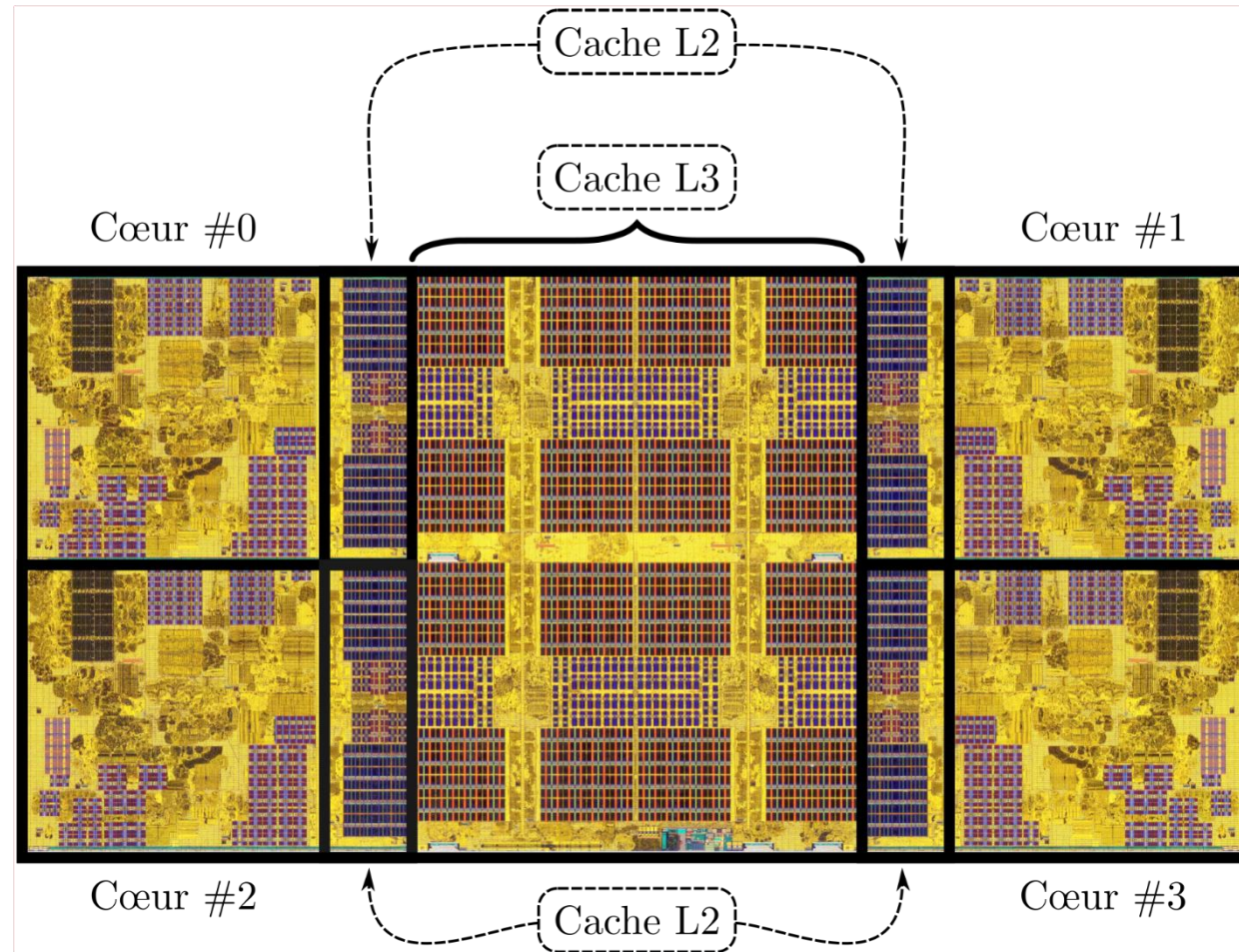


Exemples de latence

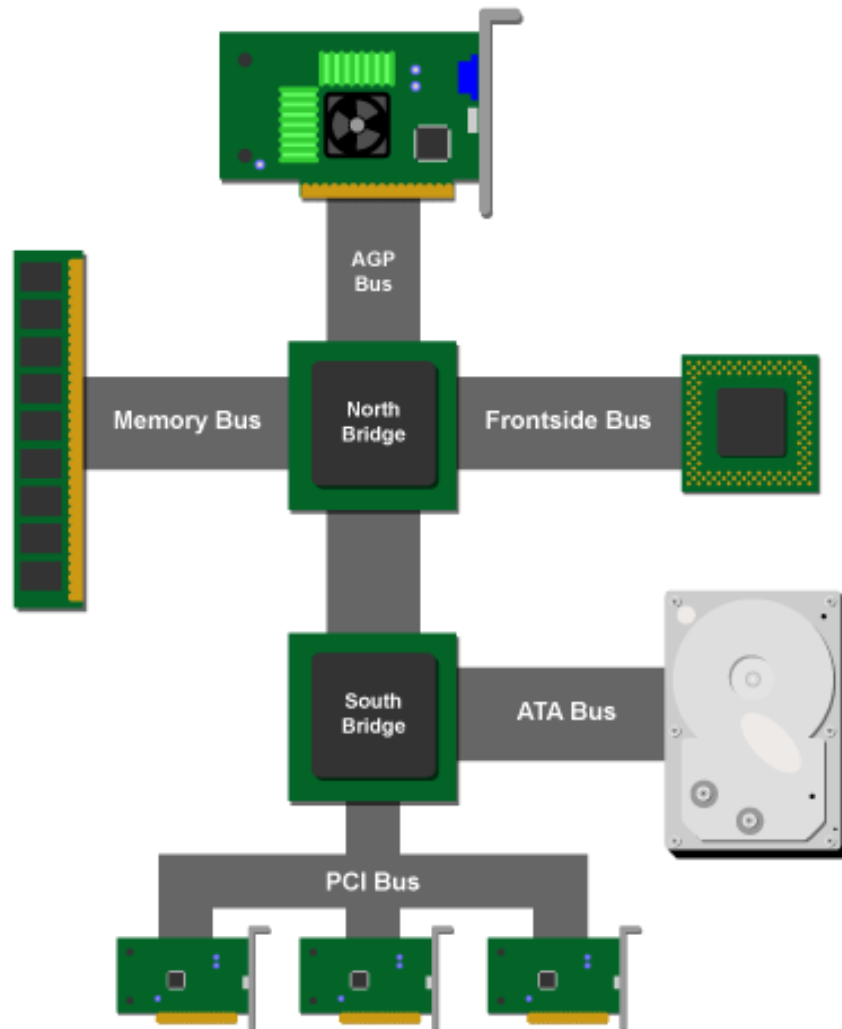
Processeur Intel Core i7 Xeon W5590

	Latence en secondes	Latence en nbre de cycles
1 Cycle d'horloge CPU	0.3 ns	1
Accès cache niveau 1	0.9 ns	3
Accès cache niveau 2	2.8 ns	9
Accès cache niveau 3	12.9 ns	43
Accès RAM	120 ns	400

Disposition des mémoires cache



Les BUS dans une architecture moderne



Ordinateurs modernes: BUS dédiés aux différentes parties