

40 V, 2.5 A, 500 kHz 同步降压转换器

概述

AP2954 是一款宽输入范围，高效率恒流的同步降压芯片，AP2954 最高可在 500 kHz 的开关频率下提供 2.5 A 输出电流。

AP2954 内部有 130 mΩ 上 MOS 管和 80 mΩ 下 MOS 管实现高达 96 % 的效率。其电流模式控制系统可支持快速瞬态响应和简易的补偿电路。

保护特性包括逐周期限流，热关断以及短路保护功能。

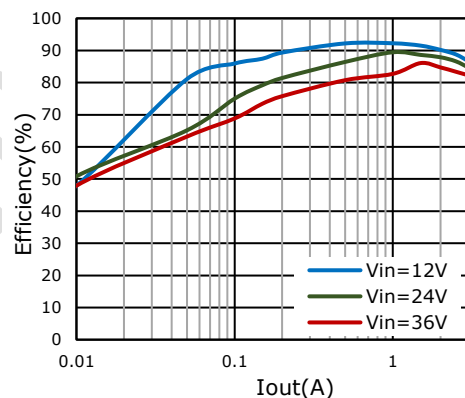
AP2954 采用 SO8-EP 和 SO8 封装，工作时仅需要非常少的外围器件。

特性

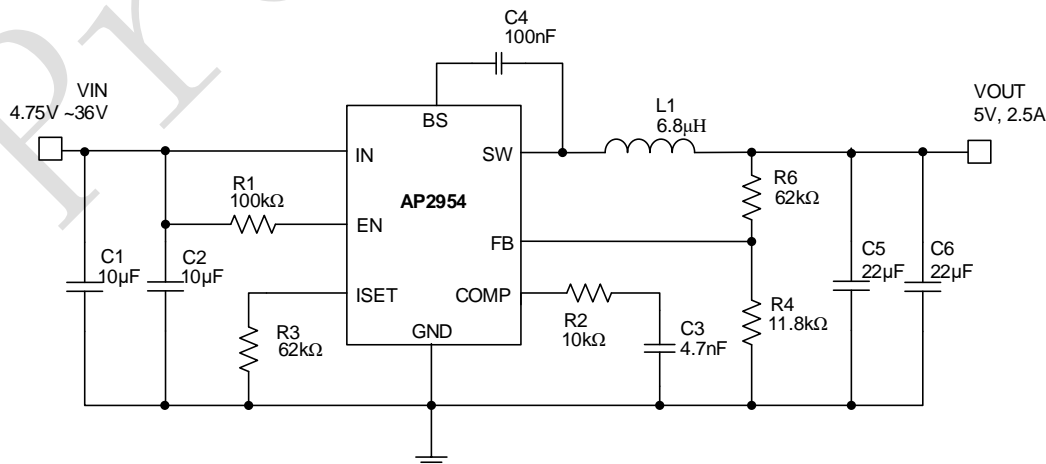
- 高达40 V输入浪涌电压
- 持续工作输入电压高达36 V
- 高达2.5 A输出电流
- 500 kHz 开关频率
- 高达96 %的转换效率
- 稳定工作于Low-ESR瓷片输出电容
- 通过外部电阻设定1.0 A到3.5 A输出电流限流点
- $\pm 2\%$ 反馈电压精度
- 省电模式待机电流降低到0.9 mA
- 其他特性
 - 集成软启动
 - 热关断
 - 逐周期限流
- 采用SO8-EP和SO8 封装

应用

- 分布式电源系统
- 笔记本电脑
- 宽带通信设备
- 平板电视及显示器
- 汽车电子

Efficiency vs. I_{OUT} @ $V_{OUT}=5\text{ V}$ 

典型应用电路



低成本应用电路

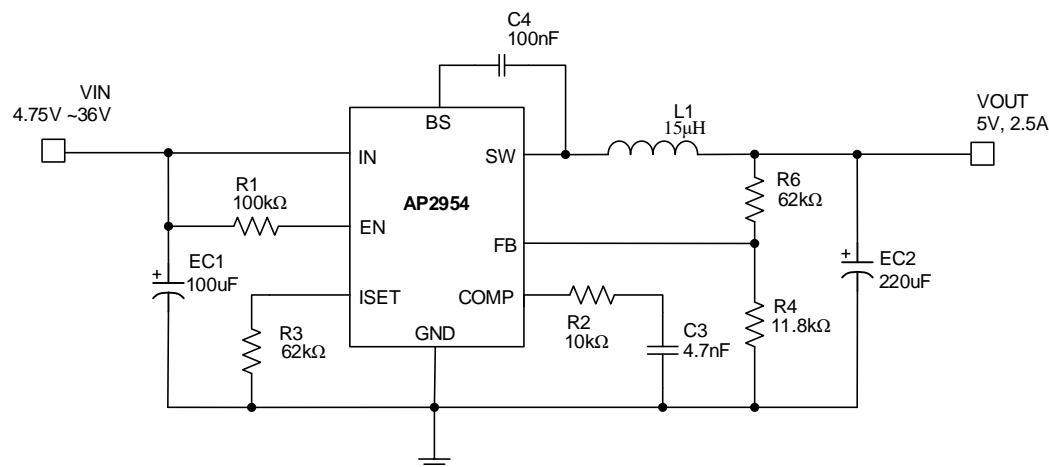


表1.推荐的元件配置

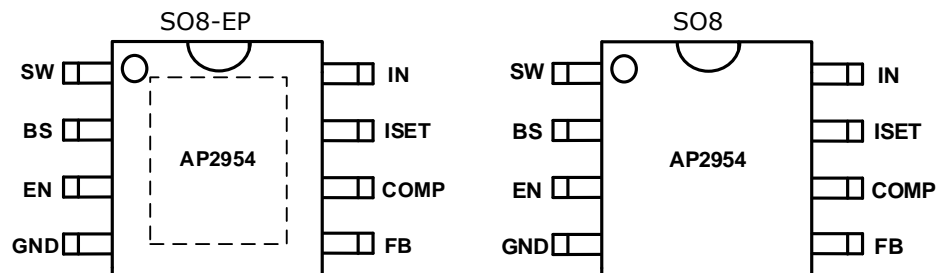
VOUT (V)	R6(kΩ)	R4(kΩ)	R2(kΩ)	L1(μH)	C3(nF)	C5(μF)	C6(μF)
12	270	19.6	10	6.8	4.7	22	22
9	200	19.6	10	6.8	4.7	22	22
5	62	11.8	10	6.8	4.7	22	22
3.3	62	20	4.3	4.7	4.7	22	22

订货信息

订购代码	包装信息	顶层标记	封装
AP2954SPER	4,000/Reel	AP2954 YWWXXXXX ⁽¹⁾	SO8-EP
AP2954SEER	4,000/Reel	AP2954 YWWXXXXX ⁽¹⁾	SO8

(1). YWW = 日期代码, XXXXX = 内部代码

引脚配置



引脚描述

引脚名称	引脚序号		引脚功能
	SO8-EP	SO8	
SW	1	1	功率开关输出接到外部电感。
BS	2	2	上管栅极偏置引脚。提供MOSFET开关栅极驱动。从 SW 到 BS 端连接一个 100 nF 电容。
EN	3	3	使能输入。EN 被内部钳位到 4.5 V, 包含一个精确的 2 V 逻辑阈值。驱动该引脚到逻辑高电平或悬空使 IC 开启。加一个逻辑低电平来关闭 IC 于此同时芯片进入关断模式。
GND	4	4	GND 引脚。FB, COMP 以及 ISET 均参考此 GND 为信号返回点, 单点连接到功率地可获得最佳抗干扰性能。
FB	5	5	反馈输入。反馈调节电压为 0.8 V。在输出和 GND 之间连接电阻分压器来设置输出电压。
COMP	6	6	误差放大器输出。此引脚用做转换器补偿。
ISET	7	7	输出电流设置引脚。从 ISET 到 GND 连接一个电阻来设置输出电流。
IN	8	8	电源输入。接一个瓷片电容到 GND, 尽可能的靠近 IC。
GND Pad	9	-	接地焊片。连接此裸露焊盘到大面积的 PCB 铜箔和通孔以获得最佳散热面积。

功能框图

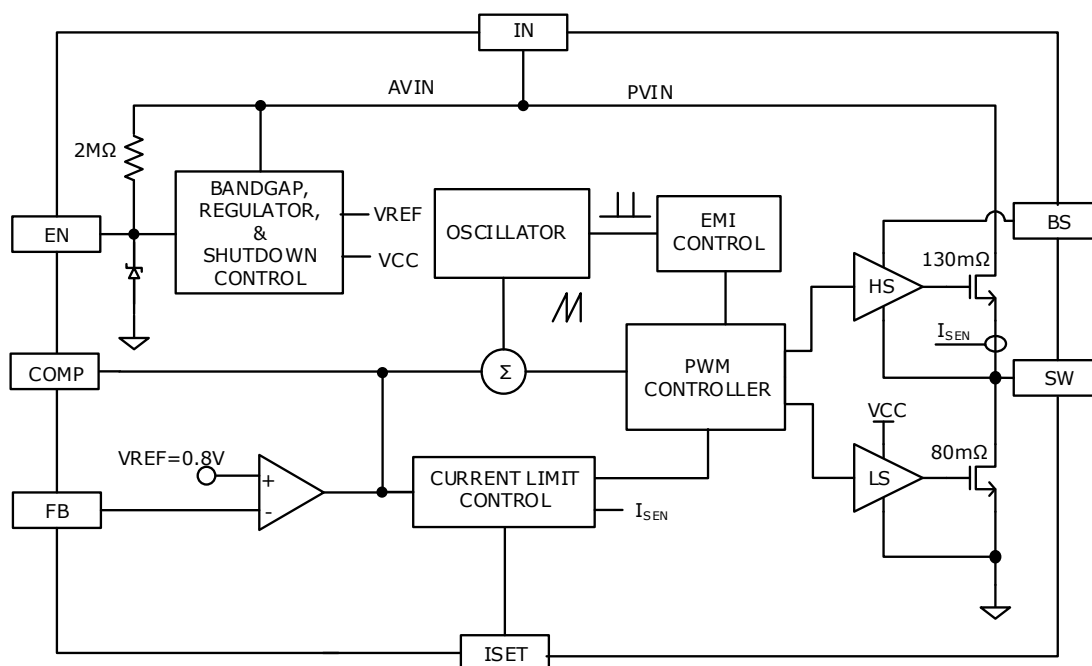


图1. 功能框图

绝对最大额定值⁽¹⁾

VIN 输入电压 -0.3 V ~ 42 V
 SW 电压 -0.3 V ~ 42 V
 BS 电压 -0.3 ~ (V_{SW} + 5.5 V)
 EN Pin -0.3 V ~ 6 V
 FB COMP ISET Pin -0.3 V ~ 5.5 V
 最大结温 内部限制
 储存温度范围 -55 °C ~ 150 °C
 引脚温度(焊接, 10 秒) 260 °C
 Class 2 按 ESDA/JEDEC JS-001-2014
 人体模式 ±4 kV

工作额定值

环境温度 T_A -40 °C ~ 85 °C
 结温 T_J -40 °C ~ 125 °C

散热特性

θ_{JA} -SO8-EP 50 °C/W
 θ_{JA} -SO8 90 °C/W
 θ_{JC} -SO8-EP 15 °C/W
 θ_{JA} -SO8 45 °C/W

(1). 绝对最大额定值的额定值代表该产品在不受到损伤的条件下可承受的最大额度。因此, 这些值在任何条件下都不能超过。

电气特性

(V_{IN} = 12 V, T_A = + 25 °C, 除非另有说明。)

参数	符号	条件	最小值	典型值	最大值	单位
输入电压						
输入电压			4.75		36	V
输入 UVLO						
UVLO 阈值	V _{UVLO}	V _{IN} Rising	3.9	4.1	4.3	V
迟滞	V _{UVLOHYS}	V _{IN} Falling		250		mV
输入电流						
工作电流	I _{VIN}	I _{OUT} = 0 mA		0.9		mA
静态电流	I _Q	V _{FB} = 1 V		0.8	1	mA
关断电流		EN=0 V		6	10	μA
使能						
使能阈值 (高)	V _{EN_HIGH}		2			V
使能阈值 (低)	V _{EN_LOW}				0.4	V
使能内部上拉电流	I _{EN}		5.3	6	10	μA
限流引脚特性						
ISET 电压	V _{ISET}		0.98	1.005	1.02	V
ISET 到 I _{OUT} 直流增益	G _{ISET}	R _{ISET} = 62 kΩ		20,000		A/A
上管限流	I _{LIM_HS}	R _{ISET} = 62 kΩ		4		A
误差放大器						
输出吸收电流	I _{SINK}	V _{FB} =0.7 V		150		μA
输出源电流	I _{SOURCE}	V _{FB} =0.9 V		50		μA
开环增益	G _{VO}			4,000		V/V
反馈引脚						
反馈电压	V _{FB}		788	800	812	mV
反馈电流	I _{FB}			0.1	50	nA

电气特性 (续)

(V_{IN} = 12 V, T_A = +25 °C, 除非另有说明。)

参数	符号	条件	最小值	典型值	最大值	单位
频率						
工作频率	F _{SW_0.8V}	V _{FB} = 0.8 V	450	500	550	kHz
打嗝模式等待时间	F _{SW_0V}	V _{FB} = 0 V		200		ms
最大占空比	D _{MAX}	F _{SW} = 500 kHz		93		%
MOSFET						
上管导通电阻 ⁽¹⁾	R _{DS(ON_H)}			130		mΩ
下管导通电阻 ⁽¹⁾	R _{DS(ON_L)}			80		mΩ
上管漏电流	R _{DS(HIGH_LEAK)}	V _{SW} = 0 V			1	μA
下管漏电流	R _{DS(LOW_LEAK)}	V _{SW} = V _{IN}			1	μA
软启动						
软启动时间 ⁽¹⁾	T _{SS}			1.5		ms
热关断						
热关断阈值 ⁽¹⁾	T _{SDN}			160		°C
热关断迟滞	T _{SDN_HYS}			25		°C

(1). 设计保证。

功能描述

工作

如功能图所示，AP2954是一种峰值电流模式脉宽调制转换器。此转换器运作如下：

一个开关周期开始时，振荡器时钟输出上升沿使上功率管导通且下功率管关闭。和SW端相连的电感被连接到VIN，电感电流斜线上升，能量储存于电磁场中，电感电流值通过电流取样放大器检测并和三角波信号叠加。如果叠加后的电位大于COMP电压，PWM比较器输出变高。此时（另一种情况是振荡器时钟输出变低时）上管关闭。这时SW脚通过内部下管直接和GND相连，这使得电感电流下降，磁场转换为输出电能。这个状态一直维持到下一个周期开始。BS脚泵升电压驱动上功率管，在上管导通时它的电压为 $V_{sw} + 5V$ 。

振荡器通常以500 kHz开关，但当FB电压小于0.4 V，IC进入极低功耗的短路恢复模式。

省电模式工作

在特轻的负载下，AP2954将进入省电模式，此模式下，调整器自动跳过内部控制回路的切换周期，其静态电流降至0.9 mA。

使能引脚

AP2954配置了一个EN输入引脚来实现打开、关闭IC功能。EN脚内含一个精确的2 V比较器（迟滞为200 mV）和一个大约为2 MΩ的上拉电阻。这个比较器可以接到一个从VIN引出的电阻分压电路中，用来设置一个比UVLO电压高的开启电压。也可以将电阻分压电路接到VOUT端，用来关闭对深度放电电池的充电。或者被接到含有热敏电阻的分压器，提供一个温度相关的电源切断电路来做电池过温保护功能。在这种应用中，热敏电阻应该热耦合到电池组内。

如果将EN脚悬空，EN脚被内部钳位到4.5 V。EN脚可以被高于2 V的标准逻辑信号驱动控制，也可以被开漏输出驱动提供开关控制。

热关断

当芯片结温超过160 °C，AP2954将禁止开关，直到温度下降25 °C恢复工作。

应用信息

输出电压设置

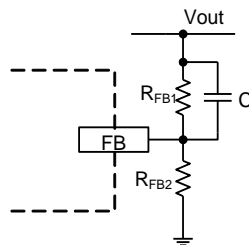


图2. 输出电压设置

图2显示了输出电压的设置连接方式。可根据输出电压来选择两个适当比例的反馈电阻 R_{FB1} 和 R_{FB2} 。在 R_{FB1} 上并联一个电容有助于系统的稳定。通常， $R_{FB2} \approx 10\text{ k}\Omega$ ，通过以下方程确定 R_{FB1} ：

$$R_{FB1} = R_{FB2} \left(\frac{V_{OUT}}{0.8V} - 1 \right)$$

电流设置

上MOS管的限流是通过连接到ISET引脚的外部电阻来调节的。限流范围从1.0 A到3.5 A。当电感电流达到电流限制阈值时，COMP电压会被钳位以限制电感电流。

注意， R_{ISET} 的值与上管MOSFET峰值限流值成反比。要确定所需电流的合适电阻，请参考下面图3。

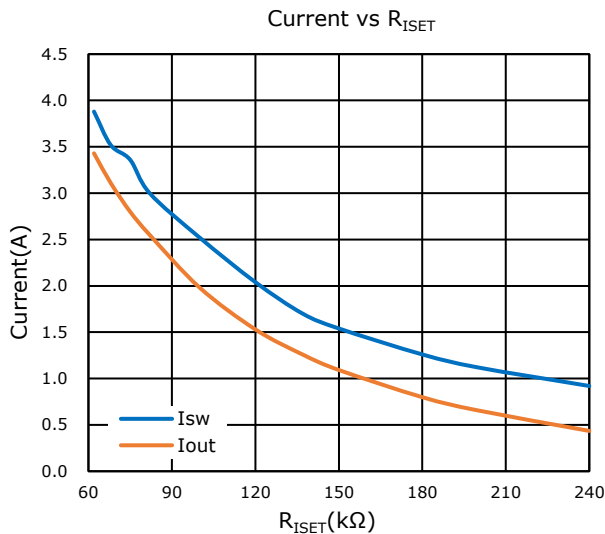


图 3. 典型应用电路的输出CC电流曲线

电感选择

电感维持一个持续的电流到负载端，电感上的纹波电流是取决于电感值的：

大感值减小电流峰-峰值。但是考虑到电感值会增加磁芯面积、导线串联电阻以及也会减小一定的电流带载能力，一般来说，电感值基于纹波电流的需求容限来选择，即按下式：

$$L = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} f_{SW} I_{LOADMAX} K_{RIPPLE}}$$

式中， V_{IN} 是输入电压， V_{OUT} 为输出电压， f_{SW} 为开关频率， $I_{LOADMAX}$ 为最大负载电流， K_{RIPPLE} 为纹波系数。通常选择 $K_{RIPPLE} = 30\%$ 使得纹波电流峰-峰值为最大负载的30%左右。

电感值确定后，电感电流峰-峰值可按下式计算：

$$I_{LPK-PK} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{L \times V_{IN} \times f_{SW}}$$

峰值电感电流按下式计算：

$$I_{LPK} = I_{LOADMAX} + \frac{1}{2} I_{LPK-PK}$$

选择的电感不能在电流达到 I_{LPK} 时饱和，最大输出电流可按下式计算：

$$I_{OUTMAX} = I_{LIM} - \frac{1}{2} I_{LPK-PK}$$

I_{LIM} 为内部限流典型值，如电气特性所示为4 A。

外部高压偏置二极管

当系统有一路5 V固定输入或电源适配器产生一个5 V输出时，建议增加一个高压偏置二极管。这样可以提高芯片的效率。可以选择一些低成本的二极管例如IN4148 或BAT54。

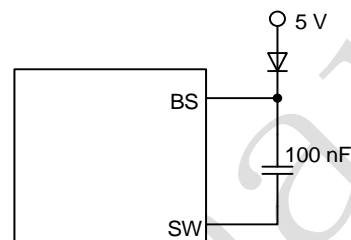


图4. 外部高压偏置二极管

也推荐在高占空比应用和高电压输出应用使用这个二极管。

输入电容

为了保证芯片足够低的输入纹波电压，须仔细选择输入电容。强烈推荐使用低ESR电容。因为在这个电容上流过的电流变化很大，它的ESR同样会影响到转换效率。

输入电容需要两个大于10 μF 的电容并联。如果是钽电容和电解电容需考虑电容选型中额定RMS纹波电流大于输出电流的50%。输入电容要尽可能的紧靠IC的IN脚和GND脚，走线也要尽可能的短。在使用钽电容和电解电容时，如果紧挨IC并联了一个瓷片电容，钽电容或电解电容可放置的远一些。

输出电容

输出电容也需要用低ESR电容来保持低输出纹波电压。输出纹波电压可按下式计算：

$$V_{RIPPLE} = I_{OUTMAX} K_{RIPPLE} R_{ESR} + \frac{V_{IN}}{8 \times f_{SW}^2 L C_{OUT}}$$

式中， I_{OUTMAX} 是最大输出电流， K_{RIPPLE} 为纹波系数， R_{ESR} 为输出电容的ESR值， f_{SW} 是开关频率， L 是电感值， C_{OUT} 为输出电容值。在使用瓷片电容输出时， R_{ESR} 非常小几乎不产生纹波，因此，瓷

片电容的容值可相对低一些。在使用钽电容或电解电容时，ESR与纹波电流的乘积影响纹波电压，这时就要选择足够低ESR值的电容。

对瓷片输出电容来说一般选择22 μF ，对钽电容或电解电容来说选择小于50 m Ω ESR的电容。

稳定性和补偿

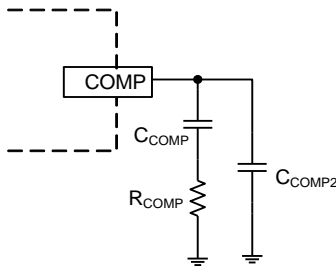


图5. 外部补偿

IC的反馈路由COMP脚上的元件来稳定，如图5所示。系统的DC环路增益由下式计算：

$$A_{VDC} = \frac{0.8 \text{ V}}{I_{OUT}} A_{VEA} G_{COMP}$$

主极点P1由C_{COMP}而来：

$$f_{P1} = \frac{G_{EA}}{2\pi A_{VEA} C_{COMP}}$$

次极点P2是输出极点：

$$f_{P2} = \frac{I_{OUT}}{2\pi V_{OUT} C_{OUT}}$$

第一个零点Z1由R_{COMP} 和 C_{COMP}而来：

$$f_{Z1} = \frac{1}{2\pi R_{COMP} C_{COMP}}$$

最后，第三个极点由R_{COMP} 和C_{COMP2} 而来(如果使用了C_{COMP2})：

$$f_{P3} = \frac{1}{2\pi R_{COMP} C_{COMP2}}$$

补偿过程可用以下步骤：

第一步：设置穿越频率为1/10的开关频率来确定R_{COMP}：

$$R_{COMP} = \frac{2\pi V_{OUT} C_{OUT} F_{SW}}{10 G_{EA} G_{COMP} \times 0.8 \text{ V}} (\Omega)$$

第二步：设置补偿零点f_{Z1} 为 1/4 的穿越频率。C_{COMP} 可按下式计算：

$$C_{COMP} = \frac{4}{2\pi F_{SW} R_{COMP}} (F)$$

第三步：输出电容的ESR足够大而在4倍穿越频率以下产生一个零点，需要外加一个补偿C_{COMP2}电容。使用C_{COMP2} 的条件是：

$$R_{ESRCOUT} \geq \frac{2}{2\pi F_{SW} C_{OUT}} (\Omega)$$

C_{COMP2} 为：

$$C_{COMP2} = \frac{C_{OUT} R_{ESRCOUT}}{R_{COMP}}$$

虽然在输出电容ESR足够低时C_{COMP2} 不是必要的，但使用一个小容量的C_{COMP2} 例如100 pF，可以防止PCB寄生参数的影响而提高系统稳定性。

PCB 推荐布局

图6显示了元件布局和PCB布局的示例。为了保证IC理想的性能，请按下列内容检查PCB布局：

- 1) 排列好功率器件以减小AC回路面积，包括C1，C2，IN脚和SW 脚。
- 2) 尽可能将去耦瓷片电容C1、C2紧挨IN脚和功率地GND（增加通孔或以最宽，最短的路径返回）。
- 3) FB，COMP和ISET的信号GND返回点以单点连接到功率地可获得最佳抗干扰性能。通过铜箔或一系列通孔连接散热焊盘到功率地。
- 4) 使用铜箔铺功率地可获得最佳的散热和抗干扰性能。
- 5) 紧挨FB脚放置反馈电阻。
- 6) 以最短的走线连接 BS-C4-SW回路。

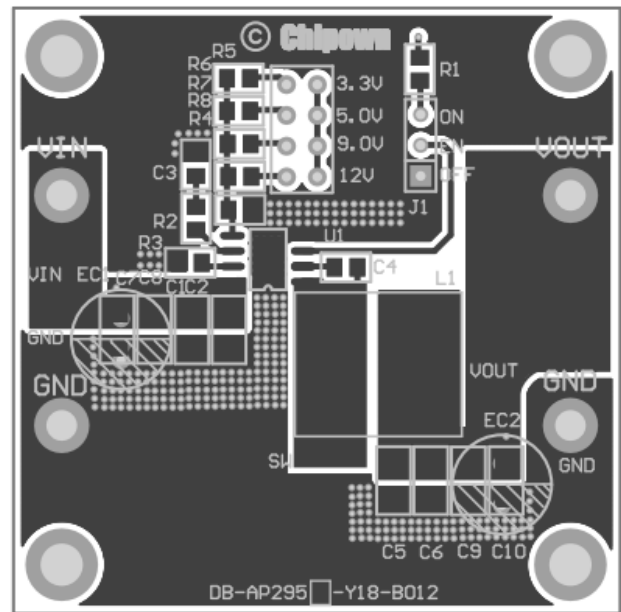


图6. PCB布局举例

典型性能特征

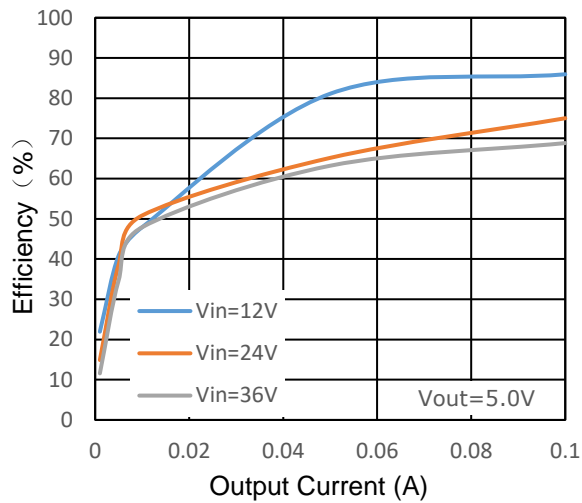


图 7. 效率 VS. 输出电流

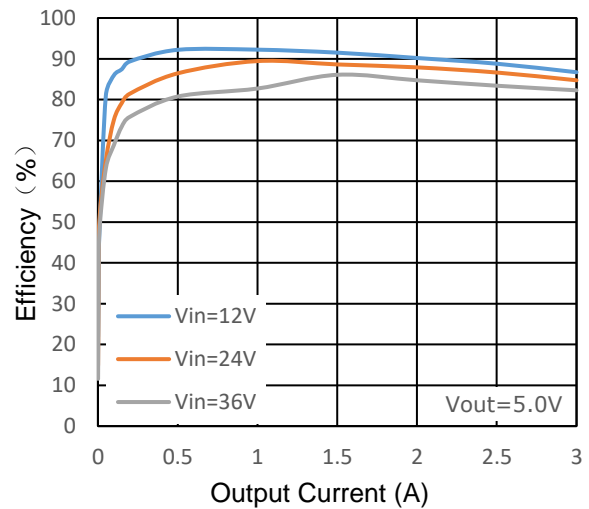


图 8. 效率 VS. 输出电流

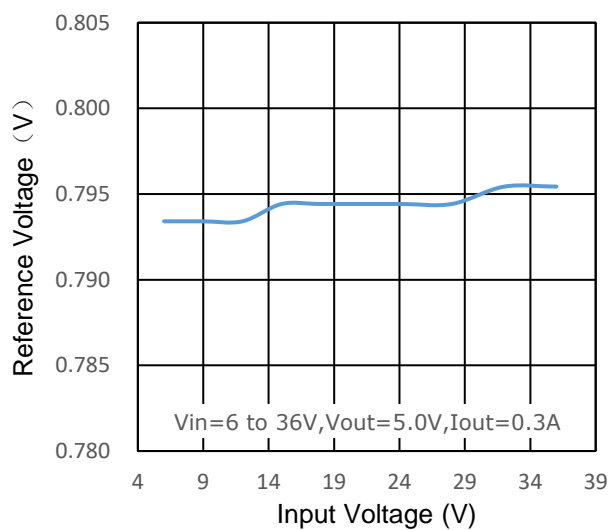


图 9. 参考电压 VS. 输入电压

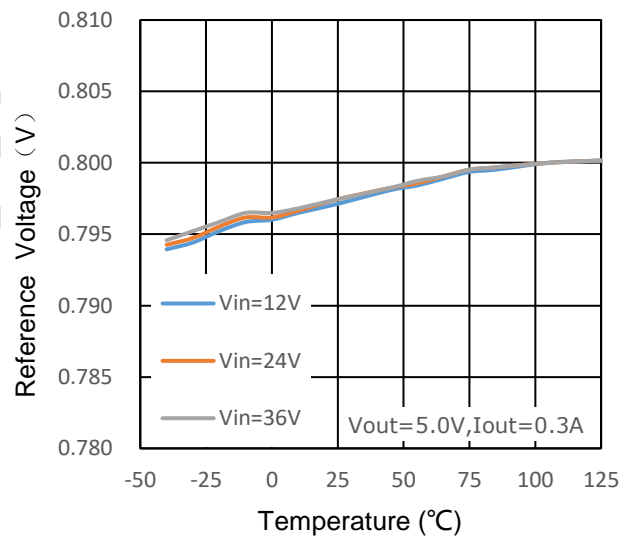


图 10. 参考电压 VS. 环境温度

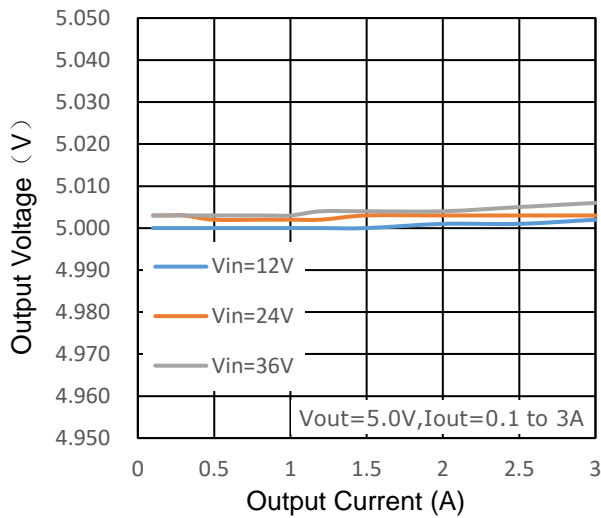


图 11. 输出电压 VS. 输出电流

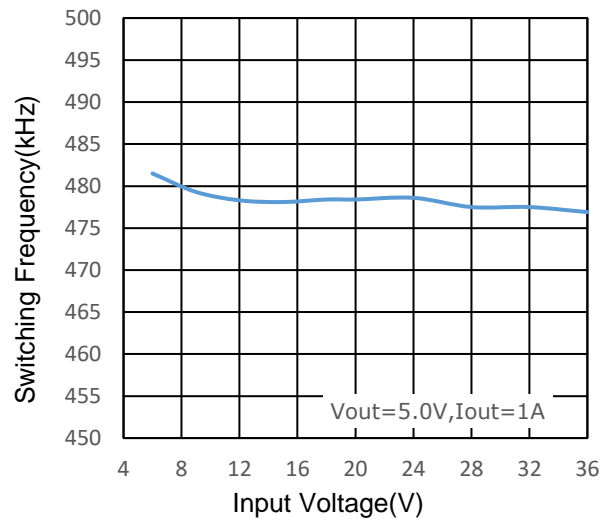


图 12. 开关频率 VS. 输入电压

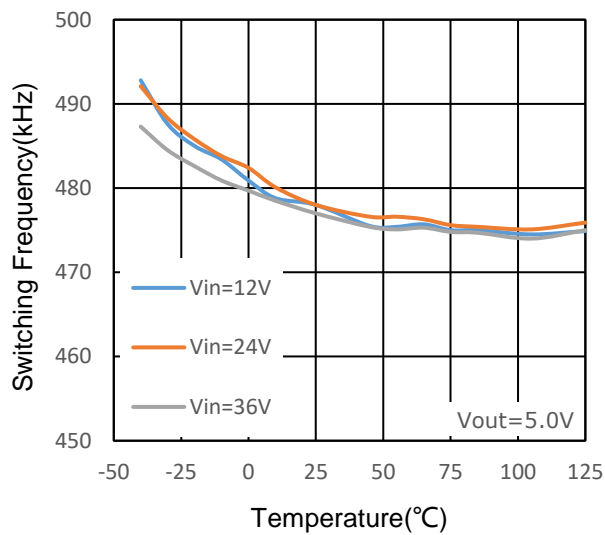


图 13. 开关频率 VS. 环境温度

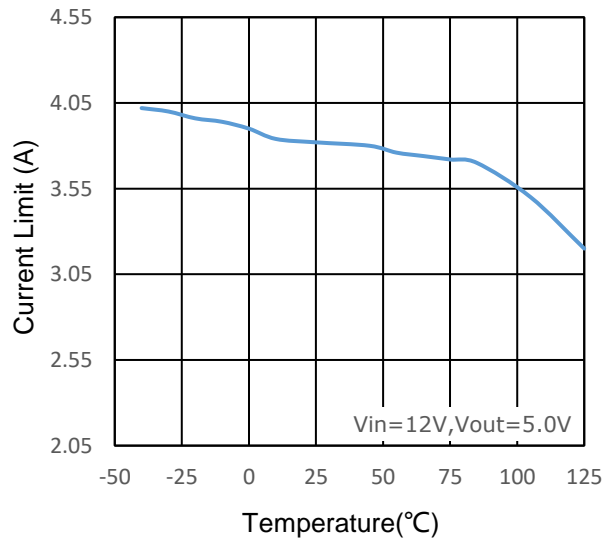


图 14. 开关限流 VS. 环境温度

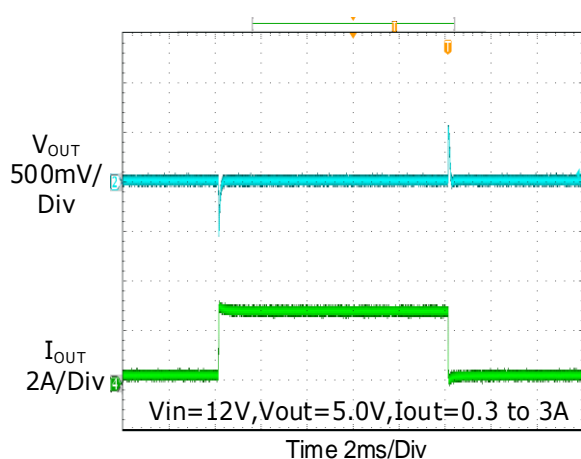


图 15. 负载瞬态响应

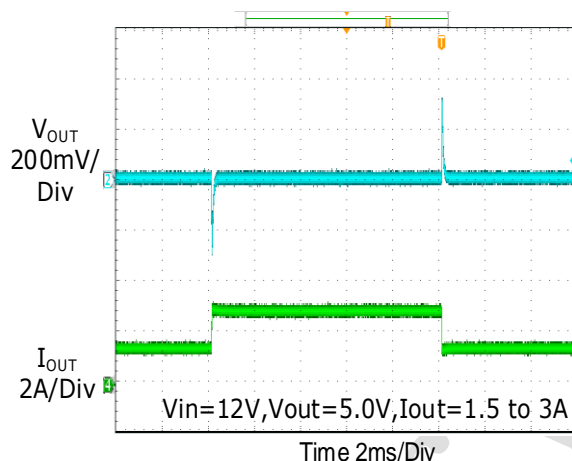


图 16. 负载瞬态响应

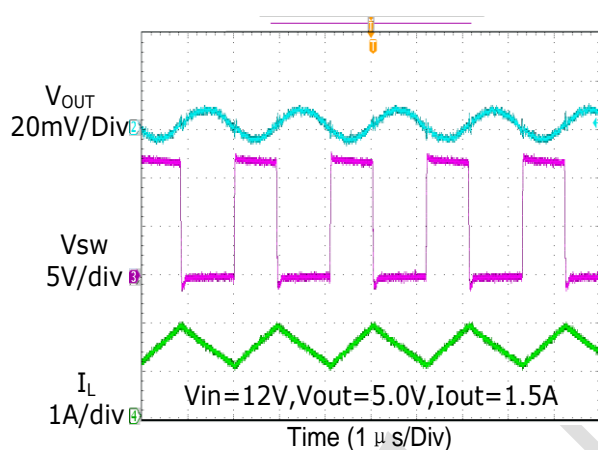


图 17. 开关波

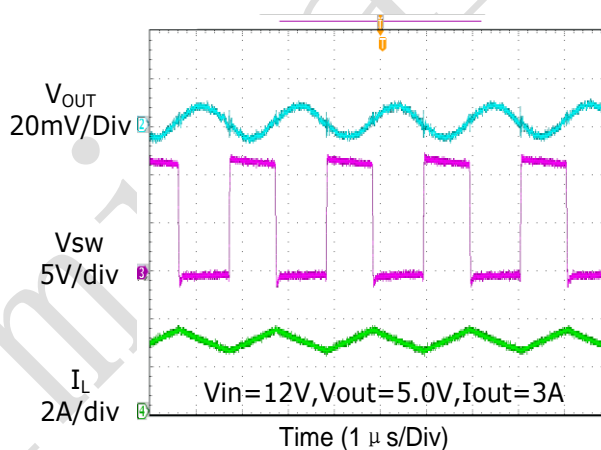


图 18. 开关波

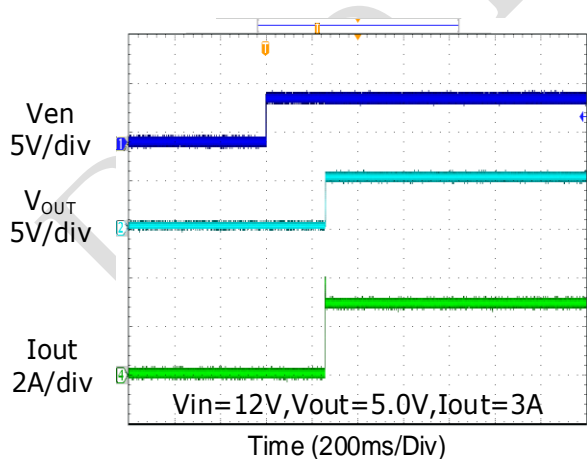


图 19. 使能开启

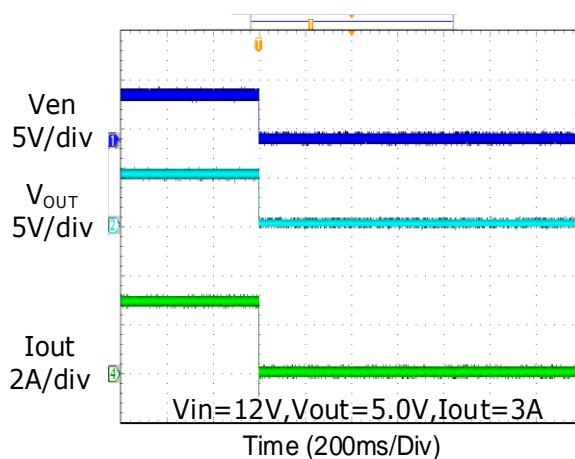
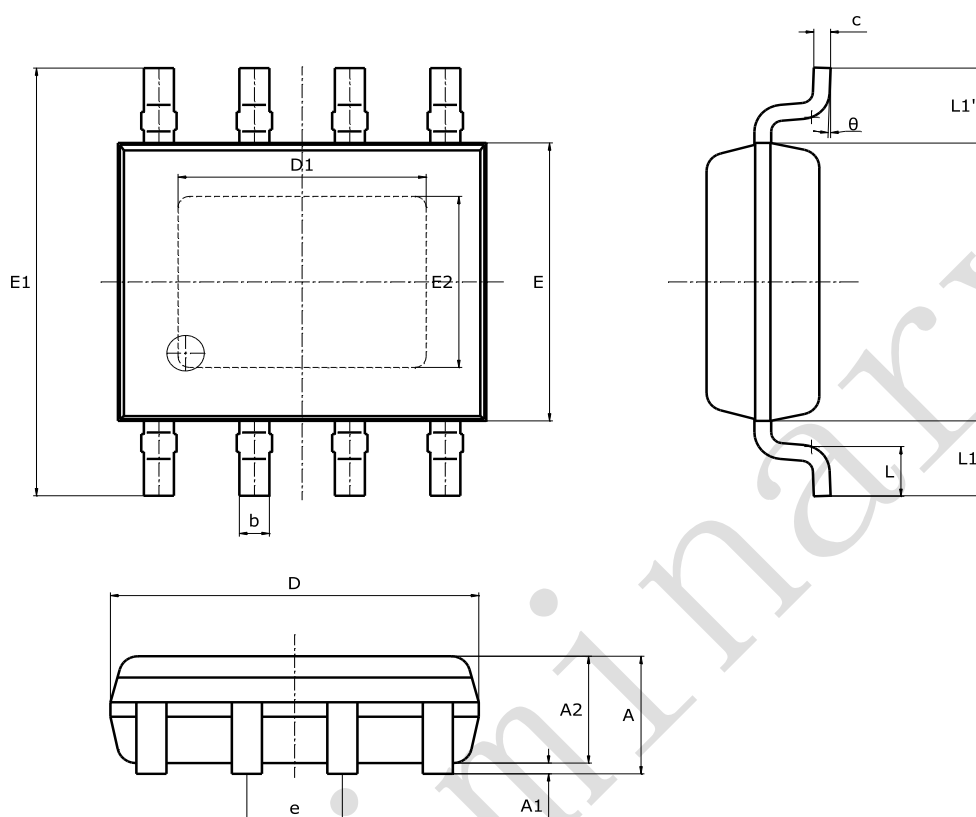


图 20. 使能关断

封装信息

SO8-EP 封装外形尺寸

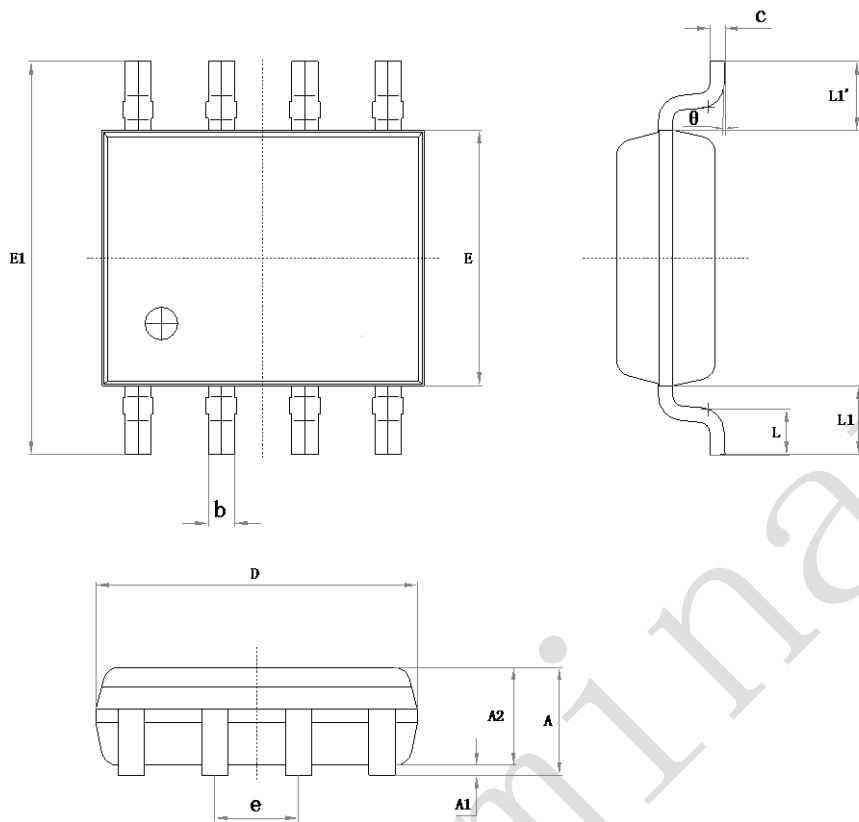


标号	尺寸(毫米)		尺寸(英寸)	
	最小值	最大值	最小值	最大值
A	1.400	1.700	0.055	0.067
A1	0.050	0.150	0.002	0.006
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.200
D1	3.202	3.402	0.126	0.134
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
E2	2.313	2.513	0.091	0.099
e	1.270 BSC		0.050 BSC	
L	0.400	1.270	0.016	0.050
L1	1.04 REF		0.041 REF	
L1-L1'	—	0.12	—	0.005
θ	0°	8°	0°	8°

备注:

1. 此制图可以不经通知进行调整;
2. 器件本体尺寸不含模具飞边;
3. 本封装符合JEDEC MS-012, variation BA.

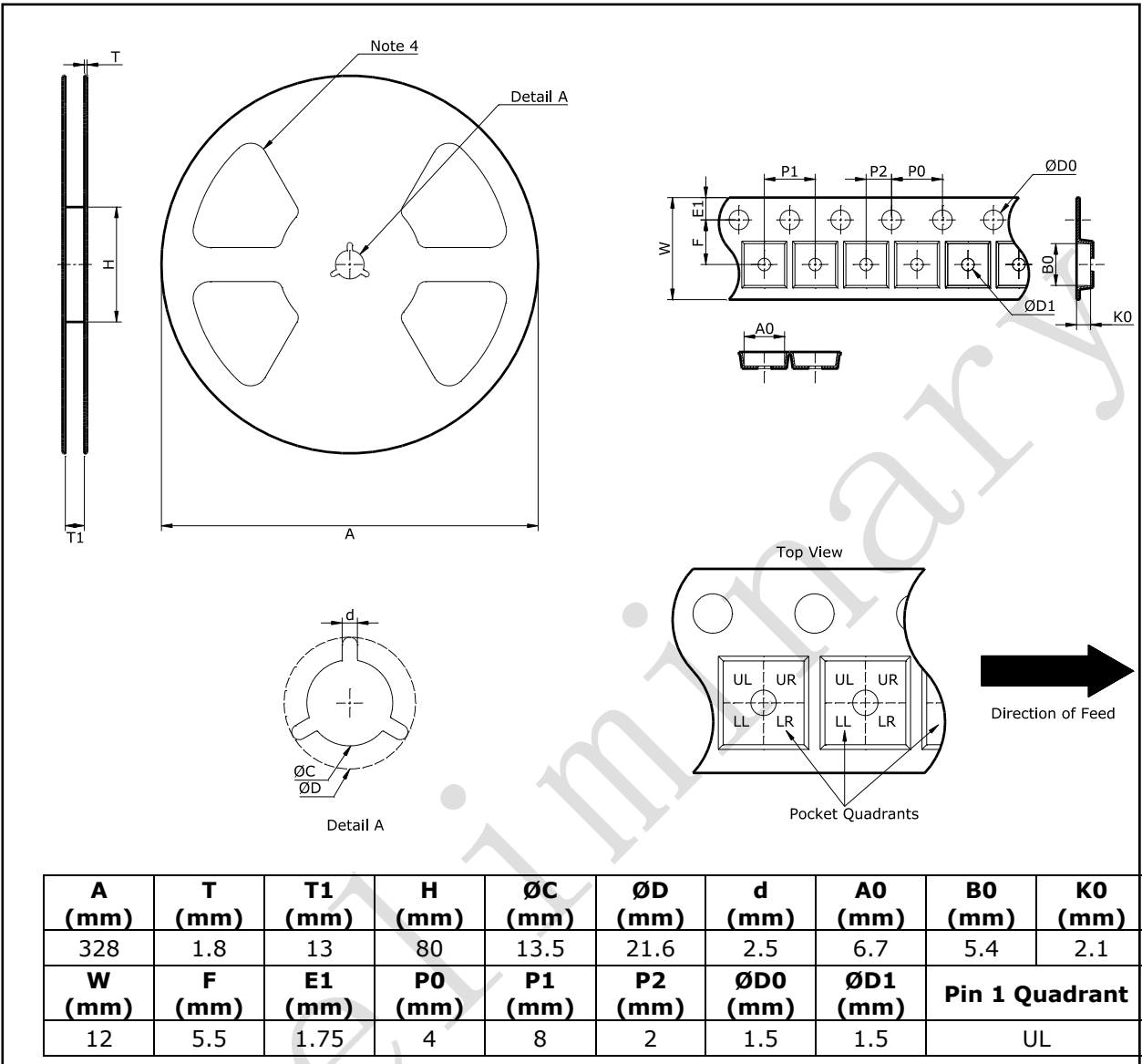
S08 封装外形尺寸



Symbol	Dimensions in Millimeters		Dimensions in Inches	
	Min.	Max.	Min.	Max.
A	1.400	1.700	0.055	0.067
A1	0.050	0.150	0.002	0.006
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 BSC		0.050 BSC	
L	0.400	1.270	0.016	0.050
L1	1.04 REF		0.041 REF	
L1-L1'	—	0.12	—	0.005
θ	0°	8°	0°	8°

- 备注:
- 1. 此制图可以不经通知进行调整;
 - 2. 器件本体尺寸不含模具飞边;
 - 3. 本封装符合 JEDEC MS-012, variation AA.

卷带和卷轴信息



备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例, 且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。

Certificate of Non-Qualified Engineering Samples

As a consideration for the right to sample preliminary pre-production devices prior to full qualification and production release ("Engineering Samples") by Wuxi Chipown Microelectronics Limited ("Chipown"), including its wholly-owned subsidiaries ("Chipown"), user agrees to accept such Engineering Samples **"AS IS"** IN PRE-PRODUCTION FORM WITHOUT WARRANTY OF ANY KIND for the sole purpose of engineering evaluation and testing.

CHIPOWN PROVIDES THE ENGINEERING SAMPLES **"AS IS"** AND HEREBY DISCLAIMS ALL WARRANTIES, EXPRESSED, IMPLIED OR OTHERWISE, INCLUDING WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF INTELLECTUAL PROPERTY RIGHTS. CHIPOWN DOES NOT ASSUME OR AUTHORIZE ANY OTHER PERSON TO ASSUME FOR IT ANY OTHER LIABILITY IN CONNECTION WITH THE ENGINEERING SAMPLES. THE ENTIRE RISK AS TO THE QUALITY, OR ARISING OUT OF THE USE OR PERFORMANCE OF THE ENGINEERING SAMPLES REMAINS WITH USER. IN NO EVENT SHALL CHIPOWN BE LIABLE IN CONTRACT, TORT, WARRANTY, STRICT LIABILITY, OR OTHERWISE FOR ANY SPECIAL, INDIRECT, INCIDENTAL OR CONSEQUENTIAL DAMAGES, INCLUDING BUT NOT LIMITED TO, THE COST OF LABOR, REQUALIFICATION, DELAY, LOSS OF PROFITS OR GOODWILL, EVEN IF CHIPOWN IS ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.

Chipown reserves the right, at any time and without notice, to modify the circuitry and/or specifications of such Engineering Samples prior to Chipown's full qualification and PRODUCTION of such Engineering Samples. Chipown makes no representation that Chipown will continue production of such Engineering Samples in the pre-production form subsequent to full qualification and production release of such Engineering Samples.