

# Laboratoire d'électronique : Convertisseurs A/N et N/A

MASUR Jonathan

GOSSELIN Paul

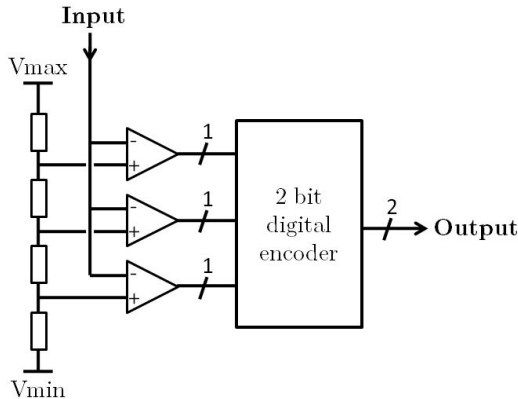
On s'intéresse ici à l'étude de convertisseurs analogique/numérique (aussi appelé "CAN" ou "ADC" — pour "*Analog-to-Digital Converter*") et numérique/analogique (aussi appelé "CNA" ou "DAC" — pour "*Digital-to-Analog Converter*").

## 1 Le convertisseur analogique/numérique ADC0820

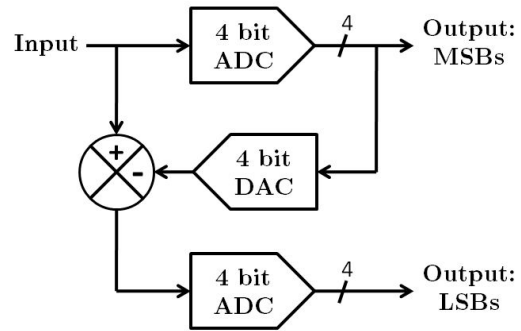
### 1.1 Prévisions théoriques

1) Les convertisseurs analogique/numérique flash sont fréquemment utilisés, parce qu'ils permettent des fréquences de fonctionnement élevées. Toutefois, il se caractérisent en revanche généralement par des coûts énergétiques et spatiaux élevés.

Le principe d'un CAN flash  $n$  bits est le suivant. Supposons que les valeurs analogiques à convertir soient comprises entre deux tensions de référence  $V_{min}$  et  $V_{max}$ , fournies au convertisseur.  $2^n$  résistances permettent de diviser  $[V_{min}, V_{max}]$  en  $2^n$  sous-ensembles  $([V_{i-1}, V_i])_{i \in [1..2^n]}$  ( $V_0 = V_{min}$ ,  $V_{2^n} = V_{max}$ ,  $\forall i \in [1..2^n], V_i > V_{i-1}$ ), en fournissant les  $2^n - 1$  tensions de transition  $V_i$ .  $2^n - 1$  comparateurs permettent alors de situer la tension d'entrée  $V_{in}$  du condensateur par rapport à ces  $2^n - 1$  tensions de transition  $V_i$ . Un encodeur  $n$  bits — entièrement numérique donc — permet alors de convertir les sorties de ces comparateurs ( $2^n - 1$  bits) en l'entier  $i$  correspondant sur  $n$  bits :  $V_{in} \in [V_{i-1}, V_i]$ .



(a) CAN flash 2 bits



(b) CAN semi-flash 8 bits

Figure 1: Principes de base des CAN flash et semi-flash

Le principal inconvénient d'une telle structure réside dans le nombre élevé de composants utilisés.

Pour limiter le nombre de comparateurs les convertisseurs semi-flash utilisent plusieurs convertisseurs flash. Typiquement, un convertisseur semi-flash 8 bits utilisera tout d'abord un convertisseur flash 4 bits afin d'encoder les 4 bits de poids fort (ou "MSBs" : "*Most Significant Bits*"). La tension  $V_{MSB}$  correspondante au résultat fourni par ce convertisseur est alors soustraite à la tension d'entrée  $V_{in}$ , puis  $V_{in} - V_{MSB}$  est traitée par un nouveau convertisseur flash 4 bits afin d'obtenir les 4 bits de poids faible (ou "LSBs" : "*Less Significant*").

Bits”).

La réactivité du convertisseur est ainsi diminuée par rapport à un convertisseur flash d’un facteur légèrement supérieur à 2, mais le nombre de composants nécessaire passe de  $O(2^n)$  à  $O(2^{n/2})$ .

Le convertisseur analogique/numérique utilisé dans ce travail est un CAN semi-flash 8 bits : l’ADC0820.

2) Idéalement, l’intervalle  $[V_{min}, V_{max}]$  est subdivisé en intervalles de même largeur. Les tensions de transitions d’une valeur à l’autre en sortie du CAN sont donc données par la formule :

$$\forall i \in [1..2^n - 1], V_i = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n}$$

(On rappelle que  $V_i$  est la tension de transition des entiers  $i - 1$  à  $i$  en sortie du CAN.)

Dans le cadre de notre expérience :  $V_{min} = 0$  et  $V_{max} = V_{ref} = 5V$ . Ainsi :

$$\forall i \in [1..2^8 - 1], V_i = i \cdot \frac{V_{ref}}{2^8} = i \cdot 19,531mV$$

Les valeurs de  $V_i$  correspondantes ont été rajouté au tableau 1 des résultats expérimentaux.

## 1.2 Mesures

1) La tension d’alimentation utilisée pour le convertisseur, servant aussi de tension de référence  $V_{ref}$ , est fournie par une alimentation stabilisée. Elle est précisément de :  $V_{ref} = 4.997V$ .

2,3) À l’aide d’un potentiomètre 10 tours, on fait varier la tension d’entrée  $V_{in}$  du convertisseur analogique / numérique étudier afin de mesurer les tensions de transition  $V_i$ , pour lesquelles l’entier en sortie du convertisseur — entier représenté en binaire par des LEDs — passe de  $i - 1$  à  $i$ .

Table 1: Résultats obtenus lors de l’étude du convertisseur ADC0820

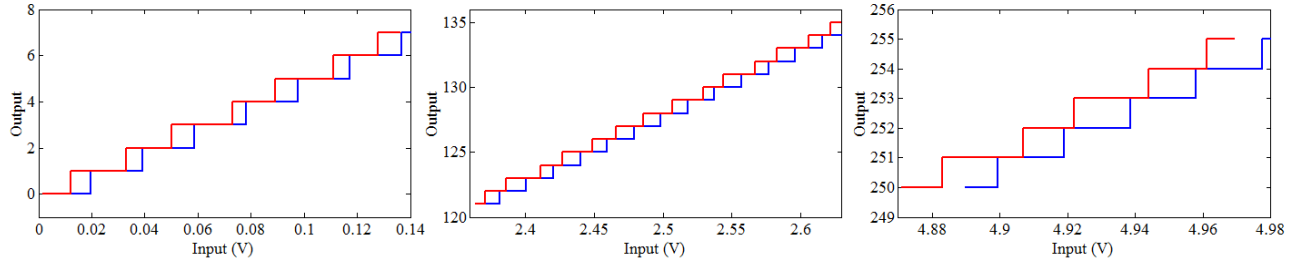
$i$	0	1	2	3	4	5	6
$V_i$ théorique (V)	0,02	0,039	0,059	0,078	0,098	0,117	0,137
$V_i$ mesuré (V)	0,012	0,033	0,05	0,073	0,089	0,111	0,128
$(V_i - V_{i-1})$ mesuré (V)	—	0,021	0,017	0,023	0,016	0,022	0,017

$i$	121	122	123	124	125	126	127
$V_i$ théorique (V)	2,381	2,401	2,42	2,44	2,459	2,479	2,499
$V_i$ mesuré (V)	2,371	2,386	2,411	2,427	2,449	2,466	2,486
$(V_i - V_{i-1})$ mesuré (V)	—	0,015	0,025	0,016	0,022	0,017	0,02

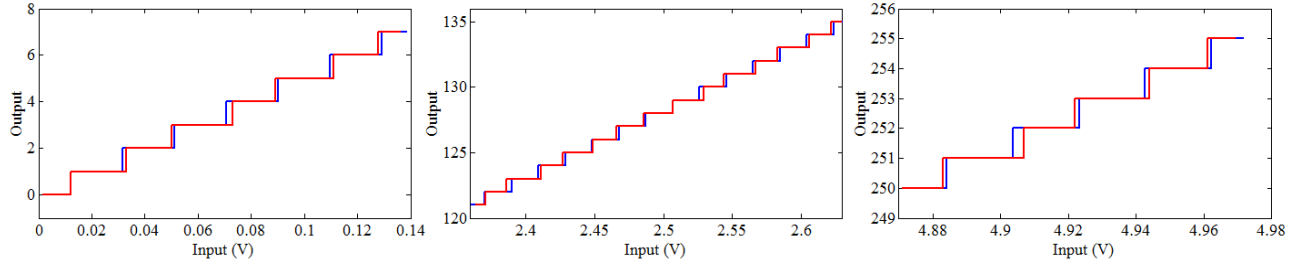
$i$	128	129	130	131	132	133	134
$V_i$ théorique (V)	2,518	2,538	2,557	2,577	2,596	2,616	2,635
$V_i$ mesuré (V)	2,507	2,529	2,544	2,567	2,583	2,606	2,622
$(V_i - V_{i-1})$ mesuré (V)	0,021	0,022	0,015	0,023	0,016	0,023	0,016

$i$	250	251	252	253	254
$V_i$ théorique (V)	4,899	4,919	4,938	4,958	4,977
$V_i$ mesuré (V)	4,883	4,907	4,922	4,944	4,961
$(V_i - V_{i-1})$ mesuré (V)	—	0,024	0,015	0,022	0,017

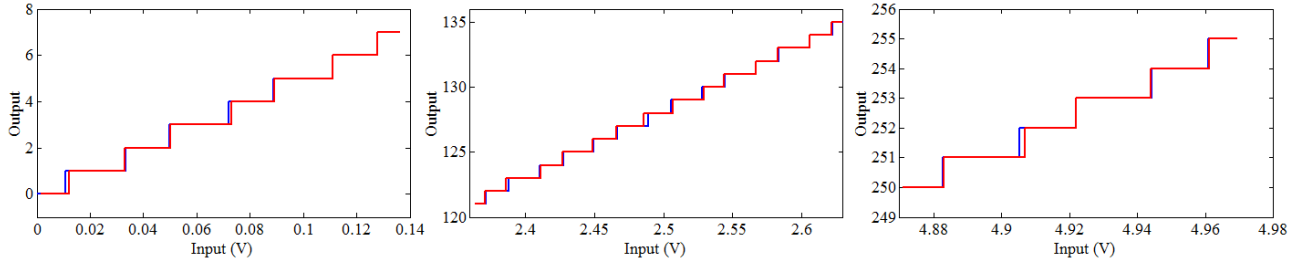
Ces résultats, comparés aux résultats théoriques donnés par  $V_i = i \cdot \frac{V_{ref}}{2^8}$  et  $V_{ref} = 4,997V$  sont représentés Fig. 2a.



(a) Résultats obtenus (en rouge), comparés à  $V_i = i \cdot \frac{V_{ref}}{2^8}$  (en bleu) ( $V_{ref} = 4,997V$ )



(b) Résultats obtenus (en rouge), comparés à  $V_i = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n}$  (en bleu) ( $V_{min} = -0,0073V$ ,  $V_{max} = 4,9816V$ )



(c) Résultats obtenus (en rouge), comparés à  $V_i = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n} + p_i \delta V$  (en bleu)  
( $V_{min} = -0,0072V$ ,  $V_{max} = 4,9817V$ ,  $\delta V = 0,0015V$ )

Figure 2: Résultat obtenu avec le convertisseur analogique/numérique ADC0820

La première chose que l'on observe est un décalage permanent entre les valeurs de  $V_i$  mesurées (que l'on notera  $V_i^{mes}$ ) et les valeurs de  $V_i$  théorique (que l'on notera  $V_i^{th}$ ). On constate en effet un *offset* moyen de  $-0,0111$ . On remarque toutefois que  $V_i^{mes} - V_i^{th}$  augmente avec  $i$  ( $\langle V_i^{mes} - V_i^{th} \rangle_{i \in [1..7]} = -0,0072$ ,  $\langle V_i^{mes} - V_i^{th} \rangle_{i \in [122..135]} = -0,0115$ ,  $\langle V_i^{mes} - V_i^{th} \rangle_{i \in [251..255]} = -0,0150$ ).

Afin d'obtenir une meilleure approximation des résultats pratiques, on peut réutiliser la formule :

$$V_i^{th} = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n}$$

On a calculé via Matlab les valeurs optimales pour  $V_{min}$  et  $V_{max}$ <sup>1</sup>, et obtenu :  $V_{min} = -0,0073V$ ,  $V_{max} = 4,9816V$ . Les résultats correspondants sont présentés Fig. 2b.

On remarque par ailleurs que pour  $i$  pair ( $V_i^{mes} - V_{i-1}^{mes}$ ) est généralement de l'ordre de  $0,016V$ , tandis que cette valeur est généralement de l'ordre de  $0,022V$  pour  $i$  impair. Pour représenter cet effet de la parité de  $i$  sur  $V_i$ , on pourra utiliser la modélisation :

$$V_i^{th} = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n} + p_i \delta V \quad \text{avec : } p_i = \begin{cases} +1 & \text{si } i \in 2\mathbb{N} \\ -1 & \text{sinon} \end{cases}$$

Là encore, on obtient avec Matlab les coefficients optimum :  $V_{min} = -0,0072V$ ,  $V_{max} = 4,9817V$ ,  $\delta V = 0,0015V$ . Les résultats correspondants sont présentés Fig. 2c.

Nous avons tenté de comprendre l'origine de cet effet de la parité de  $i$  sur la tension de transition  $V_i$ . Compte tenu du principe de fonctionnement du convertisseur semi-flash, cet effet ne peut être imputé au calcul du bit de poids faible. En effet, ce dernier est donné par l'encodeur numérique encodant les quatre bits de poids faible. Il ne peut pas non plus être imputé au convertisseur numérique/analogique interne du convertisseur analogique/numérique étudié : en effet, la sortie de ce convertisseur numérique/analogique n'est modifiée que lorsqu'un des quatre bits de poids fort est modifié.

On en déduit que le problème est lié aux quinze ( $2^4 - 1$ ) comparateurs fournissant les bits en entrée de l'encodeur 4-bits des bits de poids faibles. Leurs offsets seraient quasiment identiques pour les tensions de seuil  $V_i$  avec  $i$  pair, ainsi que pour les tensions de seuil  $V_i$  avec  $i$  impair.

L'hypothèse réalisée est la suivante : tous les comparateurs utilisés ont un offset quasiment égal à  $\delta V$  — ce qui se justifie en pratique : cet offset est fortement lié au substrat, dont les caractéristiques peuvent être considérées comme constantes au sein du convertisseur étudié. En revanche, un convertisseur sur deux serait placé "à l'envers" : on code  $V < V_i$  pour  $i$  pair, et  $V > V_i$  pour  $i$  impair (ou l'inverse). Cela se justifie par une éventuelle simplification de l'encodeur 4-bits obtenue en codant un bit sur deux en entrée avec une logique négative.

## 2 Le convertisseur numérique/analogique AD7524

### 2.1 Prévisions théoriques

1) Le convertisseur numérique/analogique étudié est un CNA 8 bits à réseau R/2R : l'AD7524.

Le principe de base de la plupart des CNA à réseau R/2R repose sur l'équivalence représentée Fig. 3a, où  $V_{min}$  et  $V_{max}$  sont des tensions fixées. De cette équivalence découle l'équivalence représentée Fig. 3b, où  $V_{ref}$  est une tension fixée,  $B_0, B_1, \dots, B_{n-1}$  sont les bits en entrée du CNA, et :

$$V_{eq} = \left( \sum_{i=0}^{n-1} \frac{1}{2^{n-i}} B_i \right) V_{ref}$$

---

<sup>1</sup>Valeurs minimisant  $\sum (V_i^{mes} - V_i^{th})^2$

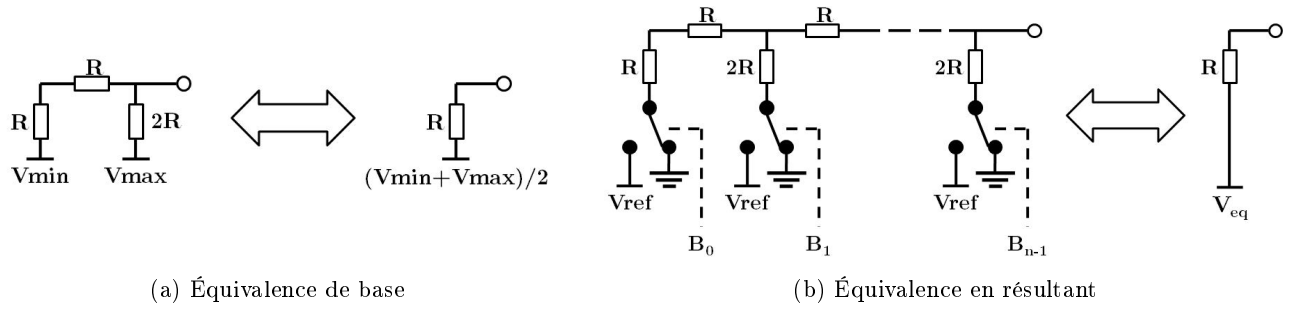


Figure 3: Principe de base des CNA à réseau R/2R

On utilise alors généralement un amplificateur opérationnel branché en suiveur ou en amplificateur de gain  $-1$ , afin d'obtenir en sortie la tension  $V_{eq}$  indépendamment du reste du circuit.

Le fonctionnement de l'AD7524 est légèrement différent. Le circuit correspondant, tel qu'il est branché (avec notamment la sortie OUT2 branchée à la masse et l'utilisation d'un amplificateur opérationnel), est représenté Fig. 4<sup>2</sup>.

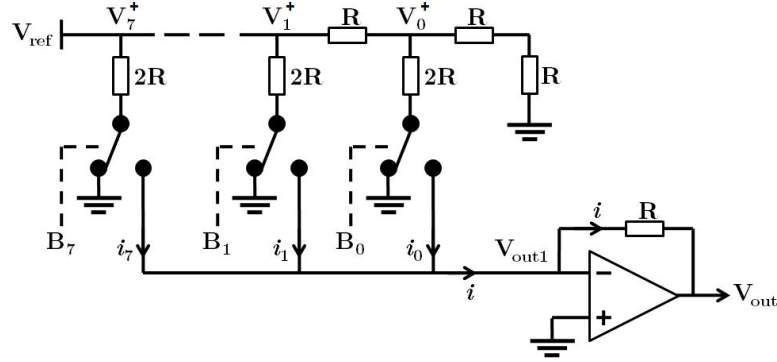


Figure 4: Le convertisseur AD7524 en situation

L'amplificateur opérationnel fixe  $V_{out1} = 0$ . L'équivalence présentée Fig. 3a permet alors de calculer par récurrence les tensions  $V_k^+$  (cf Fig. 5) :

$$V_7^+ = V_{ref} \text{ et } V_{k-1}^+ = \frac{V_k^+}{2} ; \text{ d'où : } V_k^+ = \frac{V_{ref}}{2^{7-k}}.$$

On obtient alors :

$$i = \sum_{k=0}^7 i_k = \sum_{k=0}^7 B_k \frac{V_k^+}{2R} = \frac{V_{ref}}{R} \sum_{k=0}^7 \frac{1}{2^{8-k}} B_k$$

Puisque  $V_{out} = -R i$ , dans notre cas, on obtient ainsi pour l'ensemble des bits d'entrée  $(B_0, \dots, B_7)$  un tension de sortie donnée par la formule :

$$V_{out}(B_0 \dots B_7) = - \left( \sum_{k=0}^7 \frac{1}{2^{8-k}} B_k \right) V_{ref} \quad (1)$$

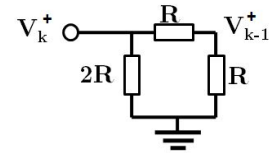


Figure 5: Calcul des  $V_k^+$

<sup>2</sup>Un condensateur, liant  $V_{out1}$  et  $V_{out}$ , a été omis : proposé par les datasheets, son but est d'empêcher des oscillations en sortie de l'amplificateur opérationnel. Nous nous plaçons dans le cadre d'un état déjà stabilisé, où le condensateur agit comme un interrupteur ouvert.

2) Selon la formule 1, la contribution du bit  $i$  à la tension de sortie  $V_{out}$  est donnée par la formule :

$$V_i^{out} = -\frac{1}{2^{8-i}} V_{ref}$$

Les valeurs correspondantes ont été rajoutées au tableau 2 des résultats théoriques.

3) Toujours selon la formule 1, on a théoriquement :

$$V_{out}(00000000) = 0$$

et :

$$\begin{aligned} V_{out}(11111111) &= -\left(\sum_{i=0}^7 \frac{1}{2^{8-i}} B_i\right) V_{ref} = -(1 - \frac{1}{2^8}) V_{ref} \\ V_{out}(11111111) &= -4,9775V \end{aligned}$$

## 2.2 Mesures

1) Cette fois encore, la tension d'alimentation utilisée pour le convertisseur, servant aussi de tension de référence  $V_{ref}$ , est fournie par une alimentation stabilisée ; et est précisément de :  $V_{ref} = 4.997V$ .

2,3) Expérimentalement, on mesure la contribution  $V_i^{out}$  de chaque bit  $i$  en mettant en entrée du CNA tous les bits à zéro, excepté le bit  $i$ . Ainsi, on considère :

$$V_i^{out} = V_{out}(\delta_{0,i}\delta_{1,i}\delta_{2,i}\delta_{3,i}\delta_{4,i}\delta_{5,i}\delta_{6,i}\delta_{7,i}) \quad \text{avec : } \delta_{j,i} = \begin{cases} 1 & \text{si } i = j \\ 0 & \text{sinon} \end{cases}$$

Les résultats obtenus sont présentés dans le tableau 2.  $V_i^{out,th}$  désigne la valeur théorique de la contribution du bit  $i$  à la tension de sortie  $V_{out}$ , tandis que  $V_i^{out,mes}$  en désigne la valeur mesurée expérimentalement.

Table 2: Résultats obtenus lors de l'étude du convertisseur AD7524

$i$	0	1	2	3	4	5	6	7
$V_i^{out,th}$ (V)	-0,0195	-0,039	-0,0781	-0,1562	-0,3123	-0,6246	-1,2493	-2,4985
$V_i^{out,mes}$ (V)	-0,019	-0,039	-0,078	-0,157	-0,314	-0,628	-1,258	-2,518
$\sum_{j<i} V_j^{out,mes}$ (V)	-0,019	-0,058	-0,136	-0,293	-0,607	-1,235	-2,493	-5,011

Entrée	00000000	11111111
$V_{out}$ théorique (V)	0	-4,9775
$V_{out}$ mesurée (V)	0,001	-5,04

On remarque que l'on a notamment :  $\forall i \in [1..7], \sum_{j<i} V_j^{out,mes} < V_i^{out,mes}$ .

Ainsi, le convertisseur numérique/analogique étudié est monotone. En effet, cela montre que si  $\forall j > i, B'_j = B_j, B_i = 0, B'_i = 1, \forall j < i, B_j = 1$  et  $\forall j < i, B'_j = 0$ , alors :

$$V_i^{out,mes}(B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0) < V_i^{out,mes}(B'_7 B'_6 B'_5 B'_4 B'_3 B'_2 B'_1 B'_0)$$

(Par exemple :  $V_i^{out,mes}(B_7 B_6 B_5 B_4 0111) < V_i^{out,mes}(B'_7 B'_6 B'_5 B'_4 1000)$ .)

Les écarts entre les valeurs théoriques et mesurées pour  $V_{out}(00000000)$  et  $V_{out}(11111111)$  s'explique notamment par une légère différence entre les résistances liant les sorties OUT1 et R<sub>-</sub>FDBK au sein du convertisseur AD7524, ainsi que par les imperfections de l'amplificateur opérationnel (offset et gain fini). De ces imperfections, il résulte un offset en sortie de l'ensemble du convertisseur, amplificateur opérationnel inclus, ainsi qu'une erreur sur le gain.

L'offset est donné par :

$$V_{offset} = V_{out}^{mes}(00000000) - V_{out}^{th}(00000000) = 0,001V$$

et l'erreur sur le gain est donnée par :

$$\delta_G = \frac{(V_{out}^{mes}(11111111) - V_{out}^{mes}(00000000)) - (V_{out}^{th}(11111111) - V_{out}^{th}(00000000))}{V_{out}^{th}(11111111) - V_{out}^{th}(00000000)} = 1,25\%$$

On peut alors préciser la formule fournissant  $V_{out}$ , en prenant :

$$V_{out}^{th}(B_0 \dots B_7) = V_{offset} - (1 + \delta_G) \left( \sum_{k=0}^7 \frac{1}{2^{n-k}} B_k \right) V_{ref} = V_{offset} - \left( \sum_{k=0}^7 \frac{1}{2^{n-k}} B_k \right) \widetilde{V_{ref}}$$

avec :  $\widetilde{V_{ref}} = (1 + \delta_G) V_{ref} = -\frac{V_{out}^{mes}(11111111) - V_{out}^{mes}(00000000)}{1 - \frac{1}{2^8}} = 5,061V$

### 3 Chaîne de conversion A/N - N/A

#### 3.1 Montage étudié

On connecte maintenant les 8 bits de sortie du convertisseur analogique/numérique ADC0820 étudié section 1 aux 8 bits d'entrée du convertisseur numérique/analogique AD7524 étudié section 2.

On notera  $V_{in}$  la tension imposée en entrée du montage (tension d'entrée du convertisseur analogique/numérique), et  $V_{out}$  la tension obtenue en sortie (tension de sortie du convertisseur numérique/analogique).

Dans le cadre de convertisseurs parfaits, d'une fréquence d'échantillonnage infinie et d'un nombre de bits infini, on aurait donc :  $V_{out} = -V_{in}$ . Dans notre cas, on obtient évidemment une approximation ; et les différences entre  $V_{out}$  et  $-V_{in}$  seront discutées plus bas.

Pour cela, un amplificateur opérationnel permet d'obtenir en plus de la sortie du montage la tension :  $V_{err} = -(V_{out} + V_{in})$ .

#### 3.2 Mesures

1) Afin d'observer les effets de la chaîne AN-NA sur le signal (échantillonnage, quantification...), on applique en entrée un signal  $V_{in}$  triangulaire d'amplitude 4V et de moyenne 2,5V. On en fera varier la tension  $f_{in}$ .

##### Quantification.

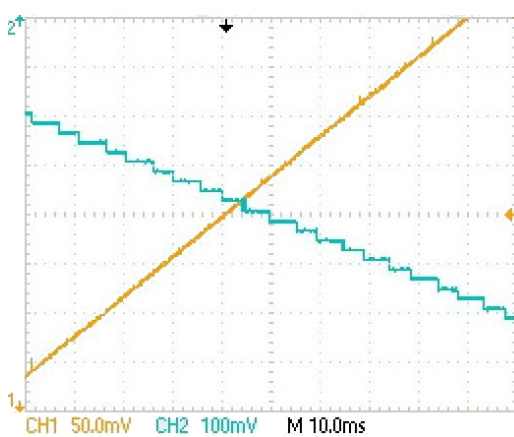
Afin d'observer l'effet de la quantification, sans être perturbé par l'échantillonnage, on utilise en entrée un signal lent :  $f_{in} \ll f_{ech}$  (où  $f_{ech}$  désigne la fréquence d'échantillonnage des convertisseurs, que l'on sait de l'ordre de 20kHz). Typiquement, on utilisera ici  $f_{in} = 0,5Hz$ .

Les résultats expérimentaux obtenus sont fournis Fig. 7.

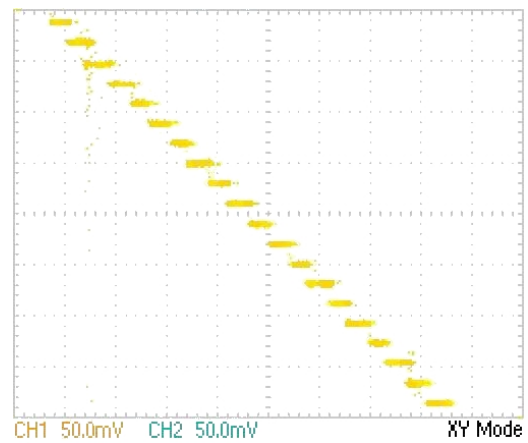
Le phénomène s'observe bien lorsque l'on trace  $V_{out} = f(V_{in})$  (cf. Fig. 6b). On y observe des "marches" de hauteurs et largeurs régulières, de l'ordre de  $\frac{V_{ref}}{2^8} \approx 19,5mV$ . Ces marches sont continues sur le plan horizontal, mais pas sur le plan vertical : à chaque valeur de  $V_{out}$  correspond plusieurs valeurs de  $V_{in}$ . Plus simplement, sans prendre en compte d'éventuels offsets ou erreurs de gain, lors de la conversion  $V_{in} \rightarrow V_{out}$ ,  $-V_{in}$  est "rabattu" sur la valeur la plus proche possible de  $V_{out}$ .

On introduit ainsi un erreur de quantification comprise entre  $-\frac{1}{2} \frac{V_{ref}}{2^8}$  et  $+\frac{1}{2} \frac{V_{ref}}{2^8}$ .

##### Échantillonnage.

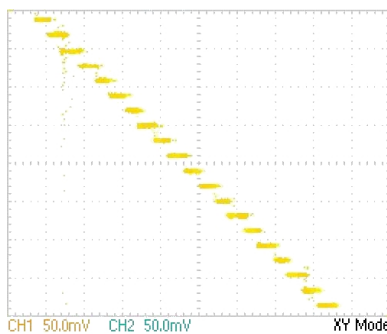


(a)  $V_{out} = f(t)$  (CH1),  $V_{out} = f(t)$  (CH2)

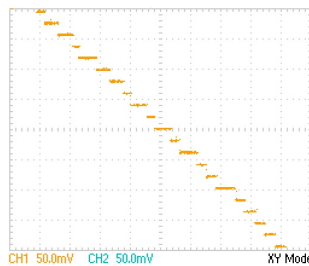


(b)  $V_{out} = f(V_{in})$

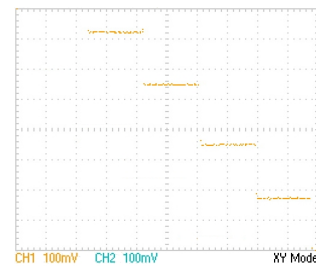
Figure 6:  $V_{in}$  et  $V_{out}$  pour un signal d'entrée triangulaire d'amplitude 2V (4V crête à crête)



(a)  $f_{in} = 0,5$  Hz)



(b)  $f_{in} = 50$  Hz)



(c)  $f_{in} = 0,5$  Hz)

Figure 7:  $V_{out} = f(V_{in})$  pour différentes fréquences d'entrées

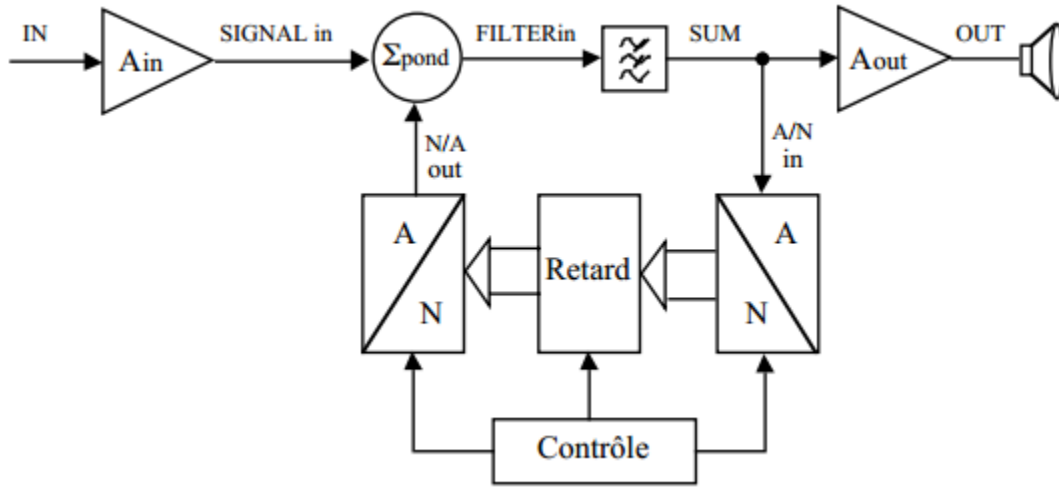
## 4 Chambre d'écho

### 4.1 Analyse théorique

#### 4.1.1 Fonctionnement

Le principe de la chambre d'écho est d'échantillonner un signal audio à l'aide du convertisseur AN, de stocker les échantillons dans un tampon circulaire réalisé à l'aide d'une mémoire 8-bits, puis de restituer les données passées qui sont stockées dans la mémoire à l'aide du convertisseur NA.





Il y a alors plusieurs modes de fonctionnement :

- **Retard pur** : Le est désactivé mais l'écho est activé. Il sagit donc d'un simple retard.
- **Echo simple** : Le signal et l'écho sont activés, mais le sommateur est désactivé. Le signal est sommé avec le contenu de la mémoire, mais seul le signal est écrit dans la mémoire. Il n'y a donc qu'un seul écho.
- **Echo infini** : Le signal, l'écho et le sommateur sont activés. Le signal est sommé avec le contenu de la mémoire avant d'être écrit dans la mémoire. Il y a donc un feedback sur l'écho, ce qui simule mieux un écho réel.

:

#### 4.1.2 Conditions à garantir pour la stabilité

- **En mode écho simple** : Théoriquement, un système d'écho simple est équivalent à un "filtre" à réponse impulsionnelle finie (RIF), dont la réponse est :

$$y[n] = x[n] + k \cdot x[n - l]$$

Avec :  $x$  = entrée,  $y$  = sortie,  $k$  = facteur d'amplification,  $l$  = taille du tampon en mémoire

Sa fonction de transfert est donc :

$$H(z) = 1 + k \cdot z^{-l}$$

Il n'y a pas de pôles, le système sera toujours stable.

- **En mode écho infini** : Un echo infini est équivalent à un "filtre" à réponse impulsionnelle infinie (RII), dont la réponse est :

$$y[n] = x[n] + k \cdot y[n - l]$$

La fonction de transfert est donc :

$$H(z) = \frac{1}{1 - k \cdot z^{-l}}$$

Ce système sera stable seulement pour les  $k < 1$ . En cas d'instabilité, la chambre d'écho ne fonctionnera pas, un régime d'oscillation apparaîtra et un sifflement fort désagréable s'entendra sur la sortie.

### 4.1.3 Calcul du retard maximum

On désire avoir une bande passante de  $15kHz$ , il faut donc une fréquence d'échantillonnage strictement supérieure à  $30kHz$ .

Le retard maximum possible est de :

$$retard = \frac{l_{max}}{f_e}$$

Avec  $l_{max}$  = taille du tampon maximum = 32768 octets et  $f_e$  = fréquence d'échantillonnage = 32000Hz, cela donne :

$$retard = \frac{32768}{32000} = 1.024s$$

## 4.2 Mesures

### 4.2.1 Observation des signaux à l'oscilloscope

### 4.2.2 Nombre de bits

A chaque bit supprimé, le niveau de bruit augmente.

Concrètement, lorsqu'il reste très peu de bits, le signal sonne très distordu, car il y a non seulement du bruit mais en plus des harmoniques supplémentaires. En effet l'erreur de quantification peut être approximée comme étant aléatoire lorsqu'il reste suffisamment de bits, ce qui en fait du bruit.

Par contre lorsque qu'il reste très peu de bits, par exemple le cas extrême où on n'a qu'un seul bit, le signal échantillonné devient :

$$y[n] = \text{signe}(x[n])$$

Et l'erreur de quantification vaut :

$$err[n] = y[n] - x[n] = \text{signe}(x[n]) - x[n] = \begin{cases} -1 - x & \text{si } x < 0 \\ 1 - x & \text{si } \geq 0 \end{cases}$$

On constate donc que la corrélation entre l'erreur  $err[n]$  et  $x[n]$  est très forte, et l'erreur ne peut pas être considérée comme du bruit, mais va introduire des harmoniques supplémentaires.

Dans le cas d'un signal sinus, il sera transformé en carré, ce qui signifie une apparition de fortes harmoniques impaires. Le système n'étant pas linéaire (dépendance du signe de  $x$ ), ceci ne peut pas être généralisé à tous les signaux.

Nous avons donc mis en pratique ce qui a été observé pour la chaîne de conversion.

Dans le cas de la voix humaine, on a constaté qu'il faut au moins 4 bits pour qu'elle soit compréhensible.

### 4.2.3 Retard et gain de l'écho

Le retard a une influence sur la durée entre deux répétitions de l'écho. Le gain quand à lui a une influence sur l'atténuation entre deux répétitions de l'écho.

Une augmentation du retard ou du gain vont tous deux augmenter le temps que l'écho prend pour être suffisamment atténué pour se fondre dans le bruit, ce qui donne une impression de plus de résonnance.

### 4.3 Avantages et inconvénients des techniques

Si la taille de la mémoire est fixe, l'avantage est que le contrôle des lignes d'adresses de la mémoire s'en trouvera simplifié : Un simple compteur ou décompteur modulo  $2^n$  fera l'affaire. En revanche, il sera nécessaire d'avoir un circuit qui permet de faire varier la fréquence d'horloge pour l'échantillonnage.

Si l'on change la longueur de l'écho durant le fonctionnement du circuit, l'ancien contenu de la mémoire sera déformé par le changement de fréquence d'échantillonnage, ce qui peut être indésirable.

Dans le cas d'une fréquence d'échantillonnage est fixe, cela simplifiera la génération de l'horloge, et celle-ci pourrait être fabriquée de manière très précise à partir d'un quartz. Mais le contrôle des lignes d'adresses sera alors plus compliqué, il faut un décompteur qui recharge une variable lorsqu'il atteint la valeur zéro, la variable déterminant la longueur entre deux répétitions de l'écho.

Le changement de la longueur de l'écho pendant l'utilisation n'a pas d'effet néfaste, il faut juste attendre un décomptage complet des lignes d'adresses avant que le changement soit effectif.

En conclusion, le choix de l'une ou de l'autre technique dépendra donc si on préfère mettre la complexité du circuit du côté analogique (génération d'une fréquence d'échantillonnage variable) ou du côté numérique (gestion des lignes d'adresse de la mémoire).