

Laboratoire d'électronique : Convertisseurs A/N et N/A

MASUR Jonathan

GOSSELIN Paul

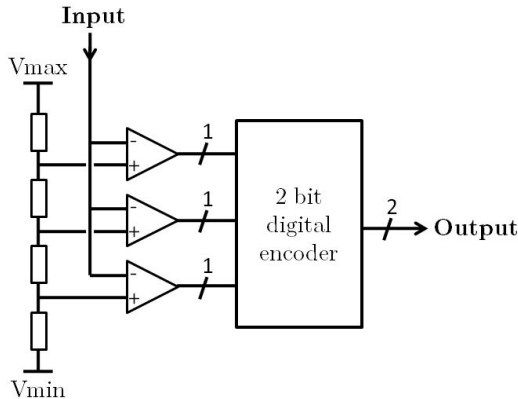
On s'intéresse ici à l'étude de convertisseurs analogique/numérique (aussi appelé "CAN" ou "ADC" — pour "*Analog-to-Digital Converter*") et numérique/analogique (aussi appelé "CNA" ou "DAC" — pour "*Digital-to-Analog Converter*").

1 Le convertisseur analogique/numérique ADC0820

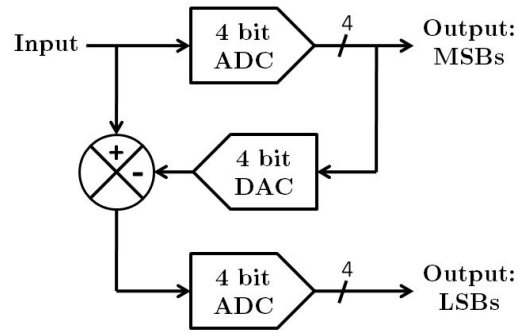
1.1 Prévisions théoriques

1) Les convertisseurs analogique/numérique flash sont fréquemment utilisés, parce qu'ils permettent des fréquences de fonctionnement élevées. Toutefois, il se caractérisent en revanche généralement par des coûts énergétiques et spatiaux élevés.

Le principe d'un CAN flash n bits est le suivant. Supposons que les valeurs analogiques à convertir soient comprises entre deux tensions de référence V_{min} et V_{max} , fournies au convertisseur. 2^n résistances permettent de diviser $[V_{min}, V_{max}]$ en 2^n sous-ensembles $([V_{i-1}, V_i])_{i \in [1..2^n]}$ ($V_0 = V_{min}$, $V_{2^n} = V_{max}$, $\forall i \in [1..2^n], V_i > V_{i-1}$), en fournissant les $2^n - 1$ tensions de transition V_i . $2^n - 1$ comparateurs permettent alors de situer la tension d'entrée V_{in} par rapport à ces $2^n - 1$ tensions de transition V_i . Un encodeur n bits — entièrement numérique donc — permet alors de convertir les sorties de ces comparateurs ($2^n - 1$ bits) en l'entier i correspondant sur n bits : $V_{in} \in [V_{i-1}, V_i]$.



(a) CAN flash 2 bits



(b) CAN semi-flash 8 bits

Figure 1: Principes de base des CAN flash et semi-flash

Le principal inconvénient d'une telle structure réside dans le nombre élevé de composants utilisés.

Pour limiter le nombre de comparateurs les convertisseurs semi-flash utilisent plusieurs convertisseurs flash. Typiquement, un convertisseur semi-flash 8 bits utilisera tout d'abord un convertisseur flash 4 bits afin d'encoder les 4 bits de poids fort (ou "MSBs" : "*Most Significant Bits*"). La tension V_{MSB} correspondante au résultat fourni par ce convertisseur est alors soustraite à la tension d'entrée V_{in} , puis $V_{in} - V_{MSB}$ est traitée par un second convertisseur flash 4 bits afin d'obtenir les 4 bits de poids faible (ou "LSBs" : "*Less Significant*").

Bits”).

La réactivité du convertisseur est ainsi diminuée par rapport à un convertisseur flash d’un facteur légèrement supérieur à 2, mais le nombre de composants nécessaire passe de $O(2^n)$ à $O(2^{n/2})$.

Le convertisseur analogique/numérique utilisé dans ce travail est un CAN semi-flash 8 bits : l’ADC0820.

2) Idéalement, l’intervalle $[V_{min}, V_{max}]$ est subdivisé en intervalles identiques. Les tensions de transitions d’une valeur à l’autre en sortie du CAN sont donc données par la formule :

$$\forall i \in [1..2^n - 1], V_i = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n}$$

(On rappelle que V_i est la tension de transition des entiers $i - 1$ à i en sortie du CAN.)

Dans le cadre de notre expérience : $V_{min} = 0$ et $V_{max} = V_{ref} = 5V$. Ainsi :

$$\forall i \in [1..2^8 - 1], V_i = i \cdot \frac{V_{ref}}{2^8} = i \cdot 19,531mV$$

Les valeurs de V_i correspondantes ont été rajoutées au tableau 1 des résultats expérimentaux.

1.2 Mesures

1) La tension d’alimentation utilisée pour le convertisseur, servant aussi de tension de référence V_{ref} , est fournie par une alimentation stabilisée. Elle est précisément de : $V_{ref} = 4.997V$.

2,3) À l’aide d’un potentiomètre 10 tours, on fait varier la tension d’entrée V_{in} du CAN étudié afin de mesurer les tensions de transition V_i , pour lesquelles le nombre en sortie du convertisseur — représenté en binaire par des LEDs — passe de $i - 1$ à i .

Table 1: Résultats obtenus lors de l’étude du convertisseur ADC0820

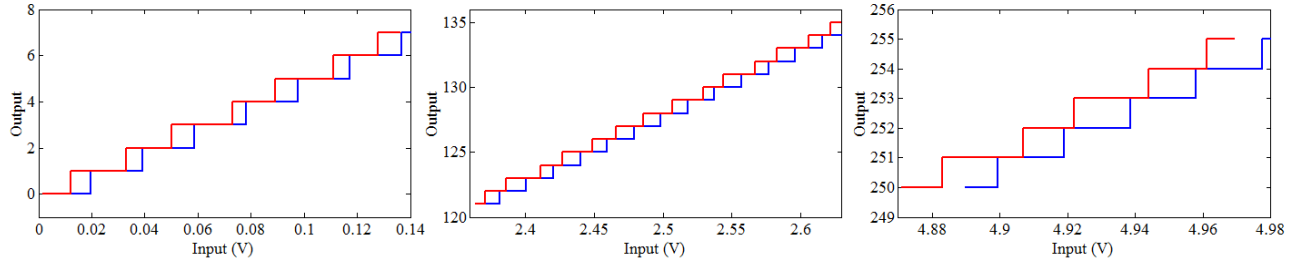
i	0	1	2	3	4	5	6
V_i théorique (V)	0,02	0,039	0,059	0,078	0,098	0,117	0,137
V_i mesuré (V)	0,012	0,033	0,05	0,073	0,089	0,111	0,128
$(V_i - V_{i-1})$ mesuré (V)	—	0,021	0,017	0,023	0,016	0,022	0,017

i	121	122	123	124	125	126	127
V_i théorique (V)	2,381	2,401	2,42	2,44	2,459	2,479	2,499
V_i mesuré (V)	2,371	2,386	2,411	2,427	2,449	2,466	2,486
$(V_i - V_{i-1})$ mesuré (V)	—	0,015	0,025	0,016	0,022	0,017	0,02

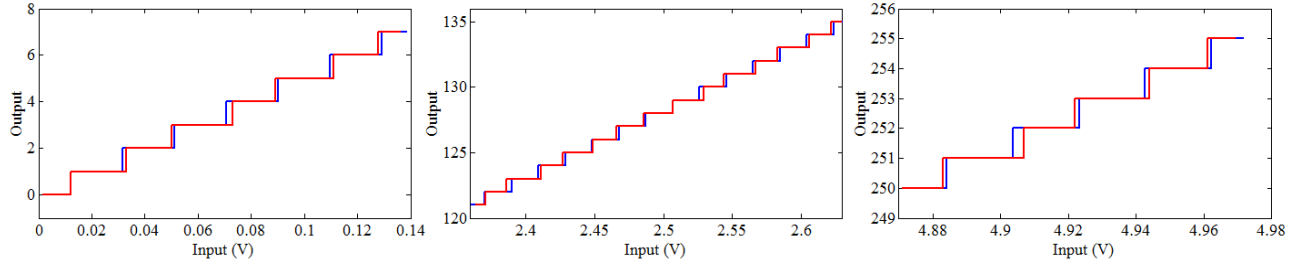
i	128	129	130	131	132	133	134
V_i théorique (V)	2,518	2,538	2,557	2,577	2,596	2,616	2,635
V_i mesuré (V)	2,507	2,529	2,544	2,567	2,583	2,606	2,622
$(V_i - V_{i-1})$ mesuré (V)	0,021	0,022	0,015	0,023	0,016	0,023	0,016

i	250	251	252	253	254
V_i théorique (V)	4,899	4,919	4,938	4,958	4,977
V_i mesuré (V)	4,883	4,907	4,922	4,944	4,961
$(V_i - V_{i-1})$ mesuré (V)	—	0,024	0,015	0,022	0,017

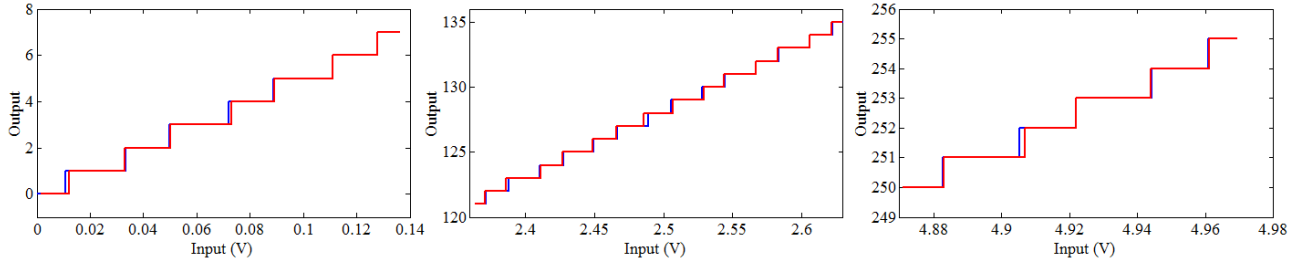
Ces résultats, comparés aux résultats théoriques donnés par $V_i = i \cdot \frac{V_{ref}}{2^8}$ et $V_{ref} = 4,997V$ sont représentés Fig. 2a.



(a) Résultats obtenus (en rouge), comparés à $V_i = i \cdot \frac{V_{ref}}{2^8}$ (en bleu) ($V_{ref} = 4,997V$)



(b) Résultats obtenus (en rouge), comparés à $V_i = V_{min} + i \cdot \frac{V_{max}-V_{min}}{2^n}$ (en bleu) ($V_{min} = -0,0073V$, $V_{max} = 4,9816V$)



(c) Résultats obtenus (en rouge), comparés à $V_i = V_{min} + i \cdot \frac{V_{max}-V_{min}}{2^n} + p_i \delta V$ (en bleu)
($V_{min} = -0,0072V$, $V_{max} = 4,9817V$, $\delta V = 0,0015V$)

Figure 2: Résultat obtenu avec le convertisseur analogique/numérique ADC0820

La première chose que l'on observe est un décalage permanent entre les valeurs de V_i mesurées (que l'on notera V_i^{mes}) et les valeurs de V_i théorique (que l'on notera V_i^{th}). On constate en effet un *offset* moyen de $-0,0111$. On remarque toutefois que $V_i^{mes} - V_i^{th}$ augmente avec i ($\langle V_i^{mes} - V_i^{th} \rangle_{i \in [1..7]} = -0,0072$, $\langle V_i^{mes} - V_i^{th} \rangle_{i \in [122..135]} = -0,0115$, $\langle V_i^{mes} - V_i^{th} \rangle_{i \in [251..255]} = -0,0150$).

Afin d'obtenir une meilleure approximation des résultats pratiques, on peut réutiliser la formule :

$$V_i^{th} = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n}$$

On a calculé via Matlab les valeurs optimales pour V_{min} et V_{max} ¹, et obtenu : $V_{min} = -0,0073V$, $V_{max} = 4,9816V$. Les résultats correspondants sont présentés Fig. 2b.

On remarque par ailleurs que pour i pair ($V_i^{mes} - V_{i-1}^{mes}$) est généralement de l'ordre de $0,016V$, tandis que cette valeur est généralement de l'ordre de $0,022V$ pour i impair. Pour représenter cet effet de la parité de i sur V_i , on pourra utiliser la modélisation :

$$V_i^{th} = V_{min} + i \cdot \frac{V_{max} - V_{min}}{2^n} + p_i \delta V \quad \text{avec : } p_i = \begin{cases} +1 & \text{si } i \in 2\mathbb{N} \\ -1 & \text{sinon} \end{cases}$$

Là encore, on obtient avec Matlab les coefficients optimum : $V_{min} = -0,0072V$, $V_{max} = 4,9817V$, $\delta V = 0,0015V$. Les résultats correspondants sont présentés Fig. 2c.

Nous avons tenté de comprendre l'origine de cet effet de la parité de i sur la tension de transition V_i . Compte tenu du principe de fonctionnement du convertisseur semi-flash, cet effet ne peut être imputé au calcul du bit de poids faible. En effet, ce dernier est donné par l'encodeur numérique encodant les quatre bits de poids faible. Il ne peut pas non plus être imputé au convertisseur numérique/analogique interne du convertisseur analogie/numérique étudié : en effet, la sortie de ce convertisseur numérique/analogique n'est modifiée que lorsqu'un des quatre bits de poids fort est modifié.

On en déduit que le problème est lié aux quinze ($2^4 - 1$) comparateurs fournissant les bits en entrée de l'encodeur 4-bits des bits de poids faibles. Leurs offsets seraient quasiment identiques pour les tensions de seuil V_i avec i pair, ainsi que pour les tensions de seuil V_i avec i impair.

L'hypothèse réalisée est la suivante : tous les comparateurs utilisés ont un offset quasiment égal à δV — ce qui se justifie en pratique : cet offset est fortement lié au substrat, dont les caractéristiques peuvent être considérées comme constantes au sein du convertisseur étudié. En revanche, un convertisseur sur deux serait placé "à l'envers" : on code $V < V_i$ pour i pair, et $V > V_i$ pour i impair (ou l'inverse). Cela se justifie par une éventuelle simplification de l'encodeur 4-bits obtenue en codant un bit sur deux en entrée avec une logique négative.

2 Le convertisseur numérique/analogique AD7524

2.1 Prévisions théoriques

1) Le convertisseur numérique/analogique étudié est un CNA 8 bits à réseau R/2R : l'AD7524.

Le principe de base de la plupart des CNA à réseau R/2R repose sur l'équivalence représentée Fig. 3a, où V_{min} et V_{max} sont des tensions fixées. De cette équivalence découle l'équivalence représentée Fig. 3b, où V_{ref} est une tension fixée, B_0, B_1, \dots, B_{n-1} sont les bits en entrée du CNA, et :

$$V_{eq} = \left(\sum_{i=0}^{n-1} \frac{1}{2^{n-i}} B_i \right) V_{ref}$$

¹Valeurs minimisant $\sum (V_i^{mes} - V_i^{th})^2$

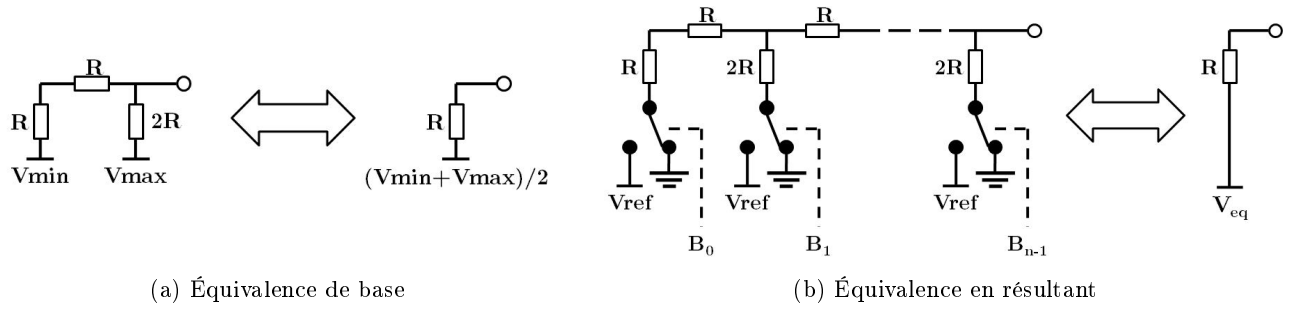


Figure 3: Principe de base des CNA à réseau R/2R

On utilise alors généralement un amplificateur opérationnel branché en suiveur ou en amplificateur de gain -1 , afin d'obtenir en sortie la tension V_{eq} indépendamment du reste du circuit.

Le fonctionnement de l'AD7524 est légèrement différent. Le circuit correspondant, tel qu'il est branché (avec notamment la sortie OUT2 branchée à la masse et l'utilisation d'un amplificateur opérationnel), est représenté Fig. 4²

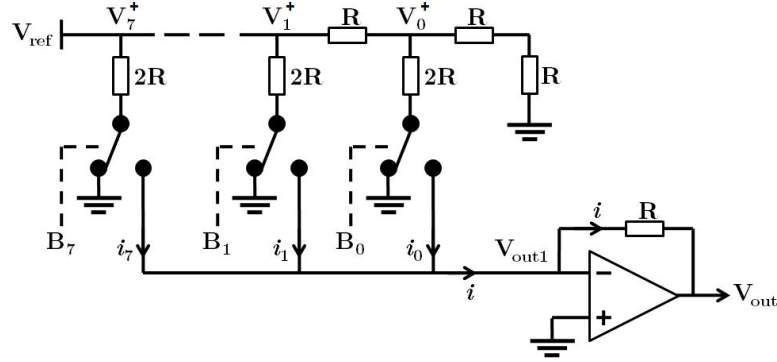


Figure 4: Le convertisseur AD7524 en situation

L'amplificateur opérationnel fixe $V_{out1} = 0$. L'équivalence présentée Fig. 3a permet alors de calculer par récurrence les tensions V_k^+ (cf Fig. 5) :

$$V_7^+ = V_{ref} \text{ et } V_{k-1}^+ = \frac{V_k^+}{2} ; \text{ d'où : } V_k^+ = \frac{V_{ref}}{2^{7-k}}.$$

On obtient alors :

$$i = \sum_{k=0}^7 i_k = \sum_{k=0}^7 B_k \frac{V_k^+}{2R} = \frac{V_{ref}}{R} \sum_{k=0}^7 \frac{1}{2^{8-k}} B_k$$

Puisque $V_{out} = -R i$, dans notre cas, on obtient ainsi pour l'ensemble des bits d'entrée (B_0, \dots, B_7) un tension de sortie donnée par la formule :

$$V_{out}(B_0 \dots B_7) = - \left(\sum_{k=0}^7 \frac{1}{2^{n-k}} B_k \right) V_{ref} \quad (1)$$

²Un condensateur, liant V_{out1} et V_{out} , a été omis : proposé par les datasheets, son but est d'empêcher des oscillations en sortie de l'amplificateur opérationnel. Nous nous plaçons dans le cadre d'un état déjà stabilisé, où le condensateur agit comme un interrupteur ouvert.

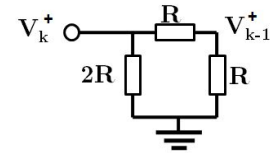


Figure 5: Calcul des V_k^+

2) Selon la formule 1, la contribution du bit i à la tension de sortie V_{out} est donnée par la formule :

$$V_i^{out} = -\frac{1}{2^{8-i}} V_{ref}$$

Les valeurs correspondantes ont été rajoutées au tableau 2 des résultats théoriques.

3) Toujours selon la formule 1, on a théoriquement :

$$V_{out}(00000000_b) = 0$$

et :

$$\begin{aligned} V_{out}(11111111_b) &= -\left(\sum_{i=0}^7 \frac{1}{2^{8-i}} B_i\right) V_{ref} = -(1 - \frac{1}{2^8}) V_{ref} \\ V_{out}(11111111_b) &= -4,9775V \end{aligned}$$

2.2 Mesures

1) Cette fois encore, la tension d'alimentation utilisée pour le convertisseur, servant aussi de tension de référence V_{ref} , est fournie par une alimentation stabilisée ; et est précisément de : $V_{ref} = 4.997V$.

2,3) Expérimentalement, on mesure la contribution V_i^{out} de chaque bit i en mettant en entrée du CNA tous les bits à zéro, excepté le bit i . Ainsi, on considère :

$$V_i^{out} = V_{out}(\delta_{0,i}\delta_{1,i}\delta_{2,i}\delta_{3,i}\delta_{4,i}\delta_{5,i}\delta_{6,i}\delta_{7,i}) \quad \text{avec : } \delta_{j,i} = \begin{cases} 1 & \text{si } i = j \\ 0 & \text{sinon} \end{cases}$$

Les résultats obtenus sont présentés dans le tableau 2. $V_i^{out,th}$ désigne la valeur théorique de la contribution du bit i à la tension de sortie V_{out} , tandis que $V_i^{out,mes}$ en désigne la valeur mesurée expérimentalement.

Table 2: Résultats obtenus lors de l'étude du convertisseur AD7524

i	0	1	2	3	4	5	6	7
$V_i^{out,th}$ (V)	-0,0195	-0,039	-0,0781	-0,1562	-0,3123	-0,6246	-1,2493	-2,4985
$V_i^{out,mes}$ (V)	-0,019	-0,039	-0,078	-0,157	-0,314	-0,628	-1,258	-2,518
$\sum_{j<i} V_j^{out,mes}$ (V)	-0,019	-0,058	-0,136	-0,293	-0,607	-1,235	-2,493	-5,011

2.2.1 Tension de sortie pour les codes d'entrée minimum et maximum

Entrée	00000000 _b	11111111 _b
V_{out} théorique (V)	0	-4,9775
V_{out} mesurée (V)	0,001	-5,04

On remarque que l'on a notamment : $\forall i \in [1..7], \sum_{j<i} V_j^{out,mes} < V_i^{out,mes}$.

Ainsi, le convertisseur numérique/analogique étudié est monotone. En effet, cela montre que si $\forall j > i, B'_j = B_j$, $B_i = 0$, $B'_i = 1$, $\forall j < i, B_j = 1$ et $\forall j < i, B'_j = 0$, alors :

$$V_i^{out,mes}(B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0) < V_i^{out,mes}(B'_7 B'_6 B'_5 B'_4 B'_3 B'_2 B'_1 B'_0)$$

(Par exemple : $V_i^{out,mes}(B_7 B_6 B_5 B_4 0111) < V_i^{out,mes}(B'_7 B'_6 B'_5 B'_4 1000)$.)

Les écarts entre les valeurs théoriques et mesurées pour $V_{out}(00000000)$ et $V_{out}(11111111)$ s'explique notamment par une légère différence entre les résistances liant les sorties OUT1 et R₋FDBK au sein du convertisseur AD7524, ainsi que par les imperfections de l'amplificateur opérationnel (offset et gain fini). De ces imperfections, il résulte un offset en sortie de l'ensemble du convertisseur, amplificateur opérationnel inclus, ainsi qu'une erreur sur le gain.

L'offset est donné par :

$$V_{offset} = V_{out}^{mes}(00000000) - V_{out}^{th}(00000000) = 0,001V$$

et l'erreur sur le gain est donnée par :

$$\delta_G = \frac{(V_{out}^{mes}(11111111) - V_{out}^{mes}(00000000)) - (V_{out}^{th}(11111111) - V_{out}^{th}(00000000))}{V_{out}^{th}(11111111) - V_{out}^{th}(00000000)} = 1,25\%$$

On peut alors préciser la formule fournissant V_{out} , en prenant :

$$V_{out}^{th}(B_0 \dots B_7) = V_{offset} - (1 + \delta_G) \left(\sum_{k=0}^7 \frac{1}{2^{n-k}} B_k \right) V_{ref} = V_{offset} - \left(\sum_{k=0}^7 \frac{1}{2^{n-k}} B_k \right) \widetilde{V_{ref}}$$

avec : $\widetilde{V_{ref}} = (1 + \delta_G) V_{ref} = -\frac{V_{out}^{mes}(11111111) - V_{out}^{mes}(00000000)}{1 - \frac{1}{2^8}} = 5,061V$

3 Chaîne de conversion A/N - N/A

3.1 Montage étudié

On connecte maintenant les 8 bits de sortie du convertisseur analogique/numérique ADC0820 étudié section 1 aux 8 bits d'entrée du convertisseur numérique/analogique AD7524 étudié section 2.

On notera V_{in} la tension imposée en entrée du montage (tension d'entrée du convertisseur analogique/numérique), et V_{out} la tension obtenue en sortie (tension de sortie du convertisseur numérique/analogique).

Dans le cadre de convertisseurs parfaits, d'une fréquence d'échantillonnage infinie et d'un nombre de bits infini, on aurait donc : $V_{out} = -V_{in}$. Dans notre cas, on obtient évidemment une approximation ; et les différences entre V_{out} et $-V_{in}$ seront discutées plus bas.

Pour cela, un amplificateur sommateur permet d'obtenir en plus de la sortie du montage la tension : $V_{err} = -(V_{out} + V_{in})$.

3.2 Mesures

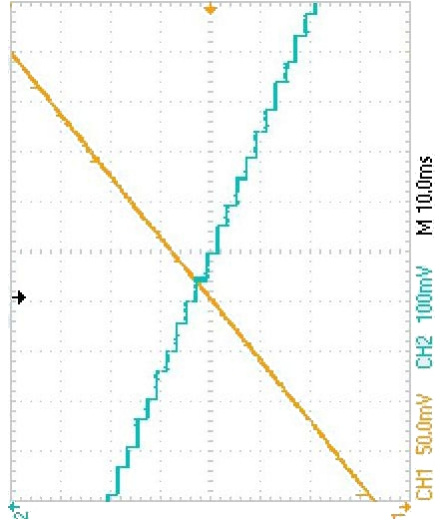
1) Afin d'observer les effets de la chaîne AN-NA sur le signal (échantillonnage, quantification...), on applique en entrée un signal V_{in} triangulaire d'amplitude 4V et de moyenne 2,5V. On en fera varier la fréquence f_{in} .

Quantification.

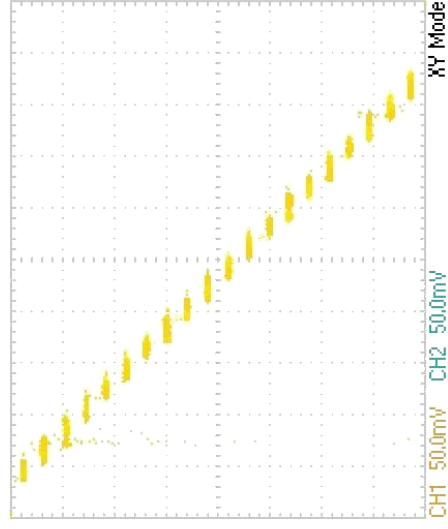
Afin d'observer l'effet de la quantification, sans être perturbé par l'échantillonnage, on utilise en entrée un signal lent : $f_{in} \ll f_{ech}$ (où f_{ech} désigne la fréquence d'échantillonnage des convertisseurs, qui est de l'ordre de 20kHz). Typiquement, on utilisera ici $f_{in} = 0,5\text{Hz}$.

Les résultats expérimentaux obtenus sont fournis Fig. 6a.

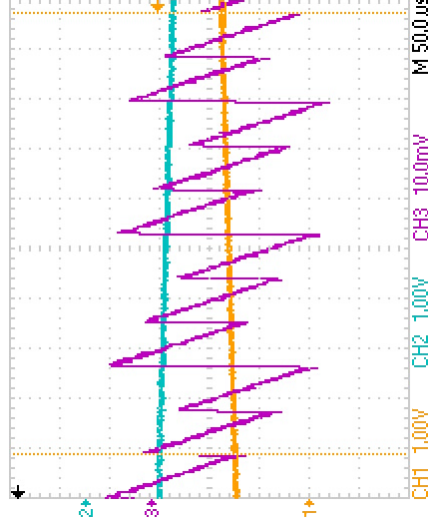
Le phénomène de quantification s'observe bien lorsque l'on trace $V_{out} = f(V_{in})$ (cf. Fig. 6b). On y observe des "marches" de hauteurs et largeurs régulières, de l'ordre de $\frac{V_{ref}}{2^8} \approx 19,5\text{mV}$. Ces marches sont continues sur le plan horizontal, mais pas sur le plan vertical : à chaque valeur de V_{out} correspondent plusieurs valeurs de V_{in} . Plus simplement, sans prendre en compte d'éventuels offsets ou erreurs de gain, lors de la conversion $V_{in} \rightarrow V_{out}$, $-V_{in}$ est "rabattu" sur la valeur la plus proche possible de V_{out} .



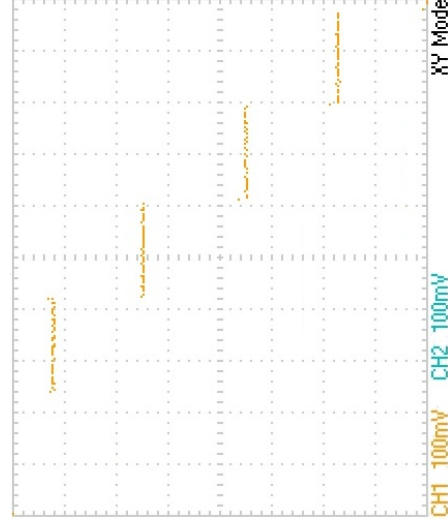
(a) $f_{in} = 0.5\text{Hz}$
 $V_{out} = f(t)$ (CH1), $V_{out} = f(t)$ (CH2)



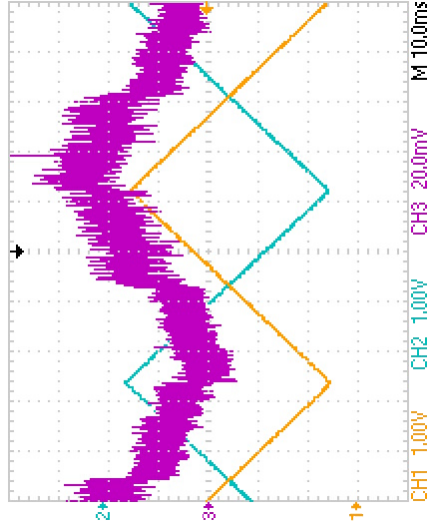
(b) $f_{in} = 0.5\text{Hz}$
 $V_{out} = f(V_{in})$



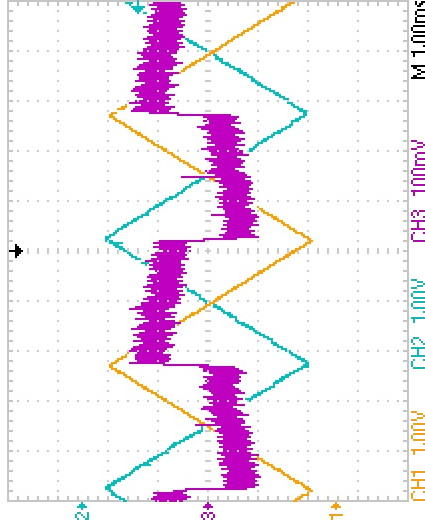
(c) $f_{in} = 60\text{Hz}$, $V_{out} = f(t)$ (CH1),
 $V_{out} = f(t)$ (CH2), $V_{err} = f(t)$ (CH3)



(d) $f_{in} = 500\text{Hz}$
 $V_{out} = f(V_{in})$



(e) $f_{in} = 13\text{Hz}$, $V_{out} = f(t)$ (CH1),
 $V_{out} = f(t)$ (CH2), $V_{err} = f(t)$ (CH3)



(f) $f_{in} = 200\text{Hz}$, $V_{out} = f(t)$ (CH1),
 $V_{out} = f(t)$ (CH2), $V_{err} = f(t)$ (CH3)

Figure 6: Data-flow graphs for Problem III

On introduit ainsi un erreur de quantification comprise entre $-\epsilon_q$ et $+\epsilon_q$, avec $\epsilon_q = \frac{1}{2} \frac{V_{ref}}{2^8}$.

Échantillonnage.

Afin de pouvoir être utilisé par un système synchrone, le CAN étudié bénéficie d'un "sample-and-hold" : tous les T_{ech} , l'entrée V_{in} est mémorisée, et c'est la conversion en bits de cette valeur mémorisée qui est fournie en sortie. Ainsi, cette sortie est mise à jour avec une fréquence dite d'échantillonnage $f_{ech} = T_{ech}^{-1}$. Cette mise-à-jour périodique est observable Fig. 6c : elle est à l'origine des irrégularités observées pour V_{err} ³. On peut par ailleurs mesurer sur cette figure : $f_{ech} = 22,5\text{kHz}$.

Pour un signal d'entrée variant à une vitesse $\frac{dV_{in}}{dt}$ constante, le retard sur l'information engendré ajoute à l'erreur de quantification une erreur pouvant atteindre $\epsilon_{ech} = T_{ech} \frac{dV_{in}}{dt}$. Dans le cas présenté Fig. 6c, où $f_{in} = 60\text{Hz}$, on obtient $\epsilon_{ech} = 22\text{mV}$ — ce qui s'accorde avec les résultats expérimentaux, donnant : $\epsilon_q + \epsilon_{ech} \approx 42\text{mV}$.

Lorsque ϵ_{ech} dépasse $\frac{V_{ref}}{2^n}$, certaines valeurs possibles pour V_{out} n'ont même pas le temps d'être "vues". Cette situation extrêmes est représentée Fig. 6d.

Gain et offset.

Le CAN et le CNA présentant tous deux une erreur sur le gain ainsi qu'un certain offset, cela se répercute sur la chaîne étudiée — les deux gains étant multipliés et les offset sommés. Cet effet s'observe bien à 13Hz (cf. Fig. 6e) : le signal V_{err} obtenu est constitué d'oscillations en dents de scies (liées aux effets précédemment décrits) autour d'un signal triangulaire traduisant cette erreur de gain. Son amplitude est d'approximativement 50mV (pour une amplitude d'entrée de 4V), ce qui traduit une erreur de gain de $1,25\%$.

Retard.

Indépendamment des erreurs liées à la fréquence d'échantillonnage, la succession du CAN et du CNA engendrent irrémédiablement un retard δt entre la sortie et l'entrée. Lorsque l'on augmente la fréquence du signal traité, la soustraction V_{err} des signaux triangulaires décalés V_{out} et $-V_{in}$ aboutie en un signal carré d'amplitude proportionnelle au retard, auquel s'ajoute les perturbations précédemment décrites. Cet effet est observable Fig. 6f.

Plus précisément, l'amplitude du signal carré susmentionné est de $2\epsilon_{retard}$ avec $\epsilon_{retard} = 2\delta t \left| \frac{dV_{in}}{dt} \right|$. Expérimentalement, on obtient pour $f_{in} = 200\text{Hz}$ (donc $\left| \frac{dV_{in}}{dt} \right| = 1600\text{V} \cdot \text{s}^{-1}$) $2\epsilon_{retard} = 144\text{mV}$. Ainsi : $\epsilon_{retard} = 72\text{mV}$ et $\delta t = 22,5\mu\text{s}$.

4 Application : la chambre d'écho

4.1 Prévisions théoriques

Le principe de la chambre d'écho est d'échantillonner un signal audio à l'aide du convertisseur AN, de stocker les échantillons dans un tampon circulaire réalisé à l'aide d'une mémoire SRAM de 8-bits, puis de restituer les données passées qui sont stockées dans la mémoire à l'aide du convertisseur NA.

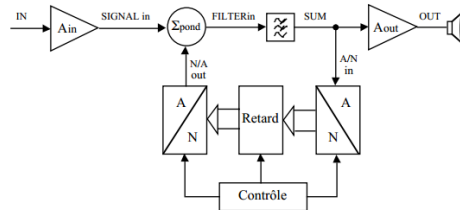


Figure 7: Schéma de principe de la chambre d'écho

³Lorsque la fréquence d'échantillonnage du CAN n'intervient pas (ie pour un signal d'entrée suffisamment lent), V_{err} présente des dents de scies identiques (même taille, mêmes extrema).

Il y a alors plusieurs modes de fonctionnement :

- **Écho seul** : Le signal est désactivé mais l'écho est activé. Il s'agit donc d'un simple retard.
- **Écho simple** : Le signal et l'écho sont activés, mais le sommateur est désactivé. Le signal est sommé avec le contenu de la mémoire, mais seul le signal est écrit dans la mémoire. Il n'y a donc qu'un seul écho.
- **Écho infini** : Le signal, l'écho et le sommateur sont activés. Le signal est sommé avec le contenu de la mémoire avant d'être écrit dans la mémoire. Il y a donc un feedback sur l'écho, ce qui simule mieux un écho réel.

1) Les conditions à garantir pour assurer la stabilité du système diffère du mode de fonctionnement utilisé :

En mode écho simple :

Théoriquement, un système d'écho simple est équivalent à un filtre à réponse impulsionnelle finie (RIF), dont la réponse est : $y[n] = x[n] + k \cdot x[n-l]$, où x désigne entrée, y la sortie, k le facteur d'amplification et l la taille du tampon en mémoire.

Sa fonction de transfert est donc : $H(z) = 1 + k \cdot z^{-l}$

Il n'y a pas de pôles, le système sera toujours stable.

En mode écho infini :

Un écho infini est équivalent à un filtre à réponse impulsionnelle infinie (RII), dont la réponse est : $y[n] = x[n] + k \cdot y[n-l]$

La fonction de transfert est donc : $H(z) = \frac{1}{1-k \cdot z^{-l}}$

Ce système sera stable seulement pour les $k < 1$. En cas d'instabilité, la chambre d'écho ne fonctionnera pas, un régime d'oscillation apparaîtra et un sifflement fort s'entendra sur la sortie. En musique, cela correspond à ce que l'on nomme l'"effet Larsen".

À noter que la réponse en fréquence de la chambre d'écho n'est pas constante : certaines fréquences vont être amplifiées tandis que d'autres vont être atténuées, et ce pour les deux modes écho simple et infini. Cet effet de bord est inévitable. De plus, toute modification des paramètres k et l va affecter la réponse en fréquence.

Cette étude de la chambre d'écho comme filtre est valable pour des retards petits devant la durée des signaux en entrées (ie l petit), c'est-à-dire quand l'écho ne sera pas perçu comme tel par l'oreille humaine. Pour un retard plus grand (plus long que les notes en entrée par exemple), l'écho ne sera plus perçu comme un filtre. Toutefois, les conditions de stabilité sont inchangées : pour un écho infini, si $k > 1$, l'écho sera à chaque fois amplifié et son amplitude divergera vers $+\infty$.

2) On désire avoir une bande passante de 15kHz. Pour respecter le théorème d'échantillonnage, il faut donc une fréquence d'échantillonnage strictement supérieure à $f_{ech,min} = 30\text{kHz}$.

Le retard maximum possible est donc de :

$$\delta t = \frac{l_{max}}{f_{ech,min}} \quad (2)$$

avec $l_{max} = 32768$ désigne la taille maximale du tampons en octets.

On obtient donc dans ce cas : $\delta t = 1,09\text{s}$.

En acceptant que le son se propage à la vitesse de $v = 340\text{m/s}$, et que celui-ci doit faire l'aller-retour entre sa source et un mur contre lequel il serait réfléchi, ceci correspond à une distance de : $\frac{\delta t \cdot v}{2} = 186\text{m}$.

3) On considère le schéma présenté Fig. 8.

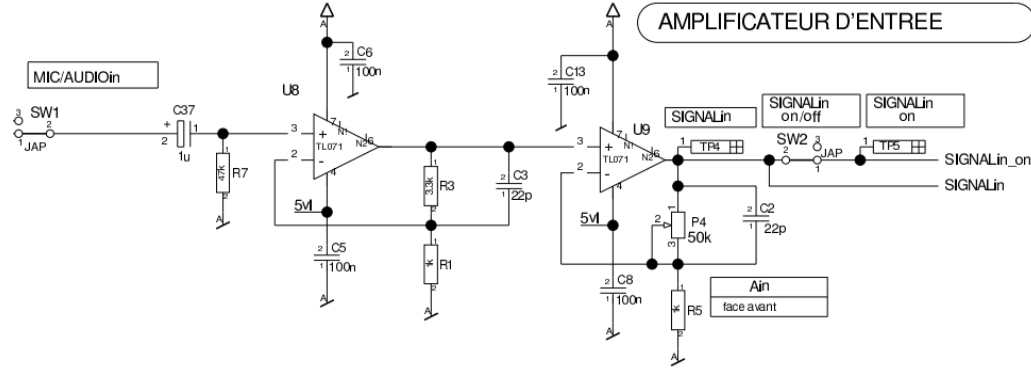


Figure 8: Amplificateur d'entrée de la chambre d'écho

Dans la bande passante, on néglige les pertes dues au passe-bas C37-R7, car la fréquence de coupure vaut : $f_c = \frac{1}{2\pi \cdot R_7 \cdot C_{37}} = 3,39\text{Hz}$

De même, les capacités C2 et C3, et C5 et C8, peuvent être négligées et considérées comme des circuits ouverts. En effet, au maximum de la bande passante ($f_{max} = 15\text{kHz}$) leur réactance vaut :

$$X_{c1,2} = \frac{1}{2\pi f_{max} \cdot C_{2,3}} = 482\text{k}\Omega \gg R_3, P_4$$

$$X_{c5,8} = \frac{1}{2\pi f_{max} \cdot C_{5,8}} = 106\Omega \gg R_1, R_5$$

Le gain du premier étage est donc de : $A_1 \simeq 1 + \frac{R_3}{R_1} = 4.3$

Et le gain du second étage de : $A_2 \simeq 1 + \frac{\alpha P_4}{R_5}$, avec $\alpha \in [0, 1]$; soit : $A_2 \in [1, 51]$.

Le gain total $A = A_1 \cdot A_2$ est donc compris entre $A_{min} = 4,3 = 12,7\text{dB}$ et $A_{max} = 219 = 46,8\text{dB}$.

- 4) Le rôle du séquenceur est de générer une fréquence d'horloge pour la logique numérique.

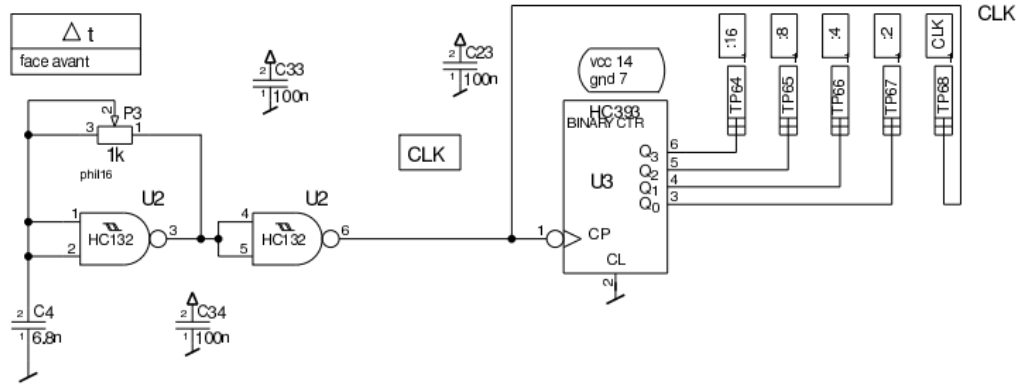


Figure 9: Séquenceur de la chambre d'écho

L'oscillateur est une simple cellule RC avec un inverseur à hystérésis.

D'après la notice du composant 74HC132, la fréquence d'oscillation quand elle est réglée au minimum (P3 réglé au maximum) est de :

$$f_{min} \simeq \frac{1}{0.8 \cdot R \cdot C} = 184 \text{ kHz}$$

Le maximum est limité par le délai de propagation des transistors internes au circuit (lorsque $P3 = 0$), et est donc plus difficile à déterminer. Une grossière approximation est de prendre le temps de propagation du circuit, en ajoutant le temps de montée et de descente. Les valeurs typiques sont de 20 ns et 7 ns respectivement :

$$f_{max} \simeq \frac{1}{t_{plh} + t_{phl} + t_{hl} + t_{lh}} = 18.5 \text{ MHz}$$

P3 permet donc de faire varier librement la fréquence d'oscillation sur deux ordres de grandeur.

Le circuit U3 est un compteur, il permet donc d'avoir une version divisée de l'horloge par plusieurs puissances de 2. Dans ce cas, le compteur est sur 4 bits, il permet donc d'avoir un signal prédivisé par 2, 4, 8 et 16. Nous pouvons choisir lequel de ces diviseurs est utilisé pour ce circuit ce qui permet de choisir grossièrement une très large bande de fréquences d'échantillonnage, en plus du réglage par P3.

Les deux bascules D de U19 forment un compteur Johnson de longueur 2, qui a 4 états. Le changement d'état se fait au flanc montant de CLK. ⁴

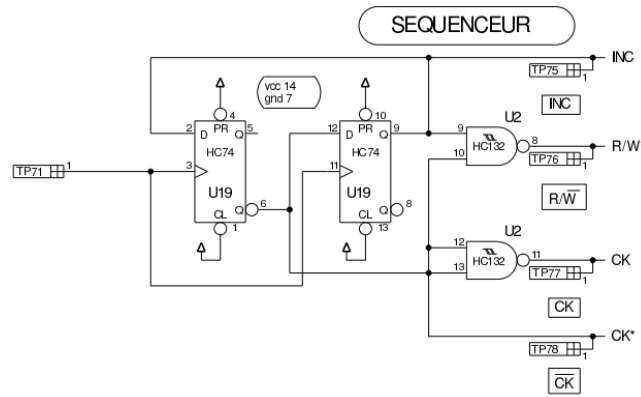


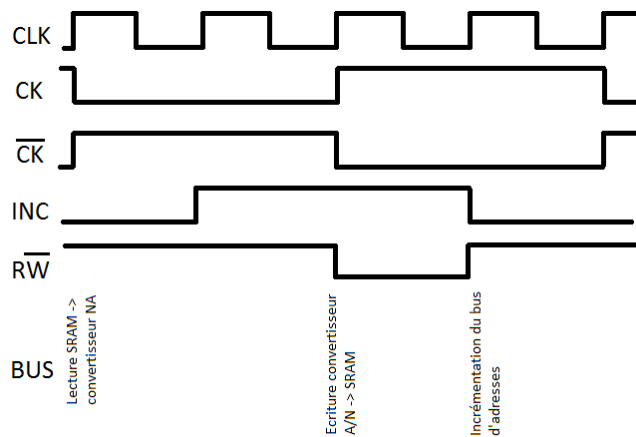
Figure 10: Séquenceur de la chambre d'écho

Il y a donc un "cycle" pour chaque période de CK, soit 4 périodes de CLK. Chaque cycle se décompose donc en 4 phases bien distinctes⁵ :

État	CK	/CK	R/W	INC	Action	
0	0	0	1	1	0	Lecture de l'ancienne valeur par le convertisseur N/A (flanc descendant de CK)
0	1	0	1	1	1	Pas d'opération
1	1	1	0	0	1	Écriture de la nouvelle valeur dans la SRAM (état bas de R/W)
1	0	1	0	1	0	Mise-à-jour du bus d'adresses (flanc descendant de INC)

⁴Voir datasheet du composant 74HC74

⁵Voir schéma du montage et datasheets des composants respectifs : UVC3130 pour le convertisseur, 74HC4040 pour le contrôleur de bus d'adresses et 62256 pour la SRAM



En conclusion : À chaque cycle, une valeur dans la SRAM est d'abord lue et convertie en analogique, avant qu'une nouvelle valeur provenant du convertisseur A/N vienne remplacer cette valeur, puis on continue à l'adresse suivante.

4.2 Mesures

On applique en entrée de la chambre d'écho un signal sinusoïdal de 2kHz, et règle son amplitude ainsi que le gain du préamplificateur de la chambre d'écho de sorte à éviter toute saturation des convertisseurs A/N et N/A.

Pour l'instant, on se place en mode "écho seul". Le signal en sortie n'est donc qu'une image quantifiée et retardée de l'entrée.

2) Afin d'observer plus clairement l'effet du filtre de lissage, on abaisse à 4 bits la résolution du CAN utilisé. Le résultat obtenu est présenté Fig. 11.

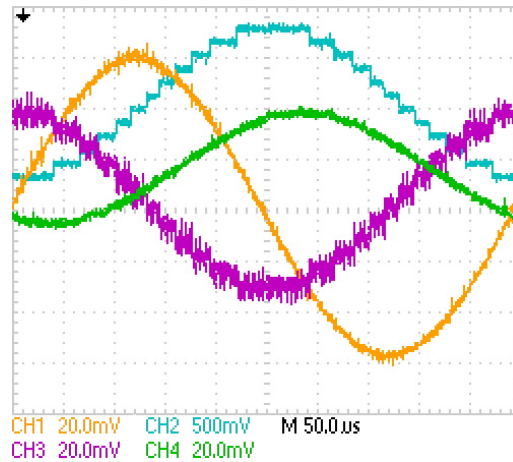
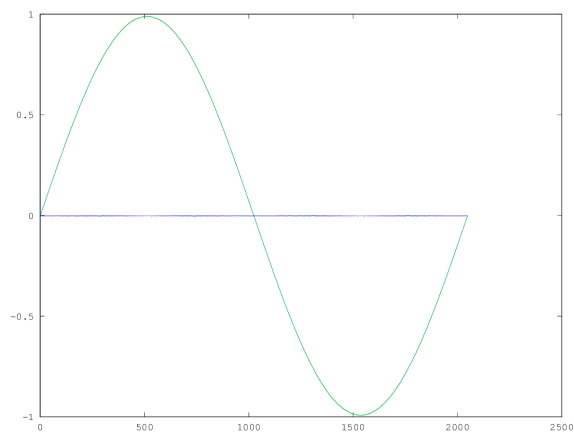


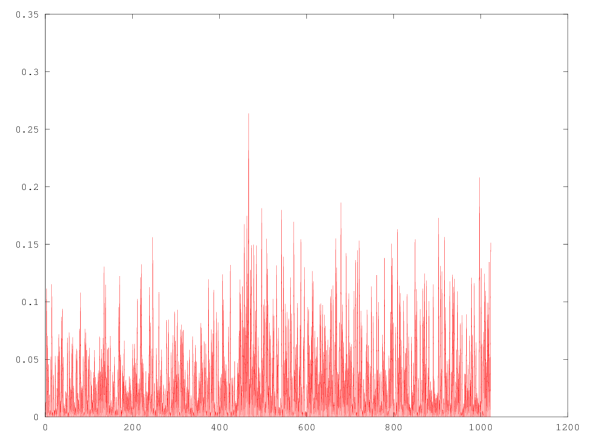
Figure 11: Effet du filtre de lissage :
CH1 : Entrée, CH2 : Sortie du CNA,
CH4 : Sortie du filtre (après filtre de lissage)

On remarque qu'en l'absence de filtre (courbe bleu), les effets de la quantification sont très visibles. En revanche, ils le sont moins après que le signal ait été traité par le filtre de lissage. En pratique, cela à pour effet de diminuer les harmoniques et le bruit créés par la quantification. Toutefois, il est impossible de les annuler tout à fait. En effet, le filtre de lissage doit être adapté à la plus forte pente envisageable pour une sortie idéale. Lorsque la pente est moindre, le lissage est alors imparfait.

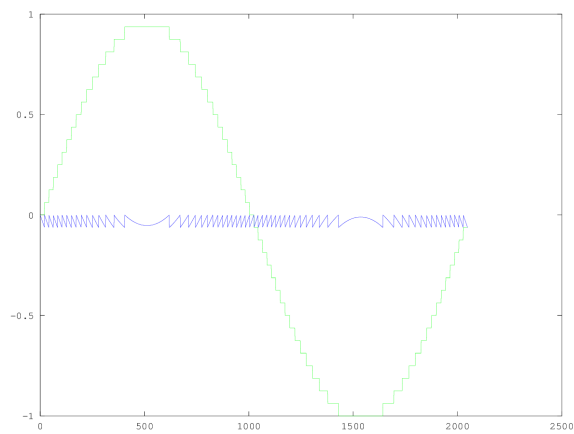
3) À chaque bit supprimé pour l'encodage du signal traité, le niveau de bruit augmente de 6 dB. En effet, retirer un bit double l'amplitude de l'erreur de quantification.



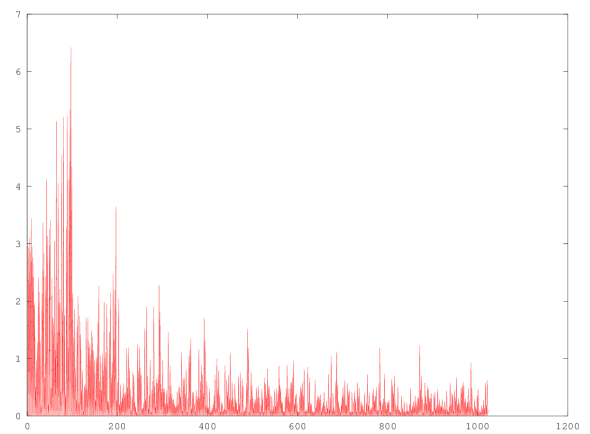
(a) Sinus quantifié sur 8 bits et erreur



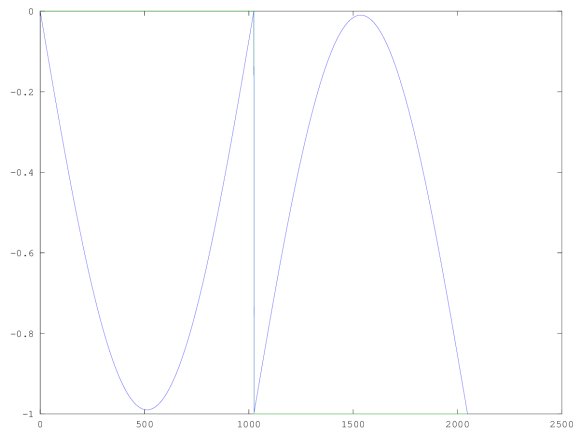
(b) Spectre de l'erreur de quantification avec 8 bits



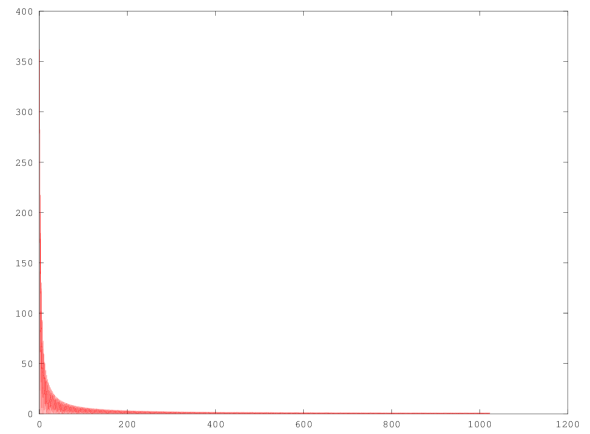
(c) Sinus quantifié sur 4 bits et erreur



(d) Spectre de l'erreur de quantification avec 4 bits



(e) Sinus quantifié sur 1 bit et erreur



(f) Spectre de l'erreur de quantification avec 1 bit

Figure 12: Effet du nombre de bits sur l'erreur de quantification⁶

Concrètement, lorsque la résolution est suffisante — c'est-à-dire le nombre de bits suffisant — l'erreur de

quantification peut être approximée comme étant aléatoire et apparaît ainsi comme du bruit se superposant au signal traité. En revanche, lorsque le nombre de bits devient faible, la corrélation entre signal d’entrée et bruit de quantification fait apparaître des harmoniques. Le signal apparaît alors comme fortement distordu.

Ainsi, avec 8 bits, l’erreur de quantification est répartie sur tout le spectre et peut être assimilée à du bruit blanc (cf Fig. 12a et 12b). Avec 4 bits, on constate que l’erreur est plus intense en basse fréquence et présente certaines harmoniques (cf Fig. 12c et 12d). Enfin, avec 1 bit, l’erreur correspond à la différence entre un signal sinusoïdal et un signal carré : l’erreur est élevée et très condensée dans les basses fréquences — et en aucun cas assimilable à du bruit blanc.

Nous avons branché un micro en entrée de la chambre d’écho. Dans le cas de la voix humaine, nous avons constaté qu’il faut au moins 4 bits pour qu’elle soit pleinement compréhensible.

4) On s’intéresse désormais au mode “écho infini”.

Le retard a une influence sur la durée entre deux répétitions de l’écho. Un long retard pourra donner la sensation d’un écho plus lointain. Le gain quant à lui a une influence sur l’atténuation entre deux répétitions de l’écho. Plus il sera élevé, plus l’on entendra l’écho avant que ce dernier ne se fonde dans le bruit.

Un retard long (supérieur à 0,2s) apparaîtra comme un écho au sens classique du terme : les sons apparaîtront comme “répétés”. En musique, on parle d’un effet de “delay”. En revanche, si le retard est suffisamment court, il ne sera plus interprété comme tel, mais plutôt comme un effet de réverbération. On parle en musique de “reverb”. Augmenter le gain rendra alors le son comme flou, pouvant ainsi le faire apparaître comme plus calme, plus ésotérique...

Toutefois, le gain de l’écho ne doit jamais trop approcher 1, au risque de provoquer une saturation voire une instabilité du système.

5) Une taille de mémoire fixe permet de simplifier le contrôle des adresses mémoire : un simple compteur modulo 2^n peut-être utilisé.

En revanche, il sera nécessaire d’avoir un circuit qui permet de faire varier la fréquence d’horloge pour l’échantillonnage. L’implémentation comme réalisée dans le séquenceur de ce montage convient parfaitement, mais ne permet pas un réglage précis de la fréquence d’échantillonnage. Si de la précision est requise, un oscillateur à quartz s’imposerait et il serait impossible de faire varier la fréquence de celui-ci. Il faudrait alors utiliser une PLL pour faire librement varier la fréquence ce qui est cher et compliqué à mettre en œuvre.

Autre effet indésirable : si l’on change la longueur de l’écho durant le fonctionnement du circuit, la vitesse de lecture des données actuellement en mémoire sera affectée. Les fréquences des signaux correspondants seront ainsi transformées lors de leur lecture.

Dans le cas d’une fréquence d’échantillonnage fixe, la génération de l’horloge est simplifiée, et pourrait être fabriquée de manière très précise à partir d’un quartz.

En revanche, le contrôle des adresses mémoire sera alors plus compliqué, nécessitant un décompteur qui recharge une variable lorsqu’il atteint la valeur zéro, la variable déterminant la longueur entre deux répétitions de l’écho.

Le changement de la longueur de l’écho pendant l’utilisation a un effet moindre sur la lecture des données en mémoire : elles sont lues à la même vitesse, et aucun déplacement de fréquence n’est observé (pour peu que le retard soit assez grand devant la période des signaux). En revanche, on crée des trous ou raccourcit la séquence lue. Si le retard est élevé, on fera éventuellement entendre des bruits (“pops”) lorsque l’on arrive au bout du tampon mémoire. Si le retard est court, le son est distordu. Par ailleurs, il faut juste attendre que le compteur d’adresses atteigne la valeur ‘0’ pour que le changement soit effectif.