

# Laboratorio 2

## Progettazione di uno slave FMC

17 dicembre 2024

### Introduzione

L'obiettivo di questo laboratorio è progettare un'interfaccia slave FMC che permetta ad un master (microcontrollore/microprocessore) di effettuare operazioni di lettura e scrittura su dei registri o verso una memoria.

### Interfaccia

I segnali del blocco progettato sono i seguenti:

- FMC: Il protocollo utilizzato è quello presente nel Flexible Memory Controller (FMC) del microcontrollore STM32L496. Esso è un protocollo basato su un bus parallelo semi-sincrono, con indirizzi/dati multiplexati, e possibilità di accessi a burst. Nella figura 1, estratta dal datasheet del microcontrollore impiegato in questa esperienza come master, è visibile il diagramma temporale dei segnali per un ciclo di lettura. Analogamente nella figura 2 gli stessi segnali sono visibili per un ciclo di scrittura. Si ipotizzi che il bus abbia una frequenza di clock pari a 10 MHz. I segnali da utilizzare sono:
  - FMC\_CLK, ingresso: Clock della interfaccia FMC.
  - FMC\_NE1, ingresso: Segnale di chip select, attivo basso.
  - FMC\_NOE, ingresso: Segnale di output enable, attivo basso.
  - FMC\_NWE, ingresso: Segnale write enable, attivo basso.
  - FMC\_NWAIT, uscita: Segnale di wait, attivo basso.
  - FMC\_AD[15:0], bidirezionale: Bus multiplexato indirizzi/dati

La descrizione funzionale dei segnali deve essere ricavata leggendo la descrizione riportata nel reference manual e nel datasheet del microcontrollore.

- Register/Memory interface: Tutti i segnali sono sincroni con lo stesso clock utilizzato dall'interfaccia FMC (FMC\_CLK). Il fronte attivo è quello di salita:
  - A, uscita: Bus indirizzi, su 16 bit, che indicizza il registro esterno o la cella di memoria su cui si vuole operare.
  - DOUT, uscita: Bus dati, su 16 bit, utilizzato durante le operazioni di scrittura, per veicolare ai registri o alla memoria esterni il dato che vi deve essere caricato.
  - DIN, ingresso: Bus dati, su 16 bit, utilizzato durante le operazioni di lettura, per ricevere dai registri o dalla memoria esterni il dato che dovrà essere restituito al master FMC.

- 

The diagram illustrates the timing relationships for the FMC interface signals. Key parameters shown include:

- FMC\_CLK**: Clock signal with period  $t_w(\text{CLK})$ . A dashed line indicates a setup time  $t_{w}(\text{CLK})$  before the first clock edge.
- FMC\_NEX**: Signal with setup time  $t_{d}(\text{CLKL-NExL})$  and hold time  $t_{d}(\text{CLKH-NExH})$  relative to the clock.
- FMC\_NADV**: Signal with setup time  $t_{d}(\text{CLKL-NADV})$  and hold time  $t_{d}(\text{CLKH-NADV})$  relative to the clock.
- FMC\_A[25:16]**: Address bus with setup time  $t_{d}(\text{CLKL-AV})$  and hold time  $t_{d}(\text{CLKH-AIV})$  relative to the clock.
- FMC\_NWE**: Write enable signal with setup time  $t_{d}(\text{CLKL-NWE})$  and hold time  $t_{d}(\text{CLKH-NWEH})$  relative to the clock.
- FMC\_AD[15:0]**: Data bus with setup time  $t_{d}(\text{CLKL-ADV})$ , data time  $t_{d}(\text{CLKL-Data})$ , and hold time  $t_{d}(\text{CLKH-Data})$  relative to the clock. Data is shown for AD[15:0], D1, and D2.
- FMC\_NWAIT**: Wait signal with setup time  $t_{su}(\text{NWAITV-CLKH})$  and hold time  $t_{h}(\text{CLKH-NWAITV})$  relative to the clock. The signal is active low.
- FMC\_NBL**: Signal with setup time  $t_{d}(\text{CLKH-NBLH})$  relative to the clock.

Additional annotations include "Data latency = 0" and "BUSTURN = 0".

2

## Test su scheda VirtLAB

Una volta verificato il corretto comportamento dello slave FMC mediante simulazioni, è necessario verificare il funzionamento anche su una piattaforma fisica, utilizzando la scheda VirtLAB.

Al fine di eseguire il test, è fornito un programma in formato eseguibile (virtlab-user-fmc-tester.elf), da caricare sul microcontrollore **user** della scheda. La programmazione può essere effettuata mediante lo strumento software STM32CubeProgrammer, già utilizzato in precedenza per la programmazione del microcontrollore **master**.

Il programma così caricato configura la porta USB **utente**, collocata tra i connettori J601 e J603, come seriale virtuale. Mediante un emulatore di terminale seriale è possibile inviare al microcontrollore i seguenti comandi:

- Waaaadddd Scrive il dato a 16 bit 'dddd' all'indirizzo 'aaaa'
- Raaaa Legge un dato a 16 bit dall'indirizzo 'aaaa'

L'indirizzo (aaaa) è rappresentato su 16 bit, in formato esadecimale. Il dato (dddd) è rappresentato su 16 bit, sempre in formato esadecimale.

La mappatura dei segnali della interfaccia FMC del microcontrollore sulla scheda VirLAB è rappresentata nella tabella 1 sono :

Tabella 1: Mappatura dei segnali dell'interfaccia FMC

I/O Pin	MCU Port pin	Signal name
IO19	PD3	FMC_CLK
IO23	PD7	FMC_NE1
IO20	PD4	FMC_NOE
IO21	PD5	FMC_NWE
IO22	PD6	FMC_NWAIT
IO30	PD14	FMC_AD0
IO31	PD15	FMC_AD1
IO16	PD0	FMC_AD2
IO17	PD1	FMC_AD3
IO7	PE7	FMC_AD4
IO8	PE8	FMC_AD5
IO9	PE9	FMC_AD6
IO10	PE10	FMC_AD7
IO11	PE11	FMC_AD8
IO12	PE12	FMC_AD9
IO13	PE13	FMC_AD10
IO14	PE14	FMC_AD11
IO15	PE15	FMC_AD12
IO24	PD8	FMC_AD13
IO25	PD9	FMC_AD14
IO26	PD10	FMC_AD15

Il funzionamento sarà verificato se la lettura e la scrittura di registri funzionano correttamente, ovvero se il dato letto corrisponde a quello scritto in ciascun registro. Non è sufficiente effettuare una lettura di un registro appena dopo averlo scritto, dal momento che questa operazione non verifica il funzionamento dell'indirizzamento. È quindi opportuno prima effettuare alcune scritture su registri differenti, e successivamente provare a rileggerli in un ordine arbitrario.