

IST ID:

Nome (1º e último):

Introdução à Arquitetura de Computadores
Licenciatura em Engenharia Informática e de Computadores

Ano letivo 2023/24. 2º MAP45 – Teste Tipo

Duração: 45 minutos

Proibido o uso de calculadora. Pode consultar a reference card do RISC-V 32, fornecida pelos docentes.

1. Representação em linguagem máquina MIPS.

Represente em linguagem máquina RISC-V 32 bits as seguintes instruções assembly:

a) add t0, a1, s3

Resultado (em hexa):

Cálculos:

b) addi t3, t3, 16

Resultado (em hexa):

Cálculos:

c) lui s0, 0x1bcde

Resultado (em hexa):

Cálculos:

d) Qual o intervalo de distâncias, em Bytes, que podem ser cobertos por uma instrução “branch”? Mostre os cálculos que efetuar.

Resultado (em decimal):

Cálculos:

2. Circuitos lógicos combinatórios

Pretende-se projetar um circuito lógico que soma um número de 2 bits ($a_1 a_0$) com outro número de 1 bit (b_0) com um resultado de 3 bits. Ambas parcelas e o resultado estão representados em binário sem sinal.

a) Determine a tabela de verdade das funções f_2 , f_1 , f_0 , correspondentes aos bits da saída do circuito (do mais significativo ao menos significativo):

a1	a0	b0	f2	f1	f0
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

- b) Determine uma expressão para a função f_1 usando somas de produtos, em que cada parcela dessa soma faz a conjunção das três variáveis de entrada (que podem ou não estar negadas).

Resultado (expressão lógica):

Cálculos:

- c) Determine um circuito lógico (logigrama) para a função f_0 usando **apenas** um decodificador e um número arbitrário de portas OR.

- d) Simplifique o máximo possível a expressão $a\bar{b}\bar{c} + ab\bar{c} + abc$

Resultado (expressão lógica):

Cálculos:

3. Circuitos lógicos sequenciais

Preencha a tabela de verdade de um Latch SR (implementado com duas portas NOR), em que, no preenchimento da tabela $Q(n)$ indica o valor da saída no instante “n”, e para os instantes imediatamente anteriores usamos a notação $Q(n-1)$.

S	R	$Q(n)$
0	0	
0	1	
1	0	
1	1	

4. Conceitos fundamentais

Indique se a seguinte afirmação é verdadeira ou falsa, e justifique em 30 palavras ou menos:

“Em certos casos, a modularidade pode prejudicar o desempenho de um circuito lógico (em que o desempenho ou *performance* é determinado pelo atraso na propagação do sinal desde as entradas até às saídas)”

Resolução

1.a) 0x 013582b3

Cálculos:

Opcode 0110011, funct3: 000, funct7: 0000000, ra: 01011 ($a1 = x11$), rb: 10011 ($s3 = x19$), rd: 00101 ($t0 = x5$)

Combinando tudo: 0000000 10011 01011 000 00101 0110011 (base 2)

1.b) 0x 010e0e13

Cálculos:

Opcode: 0010011, Funct3: 000, Imm: 000000010000, ra: 11100 ($x28 = t3$), rd: 11100 ($x28 = t3$)

Combinando tudo: 000000010000 11100 000 11100 0010011 (base 2)

1.c) 0x 1bcde437

Cálculos:

Opcode: 0110111, rd: 01000 ($x8 = s0$), imm: 0x1bcde

1.d) [-4096, 4094]

Cálculos:

- 12 bits para imediato com sinal (em complemento de 2) \Rightarrow valores entre $[-2^{11}, 2^{11}-1] = [-2048, 2047]$

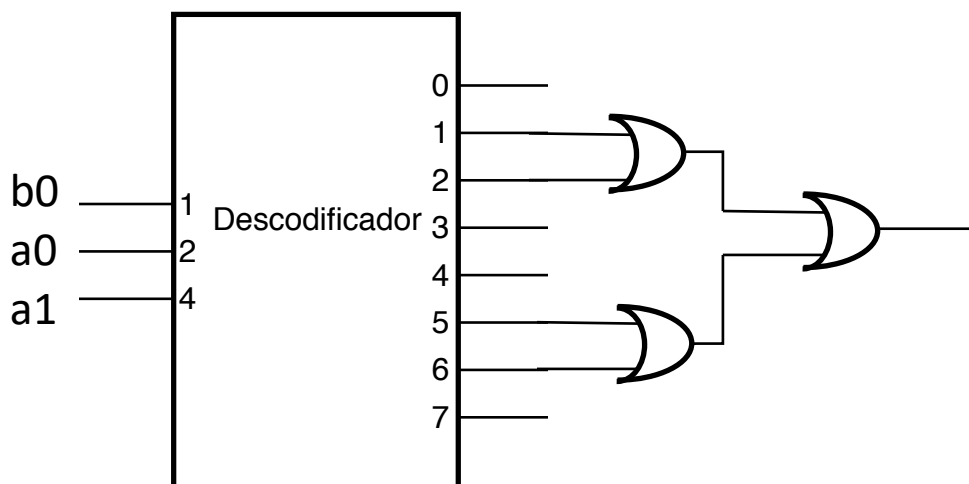
- Cada valor endereça uma half-word (2 bytes), logo a instrução permite cobrir endereços relativos (em bytes) entre $[-2048 \times 2, 2047 \times 2] = [-4096, 4094]$

2.a)

a1	a0	b0	f2	f1	f0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	0	1	0
1	0	0	0	1	0
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	1	0	0

2.b) $(\overline{a1} \overline{a0} b0) + (a1 \overline{a0} \overline{b0}) + (a1 \overline{a0} b0) + (a1 a0 \overline{b0})$

2.c)



2.d) $a\overline{b}\overline{c} + ab\overline{c} + abc = a(\overline{b} + b)\overline{c} + abc = a\overline{c} + abc = a(\overline{c} + bc) = a((\overline{c} + b)(\overline{c} + c)) = a(\overline{c} + b) = a\overline{c} + ab$

3.

S	R	Q(n)
0	0	Q(n-1)
0	1	0
1	0	1
1	1	0

4. Verdade. Por exemplo, se somarmos N bits encadeando N somadores de 1 bit, o resultado do bit mais significativo terá de aguardar pela propagação dos resultados por todos os somadores anteriores.