# 数字电子技术基础第一次实验报告

## 一、测试门电路的逻辑功能

### (一)测试反相器的逻辑功能

1. **实验目的:**

测试反相器的逻辑功能

1. **主要实验器材:**

74LS04中的一个反相器以及其他器材

1. **实验步骤**

(1)电源端连接

将74LS04中的14号端口与+5V电源端口相连，7号接口与GND端口相连

(2)输入输出端连接

选定74LS04中的1、2号接口构成的反相器作为本次实验的反相器，将1号端口(输入端A)与逻辑电平开关中的K1端口相连，2号端口(输出端Y)与逻辑电平指示端的L15端口相连

(3)功能检测及数据记录

①让电源开关接通，将逻辑电平开关处调至低电平处，观察指示灯是否显示为亮，同时用万用表分别测输入端A和输出端Y的电平，记录第一组数据

②将逻辑电平开关处调至高电平处，观察指示灯是否显示为暗，用万用表分别测输入端A和输出端Y的电平，记录第二组数据

③将两组数据记录在表格中，得出描述反相器功能的真值表，从而得出反相器的逻辑功能

**4、实验结果**

|  |  |
| --- | --- |
| A | Y |
| 0.003V | 3.500V |
| 3.895V | 0.165V |

### (二)测试与非门的逻辑功能

1. **实验目的**

测试与非门的逻辑功能

1. **主要实验器材:**

74LS00中的一个与非门以及其他器材

1. **实验步骤**

(1)电源端连接

将74LS00中的14号端口与+5V电源端口相连，7号接口与GND端口相连

(2)输入输出端连接

选定74LS00中的1、2、3号接口构成的与非门作为本次实验的与非门，将1号端口(输入端A)与逻辑电平开关中的K1端口相连，2号端口(输入端B)与逻辑电平开关中的K2端口相连，3号端口(输出端Y)与逻辑电平指示端的L15端口相连

(3)功能检测及数据记录

①让电源开关接通，调节逻辑电平开关处的K1,K2的高低电平，观察输入端在4种状态下指示灯的亮暗，并用电压表测分别测出四种状态下输入端和输出端的电平，得到四组数据

②将四组数据记录在表格中，得出描述与非门功能的真值表，从而得出与非门的逻辑功能

1. **实验结果**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| **0.003V** | **0.003V** | **3.479V** |
| **0.003V** | **3.887V** | **3.626V** |
| **3.500V** | **0.268V** | **3.556V** |
| **3.535V** | **3.886V** | **0.165V** |

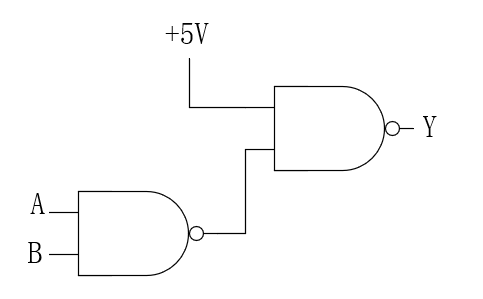
## 二、用74LS00分别实现与门，或门，异或门逻辑

### (一)与门

1. **实现原理:**

[(A·B)'·1]’=[(AB)’]’+1’=AB+0=AB

1. **逻辑图**



1. **实验器材:**

74LS00中的两个与非门以及其他器材

1. **实验步骤**

(1)电源端连接

将74LS00中的14号端口与+5V电源端口相连，7号接口与GND端口相连

(2)输入输出端连接

将74LS00中的将1号端口(第一个与非门的输入端A)与逻辑电平开关中的K1端口相连，2号端口(第一个与非门的输入端B)与逻辑电平开关中的K2端口相连，3号端口(第一个与非门的输出端Y)与4号端口（第二个与非门的输入端A)相连，5号端口（第二个与非门的输入端B)与一个高电平相连，6号端口（第二个与非门的输出端Y)与逻辑电平指示端的L15端口相连

(3)功能检测及数据记录

①让电源开关接通，调节逻辑电平开关处的K1,K2的高低电平，观察在4种状态下指示灯亮暗

②将四组状态下所得的结果用1或0的方式表示在表格中，得出描述该逻辑图功能的真值表，从而得出其逻辑功能

1. **实验结果**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| **0** | **0** | **0** |
| **0** | **1** | **0** |
| **1** | **0** | **0** |
| **1** | **1** | **1** |

### (二)或门

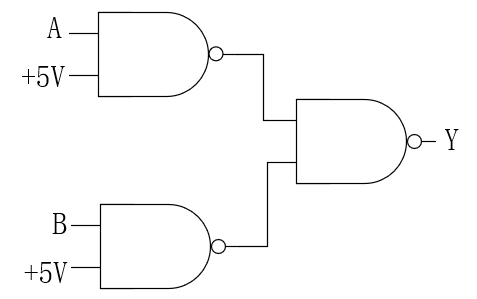
1. **实现原理:**

(A'·B')'=A+B

1. **实验器材:**

74LS00中的三个与非门以及其他器材

1. **逻辑图**



1. **实验步骤**

(1)电源端连接

将74LS00中的14号端口与+5V电源端口相连，7号接口与GND端口相连

(2)输入输出端连接

①第一个与非门

将1号端口(第一个与非门的输入端A)与逻辑电平开关中的K1端口相连，2号端口(第一个与非门的输入端B)与一个高电平端口连接，3号端口(第一个与非门的输出端Y)与9号端口（第三个与非门的输入端口A）

②第二个与非门

将4号端口（第二个与非门的输入端A)与一个高电平相连，5号端口（第二个与非门的输入端B)与逻辑电平开关中的K2端口相连，6号端口（第二个与非门的输出端Y)与10号端口（第三个与非门的输出端B）相连

③第三个与非门

将8号端口（第三个与非门输出门)与逻辑电平指示端的L15端口相连

(3)功能检测及数据记录

①让电源开关接通，调节逻辑电平开关处的K1,K2的高低电平，观察在4种状态下指示灯亮暗

②将四组状态下所得的结果用1或0的方式表示在表格中，得出描述该逻辑图功能的真值表，从而得出其逻辑功能

**5、实验结果**

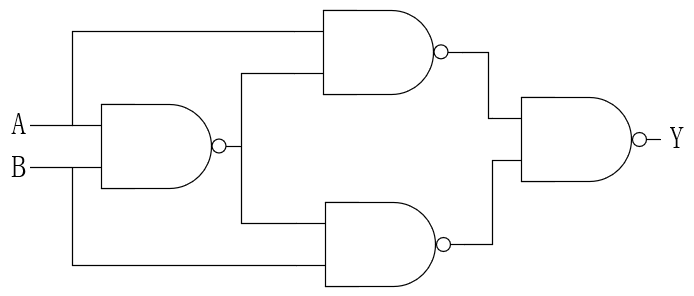
|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| **0** | **0** | **0** |
| **0** | **1** | **1** |
| **1** | **0** | **1** |
| **1** | **1** | **1** |

### (三)异或门

1. **实现原理:**

[ ( (AB)’A )’·( (AB)’B )’]’= AB’+A’B

1. **逻辑图**



1. **实验器材:**

74LS00中的四个与非门以及其他器材

1. **实验步骤**

(1)电源端连接

将74LS00中的14号端口与+5V电源端口相连，7号接口与GND端口相连

(2)输入输出端连接

①第一个与非门

将1号端口(第一个与非门的输入端A)与逻辑电平开关中的K1端口相连，2号端口(第一个与非门的输入端B)与逻辑电平开关中的K2端相连，3号端口(第一个与非门的输出端Y)分别与4号端口（第二个与非门的输入端A）、9号端口（第三个与非门的输入端A）相连

②第二个与非门

将5号端口（第二个与非门的输入端B)与逻辑电平开关中的K1端口相连，6号端口（第二个与非门的输出端Y)与12号端口（第四个与非门的输入端A）相连

③第三个与非门

将10号端口（第三个与非门的输入端B)与逻辑电平开关中的K2端，8号端口（第三个与非门的输出端)与13号端口（第四个与非门的输入端的B）相连

④第四个与非门

将11号端口（第四个与非门的输出端)与逻辑电平指示端的L15端口相连

(3)功能检测及数据记录

①让电源开关接通，调节逻辑电平开关处的K1,K2的高低电平，观察在4种状态下指示灯亮暗

②将四组状态下所得的结果用1或0的方式表示在表格中，得出描述该逻辑图功能的真值表，从而得出其逻辑功能

**5、实验结果**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| **0** | **0** | **0** |
| **0** | **1** | **1** |
| **1** | **0** | **1** |
| **1** | **1** | **0** |

## 三、实现组合逻辑电路连接

1. **实验目的**

实现组合逻辑电路连接

1. **主要实验器材:**

74LS04中三个反相器，74LS00中的三个两输入与非门，74LS20中的两个四输入与非门以及其他器材

1. **实验步骤**

(1)电源端连接

将74LS00、74LS04、74LS20中的14号端口与+5V电源端口相连，7号接口与GND端口相连

(2)逻辑电平开关及反相器的连接

①从K1端口引出三条导线，第一条接74LS04反相器1输入端口，从74LS04反相器2输出端口输出后，接到74LS20的1输入端口，第二条接74LS00的1端口，第三条接74LS00的9端口

②从K2端口引出三条导线，第一条接74LS04反相器3输入端口，从74LS04反相器4输出端口输出后，接到74LS20的2输入端，第二条接74LS00的2端口，第三条接74LS00的4端口

③从K3端口引出三条导线，第一条接74LS04反相器5输入端口，从74LS04反相器6输出端口输出后，接到74LS20的4输入端，第二条接74LS00的5端口，第三条接74LS00的10端口

（3)与非门的连接

①二输入与非门

74LS00的3、6、8分别连接74LS20的9、10、12端口

②三输入与非门

74LS20的5端口接一个高电平+5V，6端口连接74LS20的13号端口

③四输入与非门

74LS20的8端口接逻辑电平指示端的L15端口相连

(4)功能检测及数据记录

①让电源开关接通，调节逻辑电平开关处的K1,K2,K3的高低电平，观察在8种状态下指示灯亮暗

②将八组状态下所得的结果用1或0的方式表示在表格中，得出描述该逻辑图功能的真值表，从而得出其逻辑功能

1. **实验结果**

|  |  |  |  |
| --- | --- | --- | --- |
| **R** | **A** | **G** | **Z** |
| **0** | **0** | **0** | **1** |
| **0** | **0** | **1** | **0** |
| **0** | **1** | **0** | **0** |
| **0** | **1** | **1** | **1** |
| **1** | **0** | **0** | **0** |
| **1** | **0** | **1** | **1** |
| **1** | **1** | **0** | **1** |
| **1** | **1** | **1** | **1** |

**实验 4 组合电路设计实验之一**

**一、实验目的**

**1. 掌握用基本门电路进行组合电路的设计方法。**

**2. 初步掌握数字电路的实验方法。**

**3. 通过实验论证设计的正确性。**

**4. 训练正确接线与排除故障的能力。二、实验器材与仪器**

**1. 数字电路实验箱 1 台**

**2. 示波器 1 台**

**3. 万用电表及工具**

**4. 四 2 输入与非门 74LS00**

**5. 双 4 输入与非门 74LS20**

**三、实验内容**

**1. 设计一个血型关系的逻辑电路，要求输出能够指示“输送——接受”的正确性**

**① 设计任务**

**人类有四种基本血型——A，B，AB 和O 型，O 型血可以输给任意血型的人，而他自己只能接受O 型，AB 型可以接受任意血型，但他只能输给 AB 型；A 型能输给A 型或 AB 型，可接受A 型或 O 型；B 型能输给B 型或 AB 型，可以接受B 型或 O 型。**

**设计一个逻辑电路，其输入是一对要求“输送——接受”的血型，当符合上述规则时，电路输出为 1（注：只需要四个输入）。**

**② 设计提示**

**4 种血型的人都可以作为输血者，所以输血者有 4 种人，用 2 位变量来表示。这里用 W、X 作为输血者的输入变量。**

**令: 00 为A 型输血者，01 为 B 型输血者，10 为 AB 型输血者，11 为O 型输血者。**

**同理，4 种血型的人都可以成为受血者，用 2 位变量 Y，Z 来表示。**

**令：00 为A 型受血者，01 为 B 型受血者，10 为 AB 型受血者，11 为O 型受血者。这样，共需要 4 个输入变量来构成“输送——接受”血型，即 WXYZ。例如 0000**

**表示“A 输送——A 接受”；0001 表示“A 输送——B 接受”，其余以此类推。输出规则可用实验图 4-1 表示。**

**A B AB O**

**当合乎规则的一组输入变量（如 WXYZ 为 1111）出现时，输出 F=1，只要找出使 F=1 的所有情况，即可列出 F 的原始函数表达式或真值表，再经过化简，即可用电路实现。**

**实验的参考方框图如实验**

**图 4-2。**

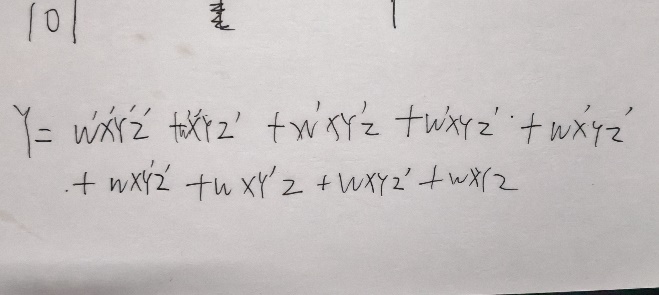
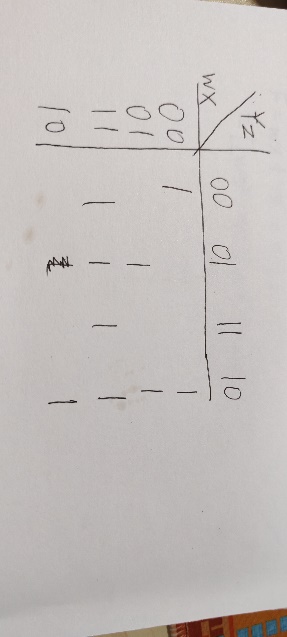
四、（1）根据题意可知指示灯亮的表达式为图1.1所示。

图1.1

（2）根据表达式可得对应的卡诺图，如图1.2所示

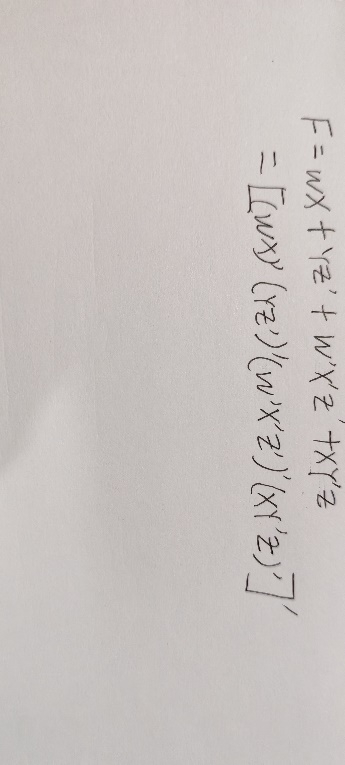
图1.2

**实验图 4-1**

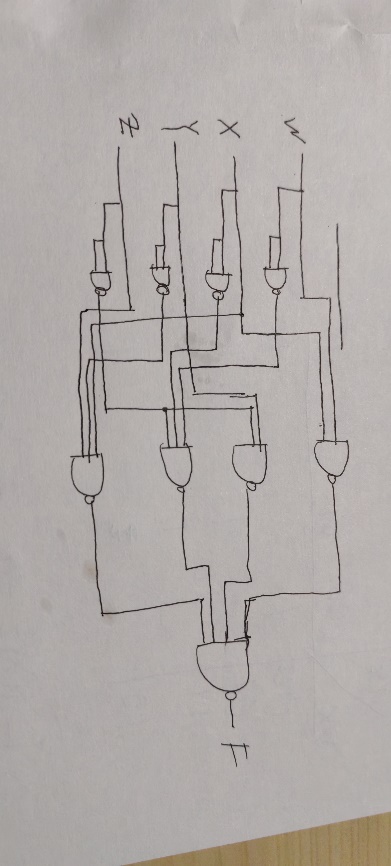
**A B AB O**

**实验图 4-2 实验参考方框**

**（3）根据卡诺图所示指示灯化简式为图1.3所示。**



（4）根据表达式得指示灯电路图为图1.4所示。



**（4）根据表达式得指示灯电路图为图1.4所示。**

**图1.4**

**（5）根据电路图将上图所示电路用实物连接后，将表示式中WXYZ为以四个单脉冲为输入依次测量，最后验证输入为化简式中表示式时，输出为高电平，否则输出为低电平。**

## 实验 5 组合电路设计实验之二

##### 一、实验目的

1. 掌握用基本门电路进行组合电路的设计方法。
2. 初步掌握数字电路的实验方法。
3. 通过实验论证设计的正确性。
4. 训练正确接线与排除故障的能力。

##### 二、实验器材与仪器

1. 数字电路实验箱 1 台
2. 示波器 1 台
3. 万用电表及工具
4. 四 2 输入与非门 74LS00
5. 双 4 输入与非门 74LS20
6. 六反相器 74LS04

##### 三、实验内容

1. 设计一个运算电路

设计能实现函数 y=x2 的组合电路，x 的取值范围是 0～５的正整数，用十六进制数显示出来（译码显示用实验箱设备）

1. 实验过程
2. 根据题意可知，x的有效值为1、2 、3 、4 、5。即y的取值16表示形式为1、 4 、9 、10 、16。
3. 将y与x的关系如表1.1所示。

|  |  |  |  |
| --- | --- | --- | --- |
| x值 | y值(H） | 二进制表示形式（y4y3y2y1y0） | ABC |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 00001 | 001 |
| 2 | 4 | 00100 | 010 |
| 3 | 9 | 01001 | 011 |
| 4 | 10 | 10000 | 100 |
| 5 | 19 | 11001 | 101 |

表1.1

1. 根据题意可知，ABC为110、 111为无关项。
2. 根据卡诺图所示，可化简的到表达式如图1.1所示。

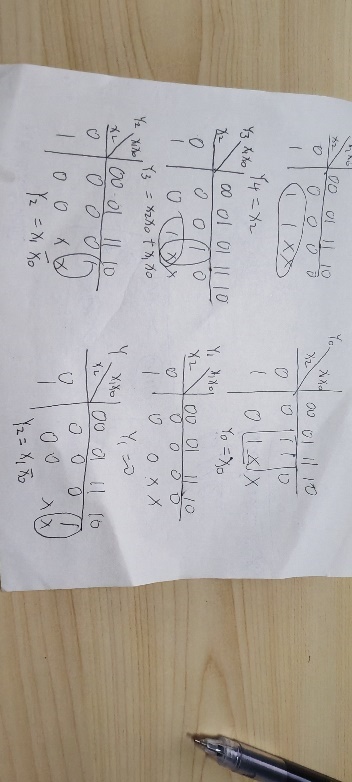


图1.1

（5）根据卡诺图所示，可得到逻辑电路如图1.2所示。

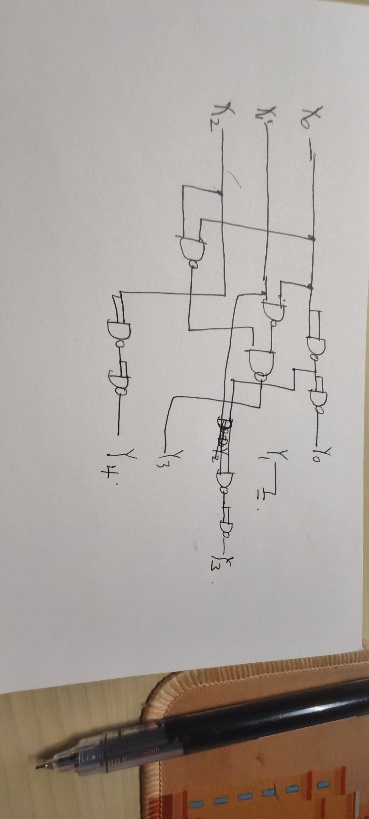


图1.2

（6） 选用四 2 输入与非门 74LS00将所示电路连接为实物连接图，其中y4y3y2y1y0分别连接为高位的8421码中的第1位，其与分别为低位从大到小的8421码。

（7） 通过3个控制信号作为ABC进行性实验验证结果。

**实验 6 中规模组合电路设计之一**

**一、实验目的**

1. 了解中规模集成电路的使用方法。
2. 掌握用中规模集成电路设计组合电路的方法。
3. 通过实验验证设计的正确性。
4. 训练正确接线与排除故障的能力。

**二、实验器材与仪器**

1. 数字电路实验箱 1 台
2. 示波器 1 台
3. 万用电表及工具

4．3 线-8 线集成译码器 74LS138

1. 双 2 线 4 线译码器 74LS139
2. 八选一数据选择器 74LS151
3. 双四选一数据选择器 74LS153
4. 其他必要的门电路

**三、实验内容**

1. 测试 3 线-8 线集成译码器 74LS138 的逻辑功能

实验图 6-1 为 CT74LS138 的逻辑符号，用逻辑开关作为 CT74LS138 的输入信号，改变输入端 *A*2*A*1*A*0 的逻辑开关状态（000～111），用 0，1 显示并记录输出端Y0 ～ Y7 的逻辑状态，并把结果记入实验表 6-1 中。

**实验表 6-1 CT74LS138 功能表**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 序号 | 输 入 | | | | | 输 出 | | | | | | | |
| S1 | S2 S3 | A2 | A1 | A 0 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 2 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 3 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 4 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 5 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 6 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 7 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 禁  止 | 0 | Φ | Φ | Φ | Φ |  |  |  |  |  |  |  |  |
| Φ | 1 | Φ | Φ | Φ |  |  |  |  |  |  |  |  |

2.译码器作脉冲分配器的应用

3 线-8 线集成译码器 CT74LS138 “使能”控制端 S1 加高电平，1Hz 连续脉冲信号加到S2 、S3 其中一端（另一端接地），输入端 *A*2*A*1*A*0 作为地址码输入，由地址码决定被选通道。依次改变 *A*2*A*1*A*0 的逻辑开关状态（000～111），观察输出端Y 0 ～ Y 7 的变化，并进行具体分析。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 序号 | 输 入 | | | | | 输 出 | | | | | | | |
| S1 | S2 S3 | A2 | A1 | A 0 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| 0 | 1 | 脉冲/0 | 0 | 0 | 0 | 闪烁 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 脉冲/0 | 0 | 0 | 1 | 1 | 闪烁 | 1 | 1 | 1 | 1 | 1 | 1 |
| 2 | 1 | 脉冲/0 | 0 | 1 | 0 | 1 | 1 | 闪烁 | 1 | 1 | 1 | 1 | 1 |
| 3 | 1 | 脉冲/0 | 0 | 1 | 1 | 1 | 1 | 1 | 闪烁 | 1 | 1 | 1 | 1 |
| 4 | 1 | 脉冲/0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 闪烁 | 1 | 1 | 1 |
| 5 | 1 | 脉冲/0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 闪烁 | 1 | 1 |
| 6 | 1 | 脉冲/0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 闪烁 | 1 |
| 7 | 1 | 脉冲/0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 闪烁 |
| 禁  止 | 0 | Φ | Φ | Φ | Φ | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Φ | 1 | Φ | Φ | Φ |  |  |  |  |  |  |  |  |

**当G2A端是低电平的时译码器正常工作，对应的的输出端口输出低电平，使灯是灭的； 当G2A端是高电平的时译码器不工作，对应的输出端口输出高电平，使灯是亮的。因此当脉冲信号加到G2A端时，使译码器在工作和不工作之间交替进行，导致灯在闪烁。**

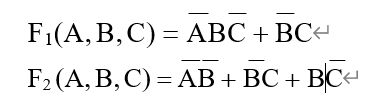
3 .实验图 6-2 是由译码器和门电路构成的组合逻辑电路，改变输入端 A2A1A0 逻

辑开关状态（000～111），观察并记录输出端 F1 和 F2 的逻辑状态。列真值表，指出此电路能够完成的逻辑功能。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 输出 | | | | | | |
| A2 | A1 | A 0 | Y0 | F1 | F2 |
| 0 | 0 | 0 |  | 0 | 0 |
| 0 | 0 | 1 |  | 0 | 1 |
| 0 | 1 | 0 |  | 0 | 1 |
| 0 | 1 | 1 |  | 1 | 0 |
| 1 | 0 | 0 |  | 0 | 1 |
| 1 | 0 | 1 |  | 1 | 0 |
| 1 | 1 | 0 |  | 1 | 0 |
| 1 | 1 | 1 |  | 1 | 1 |

根据真值表可知，F1、 F2作为二进制码，F1为地位，F2为高位，可以通过二进制的形式查询A1、 A2、 A3输入时有多少高电平输入。

6.用八选一数据选择器 74LS151 实现逻辑函数。



（1）将A、 B、 C分别于A2、A1、A0,分别获得F1、 F2的最大项。分别将其化简对应的Y连接高电平，其余接低电平，测试输出信号，通过将ABC分别改变，验证实验结果。化简结果如图2.1、 2.2所示



图2.1

（2）

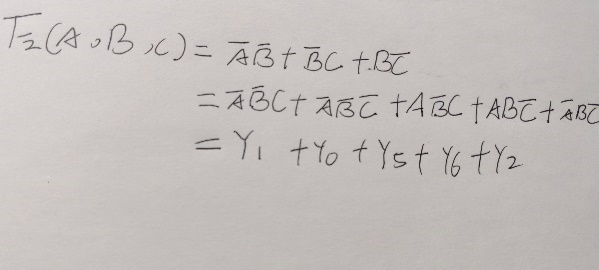


图2.2

# 实验 8 七段显示译码器

## 一、实验目的

1. 熟悉七段字形译码器CT54/74LS48 的逻辑功能。
2. 掌握七段字形译码器CT54/74LS48 的一般应用。**二、实验器材与仪器**
3. 数字电路实验箱 1 台
4. 示波器 1 台
5. 万用电表及工具
6. CT54/74LS48 1 片

## 三、实验内容

1. 4 线-7 线显示译码/驱动器 CT74LS48 逻辑功能的测试

译码器 CT54/74LS48 的输出 a～g 为高电平有效，用于驱动共阴极式的七段数码管， OC 输出，内部接有 2kΩ 的上拉电阻而无需外接。当 *V*CC=5V 时，输出端只能提供 2mA左右的电流，如果数码管需要的电流大于这个数值时，则应在 2kΩ 的上拉电阻上再并联适当的电阻。使用时其输出 a～g 分别对应接七段显示器的 a～g 输入端。

CT54/7448 外引线功能：

LT ——灯测试输入。当输入低电平时，译码器输出 a～g 均为高电平（ H ），数码管七段全亮，以检查该数码管各段能否正常发光。正常工作时LT 应接高电平或开路。

RBI ——动态灭灯输入。设置灭零输入信号RBI 的目的是为了能把不希望显示的零熄灭。如果不要灭十进制零时， RBI 必须开路或为高电平。

BI / RBO ——灭灯输入/动态灭灯输出。作灭灯输入（BI）或动态灭灯输出（RBO）

之用，或兼作两者用。当BI / RBO 加低电平（L）时，译码器输出 a～g 均为低电平（L），数码管七段全灭。动态灭零有效时，动态灭灯输出（RBO）处于低电平。

在多位十进制数的译码显示中，将最高位译码器的RBI 接低电平（ L ），则当该位十进制数为 0 时，该位数码管的 0 字将不显示，称为自动灭零。若将最高位译码器的 BI / RBO 接到次高位译码器的RBI 端，其余位也依次顺序相接，则可自动熄灭高位无效的零。

实验图 8-1 为 CT74LS48 的逻辑符号，按实验表 8-1 测试CT74LS48 输出端 a～g 的

逻辑状态，并把测试结果记入表中。

1. 把CT74LS48 的输出端a～g 接到七段数码显示器(实验图 8-2)上，按实验表 8-1

改变输入端状态，观察显示器显示的字形。

(7)

(1)

(2)

(6)

(3)

(4)

(5)

74LS48

(13)

(12)

(11)

(10)

(9)

(15)

(14)

g f a b

DPY

a

f

g

b

e d c dp

e d c op

实验图 8-1 CT74LS48 的逻辑符号 实验图 8-2 七段数码显示器



A0 a

A1 b

A2 c

A3 d

e

LT f

BI/RBO g RBI

**实验表 8-1 CT74LS48 逻辑功能表**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 序号 | 输 入 | | | | | | 输 出 | | 字形 |
| A3 | A2 | A1 | A0 | RBI | LT | BI / RBO | a b c d e f g |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | HHHHHHL | 0 |
| 1 | 0 | 0 | 0 | 1 | Φ | 1 | 1 | LHHLLLL | 屏幕截图 2024-11-12 012653 |
| 2 | 0 | 0 | 1 | 0 | Φ | 1 | 1 | HHLHHLH | 屏幕截图 2024-11-12 012809 |
| 3 | 0 | 0 | 1 | 1 | Φ | 1 | 1 | HHHHLLH | 3 |
| 4 | 0 | 1 | 0 | 0 | Φ | 1 | 1 | LHHLLHH | 4 |
| 5 | 0 | 1 | 0 | 1 | Φ | 1 | 1 | HLHHLHH | 5 |
| 6 | 0 | 1 | 1 | 0 | Φ | 1 | 1 | HLHHHHH | 6 |
| 7 | 0 | 1 | 1 | 1 | Φ | 1 | 1 | HHHLLLL | 7 |
| 8 | 1 | 0 | 0 | 0 | Φ | 1 | 1 | HHHHHH | 8 |
| 9 | 1 | 0 | 0 | 1 | Φ | 1 | 1 | HHHLLHH | 9 |
| 10 | 1 | 0 | 1 | 0 | Φ | 1 | 1 | LLLHHLH | 10 |
| 11 | 1 | 0 | 1 | 1 | Φ | 1 | 1 | LLHHLLH | 11 |
| 12 | 1 | 1 | 0 | 0 | Φ | 1 | 1 | LHLLLHH | 12 |
| 13 | 1 | 1 | 0 | 1 | Φ | 1 | 1 | HLLLLHH | 13 |
| 14 | 1 | 1 | 1 | 0 | Φ | 1 | 1 | LLLHHHH | 14 |
| 15 | 1 | 1 | 1 | 1 | Φ | 1 | 1 | LLLLLLL | 15 |
| 灭灯 | Φ | Φ | Φ | Φ | Φ | Φ | 0 | LLLLLLL | 15 |
| 灭零 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | HHHHHHL | 0 |
| 试灯 | Φ | Φ | Φ | Φ | Φ | 0 | 1 | HHHHHHH | 8 |



图一、实验中输入均为零时



图二、实验中输入A1、A2输入高电平、A3、A0输入低电平

# 实验 10 锁存器、触发器逻辑功能测试及相互转换

## 一、实验目的

1. 熟练掌握各种触发器的逻辑功能和特征方程。
2. 了解触发器的应用。
3. 熟悉各种触发器相互转换的方法。

## 二、实验器材与仪器

|  |  |  |
| --- | --- | --- |
| 1. 数字电路实验箱 | 1 台 |  |
| 2. 示波器 | 1 台 |
| 3. 万用电表及工具 |  |
| 4．双JK 触发器 74LS112 |  | 1 片 |
| 1. 双D 触发器 74LS74 2. 其他必要的门电路 |  | 1 片 |

**三、实验内容**

1. 基本RS 触发器逻辑功能测试

用与非门构成的基本 RS 触发器如实验图 10-1 所示。当Rd ，Sd 加不同逻辑电平时，记录输出Q ， Q 端相应的状态，并把结果记入实验表 10-1 中。在观察Rd Sd =00→11时的不定状态时，应将R d ，Sd 接在同一只逻辑开关上，

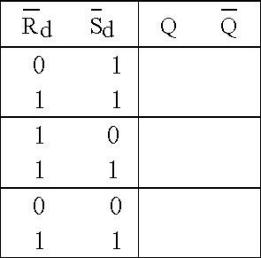
以保证Rd ， Sd 同时变化。对于不同的与非门组成的

RS 触发器，Rd Sd =00→11 的实验结果各不相同。但对某一具体RS 触发器来说，反复做几次所得的结果应是一样的。

1. JK 触发器逻辑功能测试

实验图 10-1 基本 RS 触发

**实验表 10-1 RS 触发器功能表**

实验图 10-2 为JK 触发器CT74LS112（双 JK，下降沿触发）的逻辑符号。任选其中一个 JK 触发器，进行逻辑功能测试。

异步置位端S 和异步复位端R 的功能测试，如表

10.1所示

|  |  |
| --- | --- |
| S R | Q ， Q |
| 1. 1 2. 1 | 1 0  1 1 |
| 1 0  1 1 | 1. 1   0 1 |
| 0 0  1 1 | 1. 1   1 0/0 1（不定态） |

表10.1

J，K，CP 端为任意状态，当R ， S 加不同逻辑电平时，记录输出Q ， Q 端相应的状态，并把结果记入实验表 10-2 中。在R 或S 作用期间（即R =0 或S = 0 ），任意改变 J， K，CP 端的状态，观察输出端Q ， Q 的状态是否变化。

答：不改变，保持原状态。

(4)

(3)

(1)

(2)

(15)

(10)

(11)

(13)

(12)

(14)

74LS112

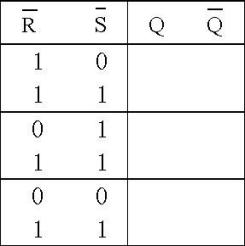
(5)

 (6)

(9)

 (7)

**实验表 10-2 JK 触发器的置位复位功能表**



实验图 10-2 CT74LS112 的逻辑符号

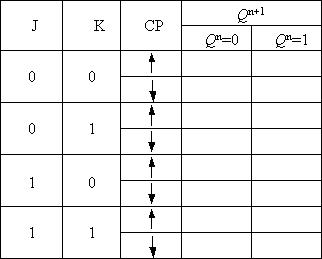
|  |  |
| --- | --- |
| S 1J C1 1K R | 1Q  1Q |
| S |  |
| 1J | 2Q |
| C1 |  |
| 1K | 2Q |
| R |  |

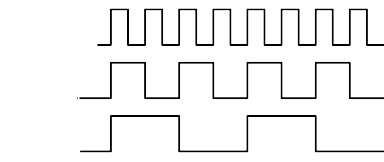
(2) JK 触发器逻辑功能测试

① 用S ， R 的置位、复位功能使现态 Qn 为 0 或 1。

② 使S R =11，根据实验表 10-3 给定 J，K 的值，在 CP 端输入单脉冲，观察单脉冲由 1→0（下降沿）和由 0→1（上升沿）时输出端 *Q*n+1 状态的变化（*Q*n=0 时测一组次态，*Q*n=1 时再测一组次态），并把结果记入实验表 10-3 中。

**实验表 10-3 JK 触发器功能表**





CP

J K

实验图 10-3 测试 JK 触发器功能输入波形

试验后，数据如表10.2所示。

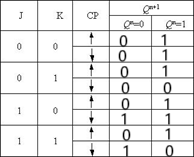


表10.2



74LS74

(4)

(3)

S

(5)

(2) C1

1Q

(1)

1Q

(6)

1D R

1Q

S

(12) C1

(9)

(13)

(10)

(11)

1D

R

1Q

(8)



CD4027

(9) S

(10)

(13) C1

1J

1Q (15)

(11)

(12)

1K

1

(14)

R

(7) S

(6) 1J

(3) C1

(5) 1K

(4) R

1Q (1)

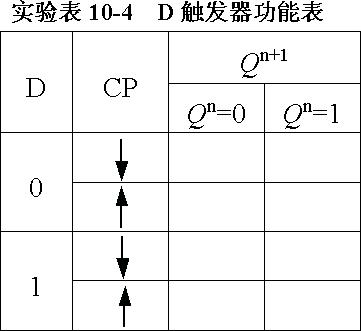
1Q

(2)

实验图 10-5 CD4027 逻辑符号 实验图 10-6 74LS74 逻辑符号

1. D 触发器逻辑功能测试

实验图 10-6 为双D 触发器 CT74LS74（上升沿触发）的逻辑符号，任选其中一个 D

触发器，进行逻辑功能测试。

(1）置位复位端S ， R 的功能测试

CP，D 为任意状态，测试 D 触发器置位、复位端S ， R 的功能。测试方法及步骤同JK 触发器。

置位复位端S ， R 的功能测试结果如图10.3所示。

|  |  |
| --- | --- |
| S R | Q ， Q |
| 1. 1 2. 1 | 1 0  1 1 |
| 1 0  1 1 | 1. 1   0 1 |
| 0 0  1 1 | 1. 1   1 0/0 1（不定态） |

表10.3

(2)触发器逻辑功能的测试

按实验表 10-4 的要求测试输出端 Qn+1 的状态，把测试结果记入表中。测试方法及步骤同 JK 触发器。

|  |  |  |  |
| --- | --- | --- | --- |
| D | CP | QN+1 | |
| QN=0 | QN=1 |
| 0 |  | 0 | 1 |
|  | 0 | 0 |
| 1 |  | 0 | 1 |
|  | 1 | 1 |

图10.4

(4）按实验图 10-8 所示的电路连接线路，在 CP 端加入连续脉冲信号，用示波器观察并记录输入脉冲和输出端Q 的变化，说明此电路能够完

1D Q

Q

CP

C1 Q

成的逻辑功能。

实验结果如图10.1所示 实验图 10-8 D 触发器应用电路



图10.1

逻辑功能：通过D触发器组成二分频电路，将输入信号进行分频

# 实验 11 用触发器设计同步计数器

## 一、实验目的

1. 掌握时序电路的设计方法。
2. 训练设计、接线与排除故障的能力。

## 二、实验器材与仪器

|  |  |  |
| --- | --- | --- |
| 1. 数字电路实验箱 2. 示波器 | 1 台  1 台 |  |
| 3. 万用电表及工具 |  |
| 4. 双JK 触发器 74LS112 |  | 2 片 |
| 1. 双D 触发器 74LS74 2. 其他必要的门电路 |  | 2 片 |

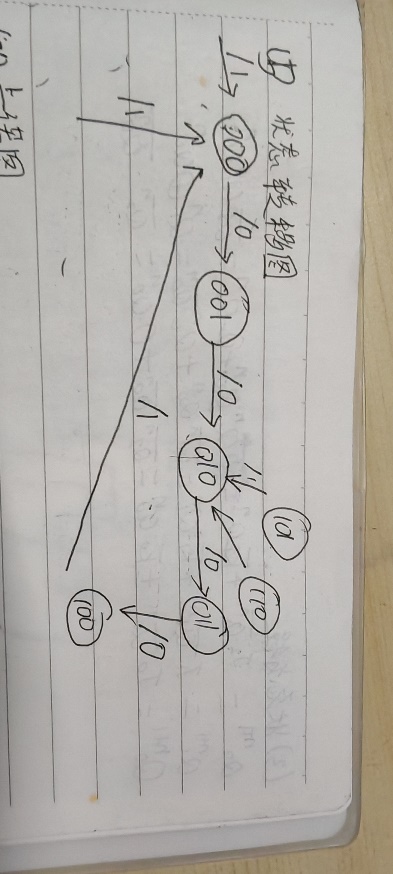
**三、实验内容**

1. 用 JK 触发器设计同步五进制加法计数器，计数值由 0→1→2→3→4，然后返回

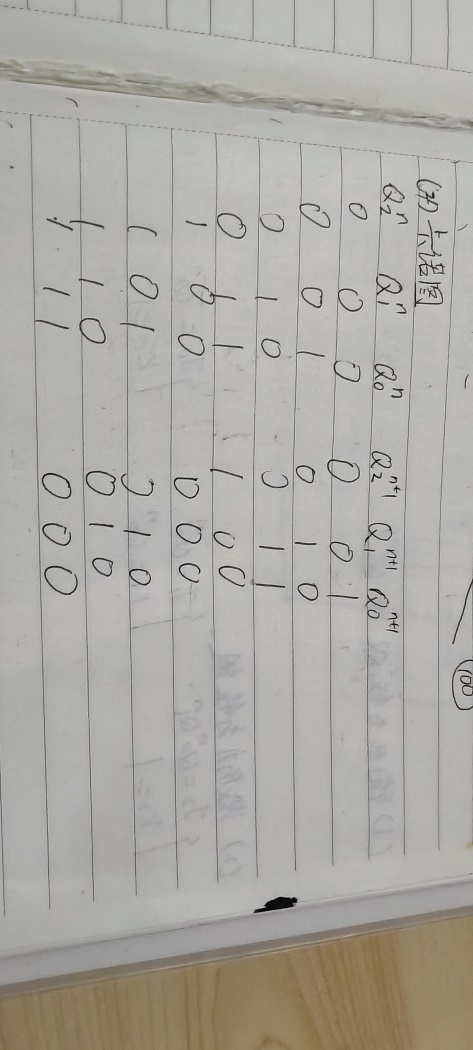
0。写出设计过程，包括状态转移图、卡诺图、状态方程、激励方程、电路图。用实验箱译码显示部分验证结果。

设计过程：

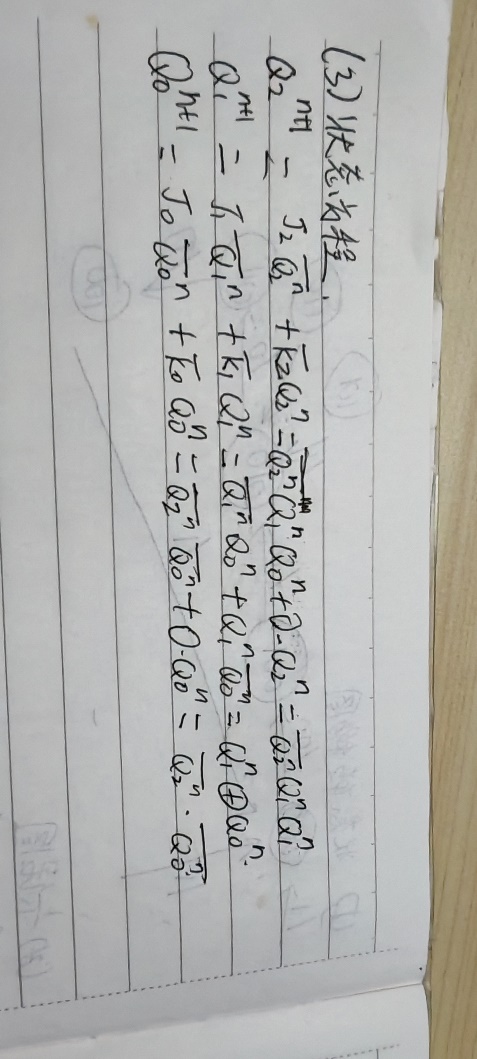
1. 状态转移图



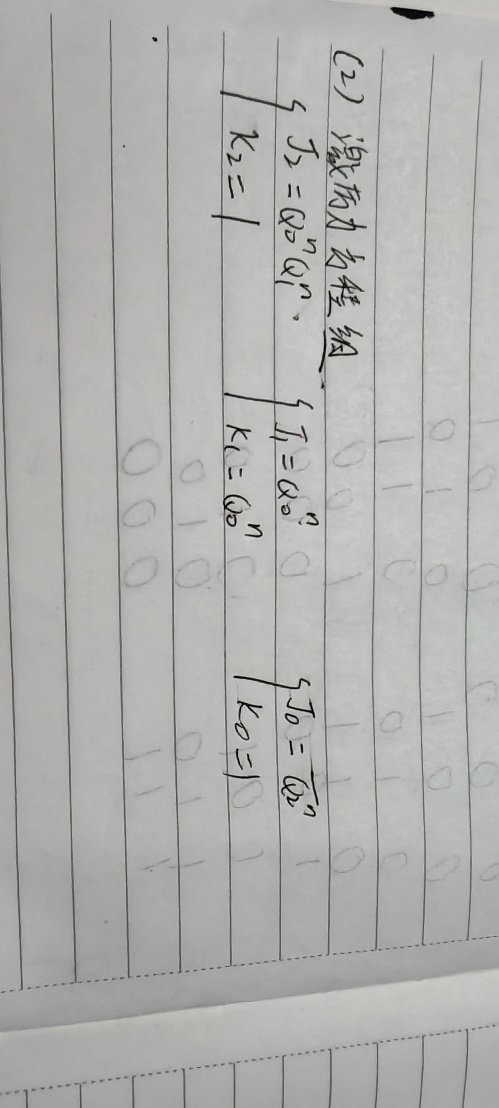
1. 卡诺图



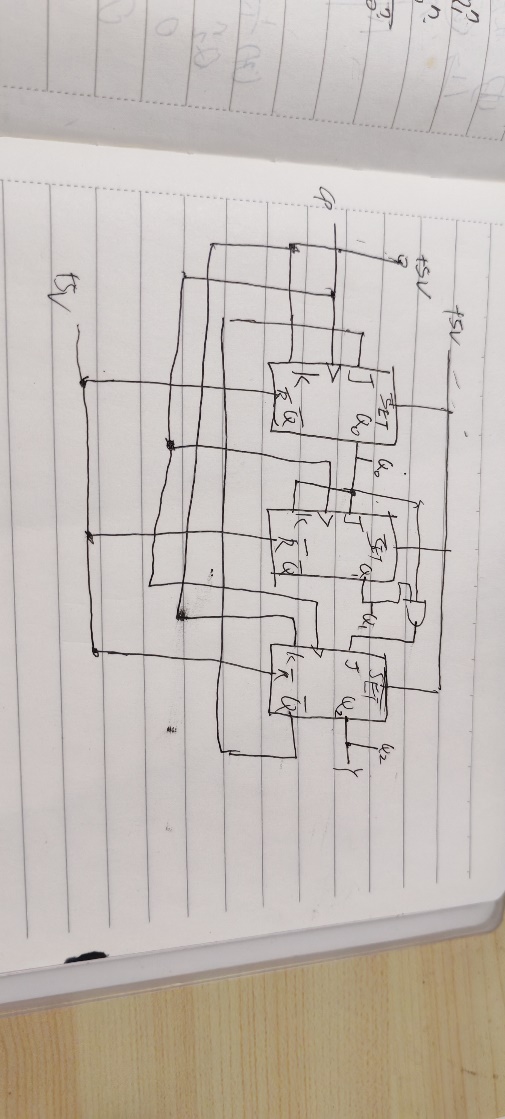
（3）状态方程



（4）激励方程



（5）电路图



# 实验 12 用触发器设计节拍发生器和序列信号发生器

## 一、实验目的

1. 掌握时序电路的设计方法。
2. 训练设计、接线与排除故障的能力。

## 二、实验器材与仪器

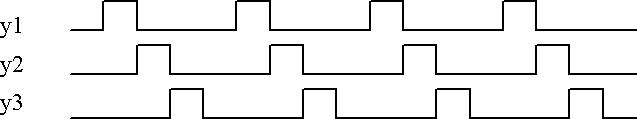
|  |
| --- |
| 1. 数字电路实验箱 1台 2. 示波器 1台 |
| 3. 万用电表及工具 |
| 4. 双D 触发器 74LS74 2片 |
| 1. 双JK 触发器 74LS112 2片 2. 其他必要的门电路 |

|  |  |
| --- | --- |
|  |  |
|  |
|  |  |
|  |  |

## 三、实验内容

一、

1. 用D 触发器产生节拍发生器，其时序图如实验图 12-1 所示。用实验箱上的发光二极管验证设计结果。



实验图 12-1 节拍发生器时序图

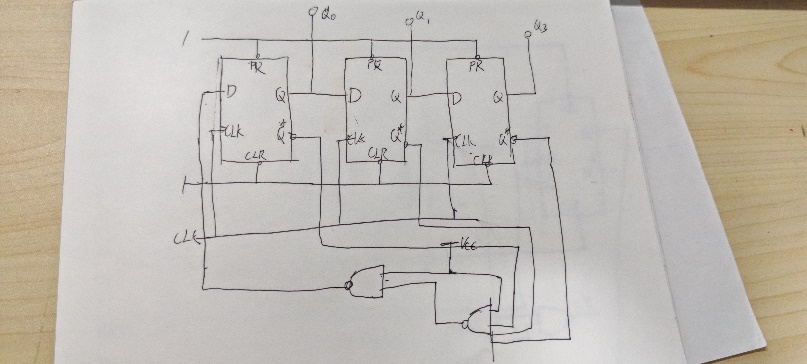
**2.状态方程**：

D2= Q1

D 1=Q0

D0 =Q2’Q1’Q0’=[(Q2’Q1’Q0’1)’1]’

**3.电路图：**



**3.实验结果**

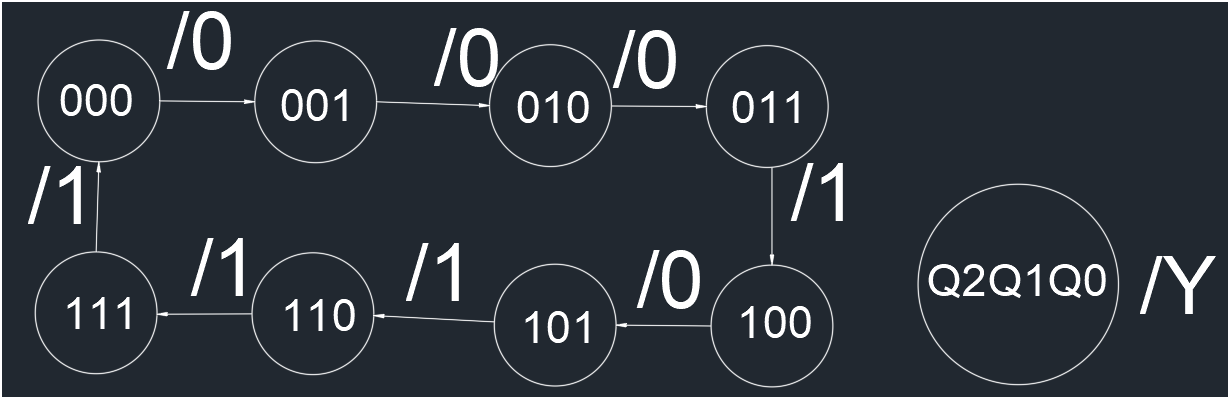
指示端指示情况按000——100——010——001不断循环，实现题干节拍发生 器的功能。

二、.用三个 JK 触发器和门电路实现计数型 00010111 序列发生器，用示波器及 实验箱上的发光二极管验证设计结果。

**1、实验内容**

用三个 JK 触发器和门电路实现计数型 00010111 序列发生器，用示波器及实验箱上的发光二极管验证设计结果。

1. **设计思路**
2. 状态转换图



（2） 状态转换表

|  |  |  |
| --- | --- | --- |
| Q2Q1Q0 | Q2\*Q1\*Q0\* | Y |
| 000 | 001 | 0 |
| 001 | 010 | 0 |
| 010 | 011 | 0 |
| 011 | 100 | 1 |
| 100 | 101 | 0 |
| 101 | 110 | 1 |
| 110 | 111 | 1 |

|  |  |  |
| --- | --- | --- |
| 111 | 000 | 1 |

（3）Q2\*的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2\Q1Q0 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |

Q2\*= Q2’Q1Q0+ Q2Q1’+ Q2Q0’

（4）Q1\*的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2\Q1Q0 | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |

Q1\*=Q1’ Q0+ Q1Q0’

（5）Q0\*的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2\Q1Q0 | 00 | 01 | 11 | 10 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |

Q0\*= Q0’

（6）Y的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2\Q1Q0 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |

（7）状态方程

Q2\*=(Q1Q0) Q2’+(Q1Q0)’ Q2=J Q2’+K’ Q2

Q1\*=(Q0) Q1’+(Q0)’Q1=J Q1’+K’Q1

Q0\*= Q0’=(1) Q0’+(0) Q0=J Q0’+K’Q0

（8）激励方程

J2= K2=Q1Q0 =[( Q1Q0)’]’

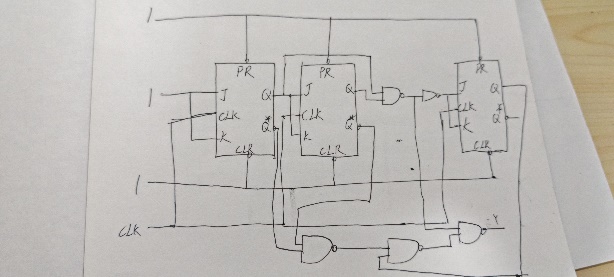
J1=K1=Q0

J0 = K0=1

（9）输出方程

Y= Q1Q0+ Q2(Q1+ Q0)= Q1Q0+ Q2 (Q1’Q0’)’ 总需三个二输入与非

**3.电路图**

****

**4、实验结果**00010111

将该电路通过指示灯显示结果，且将该指示灯在相同频率的信号输入下高闪烁一次作为一倍时长，指示灯按照时间段分为3倍的暗，开始1倍的量后1倍的暗，后出现三倍的暗。且重复此步骤。

# 实验 14 集成计数器的功能测试及应用

## 一、实验目的

1. 熟悉中规模计数器的功能。
2. 学会中规模计数器的级联方法。
3. 掌握中规模计数器构成任意模值计数器的方法。
4. 训练设计、接线与排除故障的能力。

## 二、实验器材与仪器

1. 数字电路实验箱 1 台
2. 示波器 1 台
3. 万用电表及工具
4. CT54/74161（4 位二进制同步计数器，异步清除） 2 片

5．74LS160 2 片

1. 74LS48 2 片
2. 其他必要的门电路

## 三、实验内容

1. 用CT54/74161 实现模 10 计数器：
   1. 用复位法。

由于CT54/74161为异步清除，所以当Q1Q3均为高电平时，即计数为10时，复位为0，将Q1,Q3连接与非门后连接复位信号，将输入信号连接到数码显示管，电路图如图1.1所示。

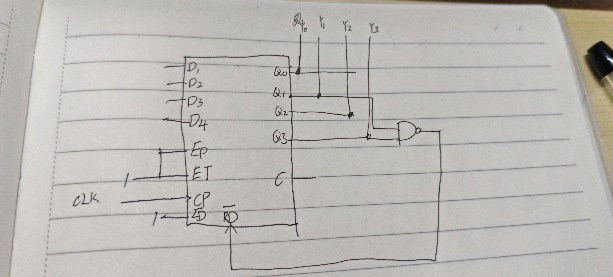


图 1.1

* 1. 用置位法。

由于CT54/74161为同步置数，所以当Q0Q3均为高电平时，即计数为9时，准备置数，将Q0,Q3连接与非门后连接置位信号，将输入信号连接到数码显示管，电路图如图1.2所示

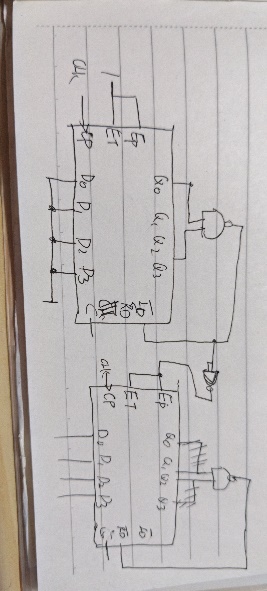
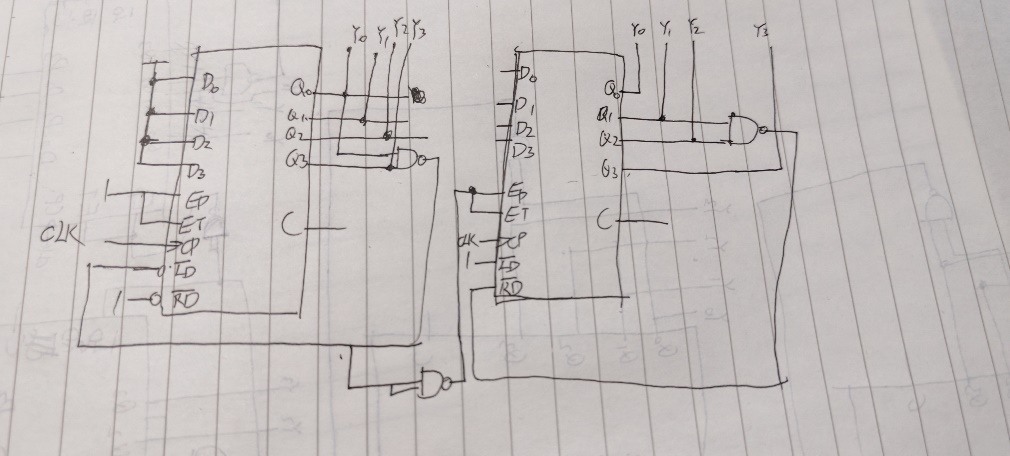


图 1.2

·26· 数字电路实验教程

1. 用CT54/74161 及门电路组成十进制的 0～59 计数器。

通过将一个实数的十进制计数器与一个六进制计数器连接，将十进制计数器做低位，将6进制计数器做高位，高位使用复位法，低位使用置数法，通过低位的置位信号取反后连接高位6进制数的计数端。



(3)

(4)

(5)

(6)

(7)

(10)

(2)

(9)

(1)

74LS161

(14)

(13)

(12)

(11)

(15)

实验图 14-1 CT54/74161 的逻辑符号**实验表 14-1 CT54/74161 功能表**



D0 D1 D2 D3

Q0 Q1 Q2 Q3

EP ET CP LD RD

C

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| RD | LD | ET | 输  EP | CP | 入  D0 | D1 | D2 | D3 |  | 输 | 出 | |
| Q0 | Q1 | Q2 | Q3 |
| 0 | × | × | × | × | × | × | × | × | 0 | 0 | 0 | 0 |
| 1 | 0 | × | × | ↑ | d0 | d1 | d2 | d3 | d0 | d1 | d2 | d3 |
| 1 | 1 | 1 | 1 | ↑ | × | × | × | × |  | 计 | 数 |  |
| 1 | 1 | 0 | × | × | × | × | × | × | 触发器保持 *CO*=0 | | | |
| 1 | 1 | × | 0 | × | × | × | × | × |  | 保 | 持 |  |

# 实验 15 用集成计数器设计序列信号发生器及节拍发生器

## 一、实验目的

1. 掌握用中规模计数器设计序列信号发生器及节拍发生器的方法。
2. 训练设计、接线与排除故障的能力。

## 二、实验器材与仪器

1. 数字电路实验箱 1 台
2. 示波器 1 台
3. 万用电表及工具
4. CT54/74161（4 位二进制同步计数器，异步清除） 1 片
5. CT54/74138（三线——八线译码器） 1 片
6. 其他必要的门电路

## 三、实验内容

1. 用 74LS161 及门电路产生 1110110110 序列信号，用示波器及实验箱上的发光二极管验证设计结果。
2. 用 74LS161 及 74LS138 产生如实验图 15-1

所示的节拍信号（高低电平与图相反即可），用实验

箱上的发光二极管验证设计结果。 实验图 15-1 节拍发生器时序图

3.自选芯片55进制计数器。

**四、实验过程**

1. 由于需要产生的信号为10个信号循环，所1以需要将74L161置为10进制，即将Q0,Q1通过与非门连接到控制置位的LD的接口。

（1） 1. 由于需要产生的信号为10个信号循环，所1以需要将74L161置为10进制，即将Q0,Q1通过与非门连接到控制置位的LD的接口。

（2） 将将复位信号端置1，将置位控制端D1-D4置为0，使置位后的初始值为0，将允许计数端EP,ET。

（3） 通过发出的信号可以看出当输出十进制为3,6,9时为低信号，其二进制码分别为0011,0110,1001，将Q0,Q1,Q2,Q3或其非通过与非门连接实现逻辑为3,6,9时输出为低信号如图1.1所示。

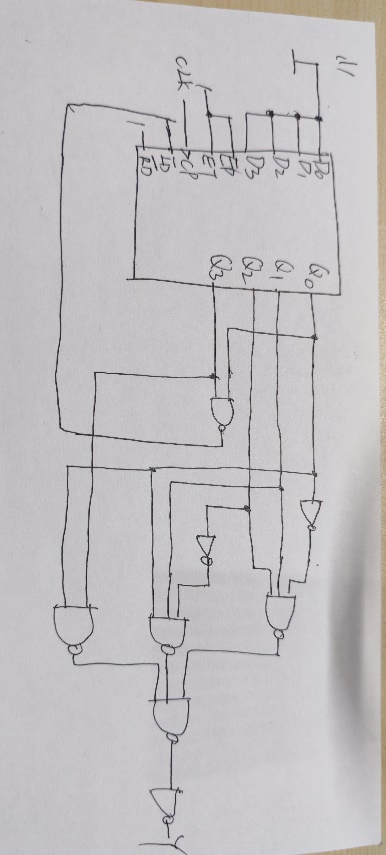


  图 1.1

（4）根据上述连接后形成的电路即可出现1110110110 序列信号。结果如图1.2所示。

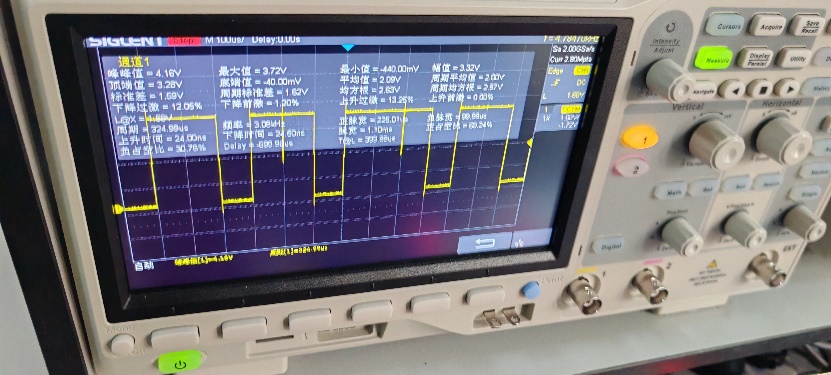


图 1.2

2.（1）根据节拍发生器时序图可知，节拍发生器的周期为8个信号为一个周期，即74161应为一个8进制的计数器。

（2）将Q3与复位信号端相连，使其满足8次信号循环，将控制进位端EP,ET置1将置位端置1。

（3）将Q1,Q2,Q3分别与74183的A0,A1,A2连接将S1，S2的非端口接地，将S1接高电平。

（4）将Y1-Y7分别与8个发光二极管连接。

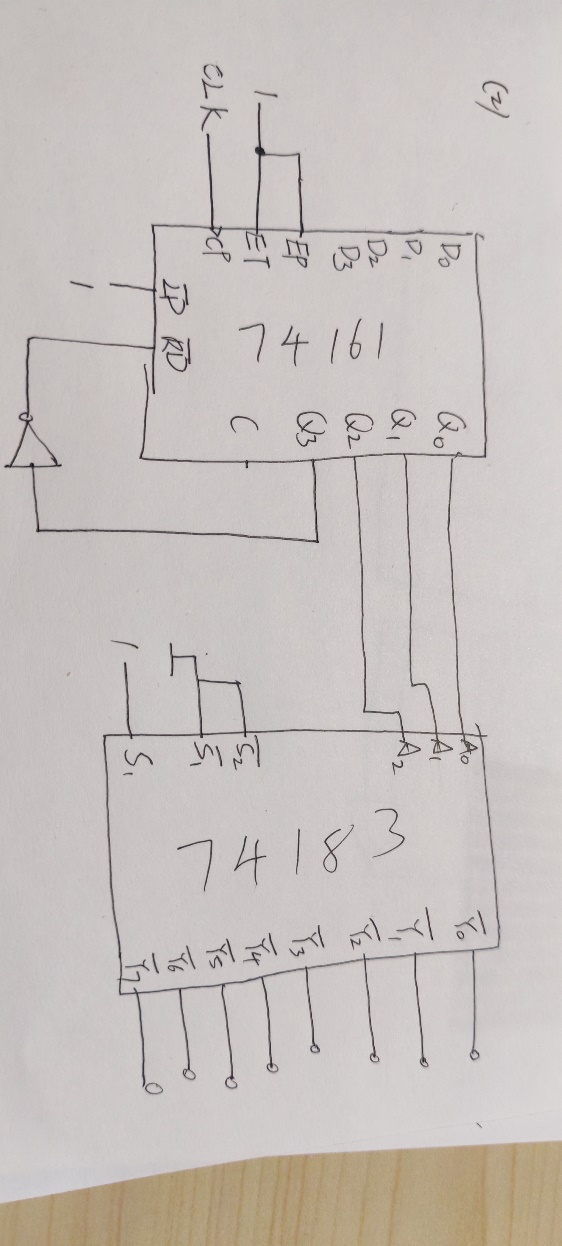


图 2.1

（5）连接完成后，结果显示如图2.2所示，每次不良的发光二极管依次从左向右移动。

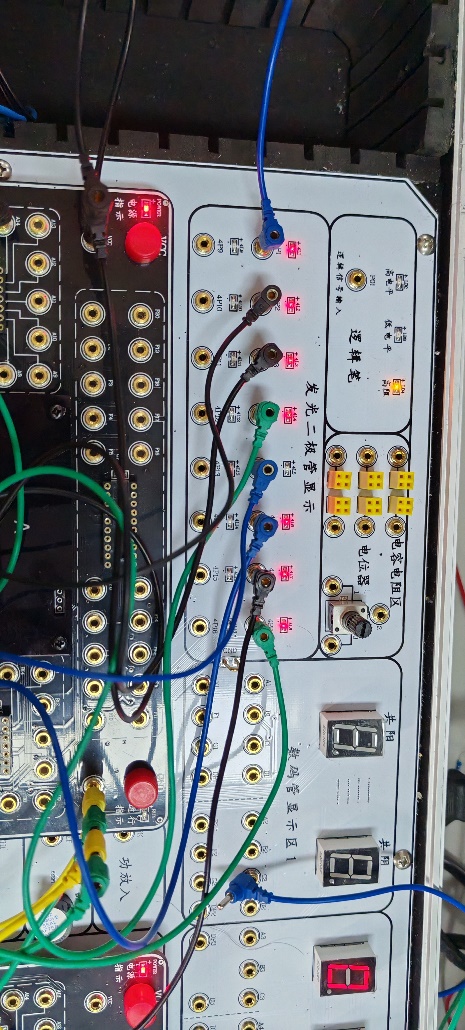


图3.2

3.（1）55进制计数器，将作为低位为10进制计数器做，将其EP,ET置1，将D0-D3与地相连，将Q1，Q3通过与非门连接置位信号端LD，将其通过置位法使其变为8进制。

（2）将Q1，Q3的与非门与作为高位74761的的EP、ET来控制进位,使得低位满10进1，，将置位端置1，将低位高位的Q1,Q3通过与非门相连，将其分别与控制高位和低位的74161的复位端相连，使其满55均置为0.

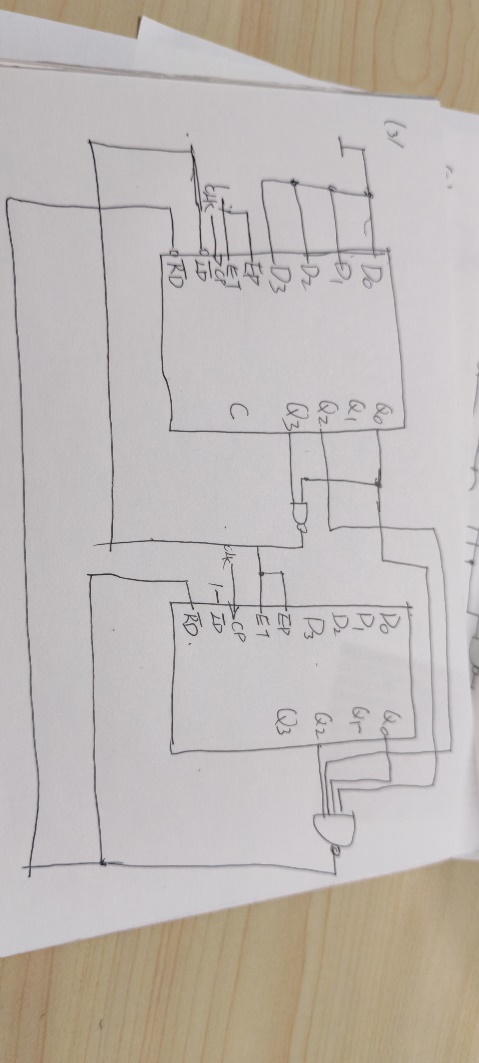


图3.1

（3）部分电路图实现展示，如图3.2，3.3，3.4所示。

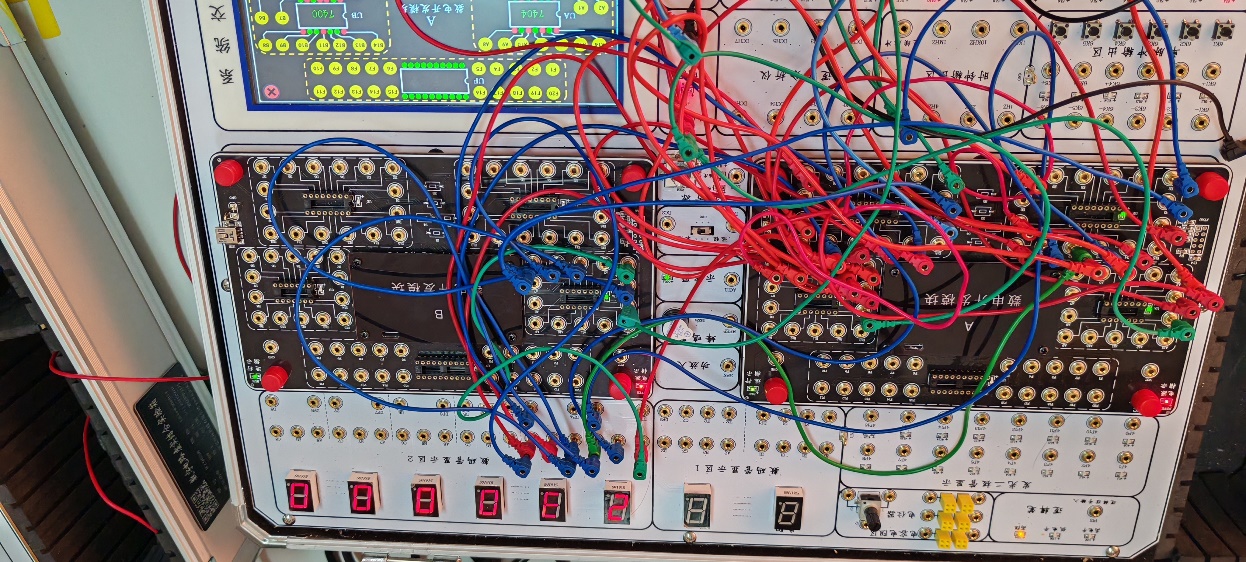


图3.2

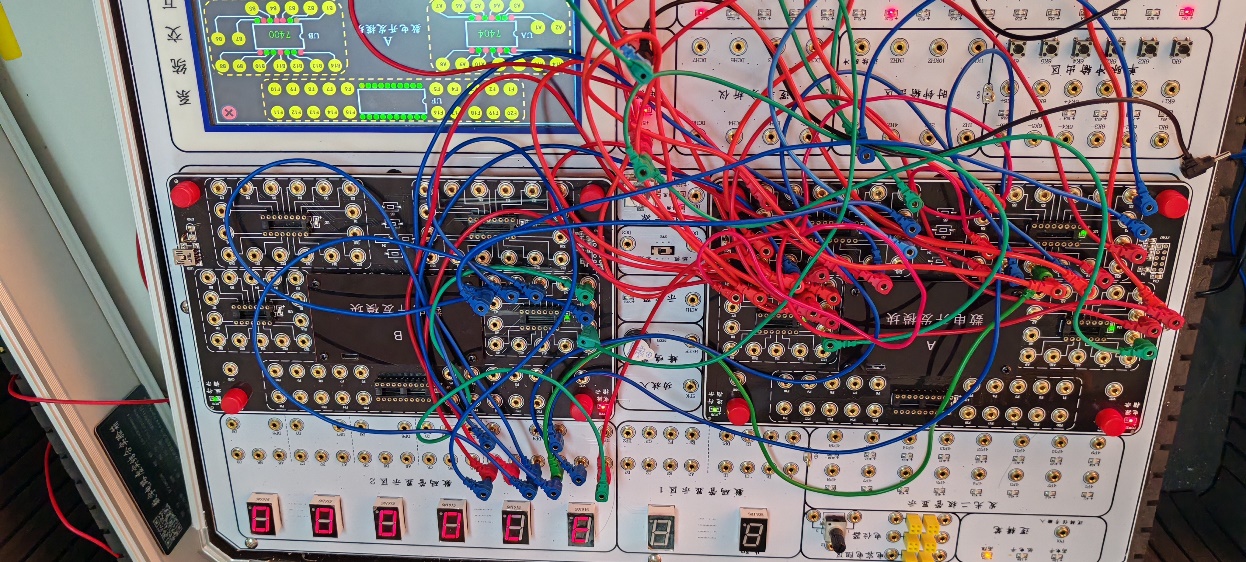


图3.3

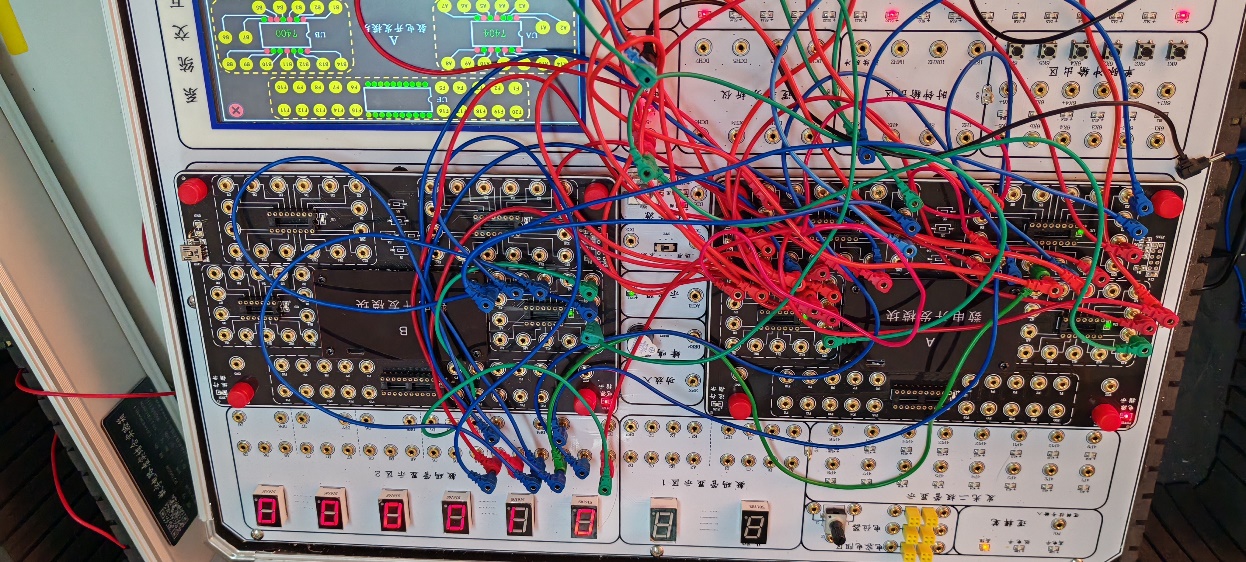


图3.4