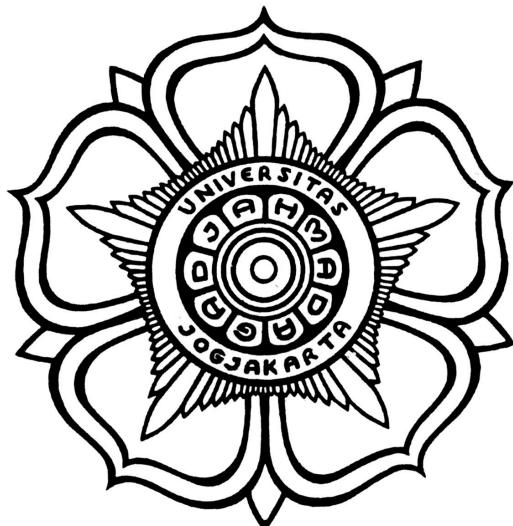


**LAPORAN PROJECT UJIAN AKHIR SEMESTER
ELEKTRONIKA DAYA (TKE215204)**



Disusun oleh:

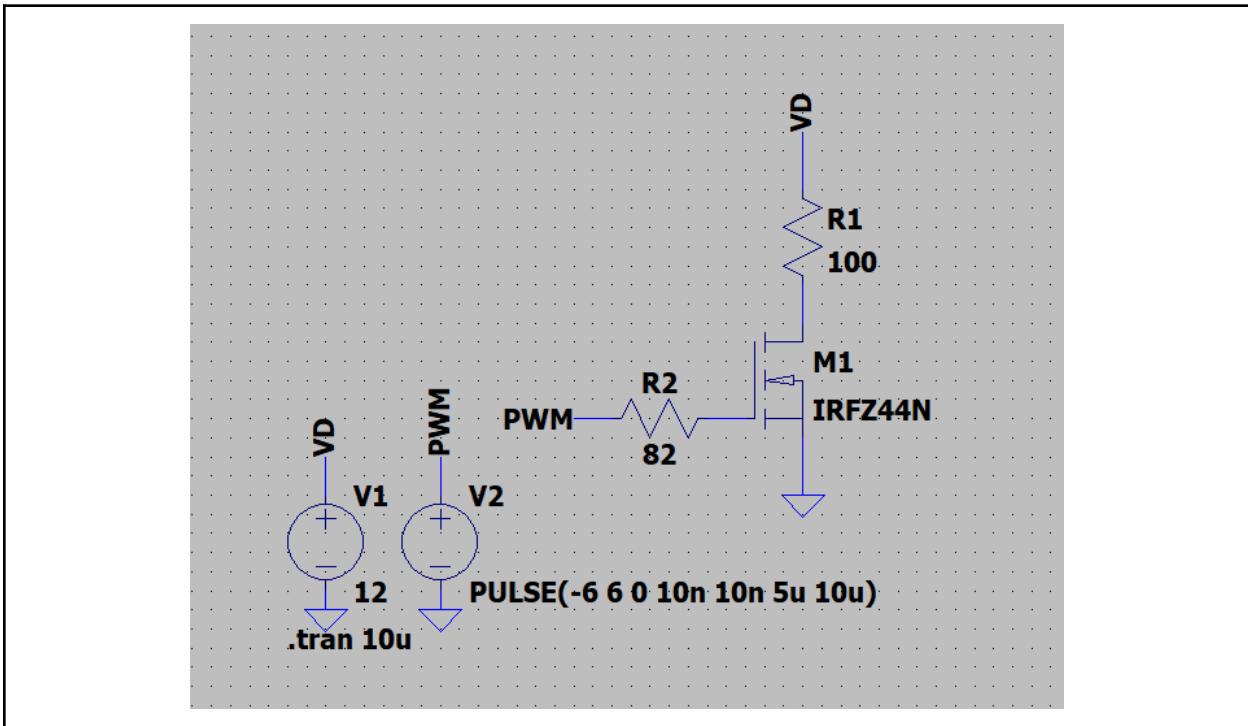
Muhammad Shafa Adhitiya
(22/496402/TK/54378)

PROGRAM STUDI TEKNIK ELEKTRO
DEPARTEMEN TEKNIK ELEKTRO DAN TEKNOLOGI
INFORMASI
FAKULTAS TEKNIK
UNIVERSITAS GADJAH MADA
YOGYAKARTA
2025

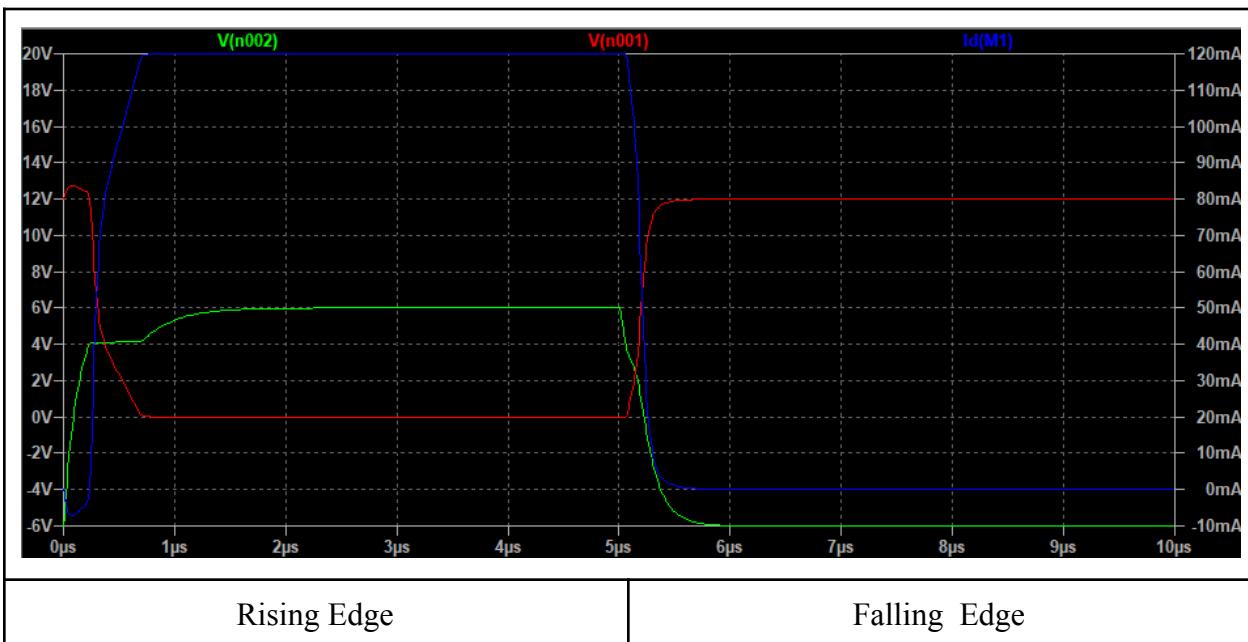
Task 1

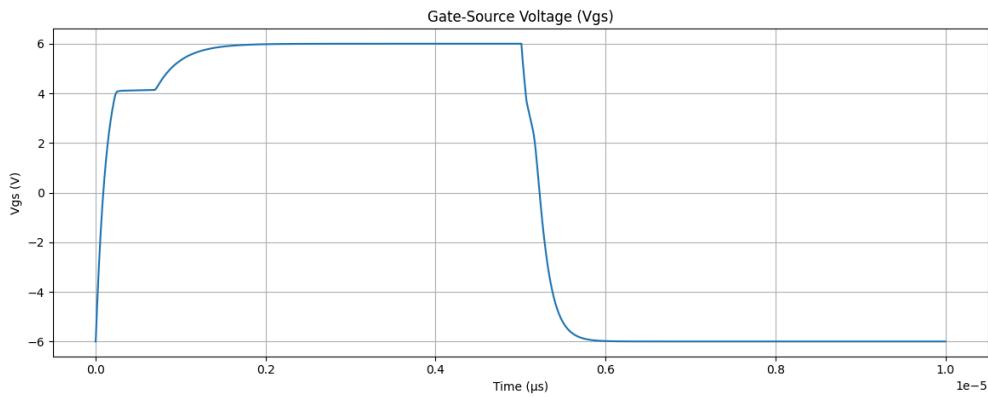
1. Low - side driving

a. Skematik Simulasi LTSpice

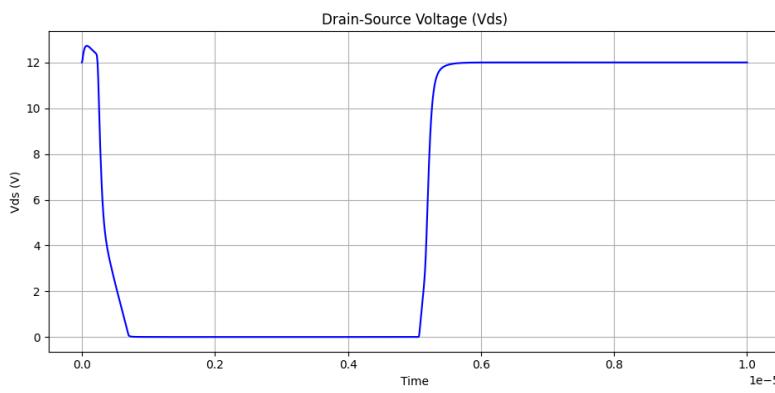


b. Hasil Simulasi

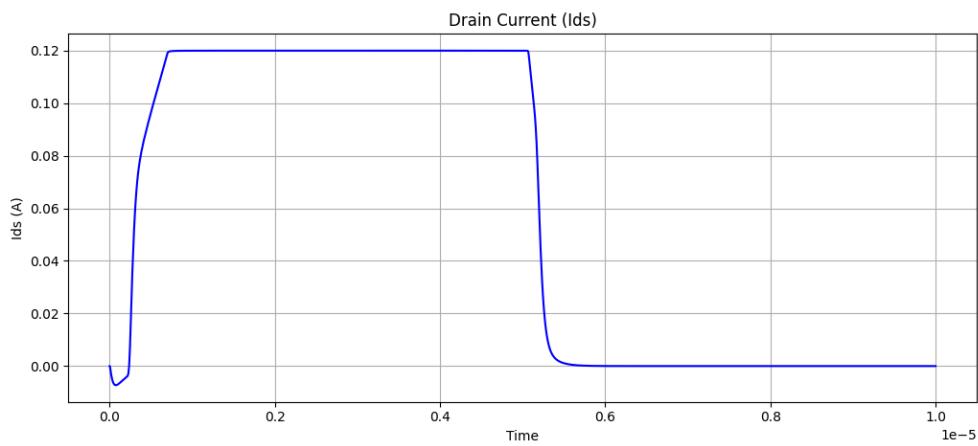




Tegangan Gate - Source V_{GS}



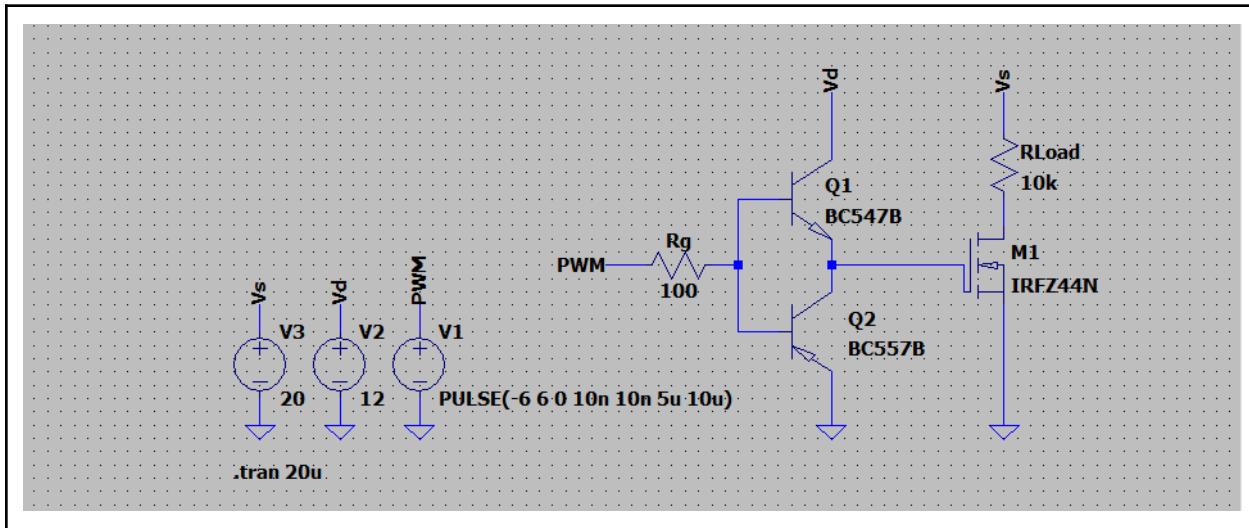
Tegangan Drain - Source V_{DS}



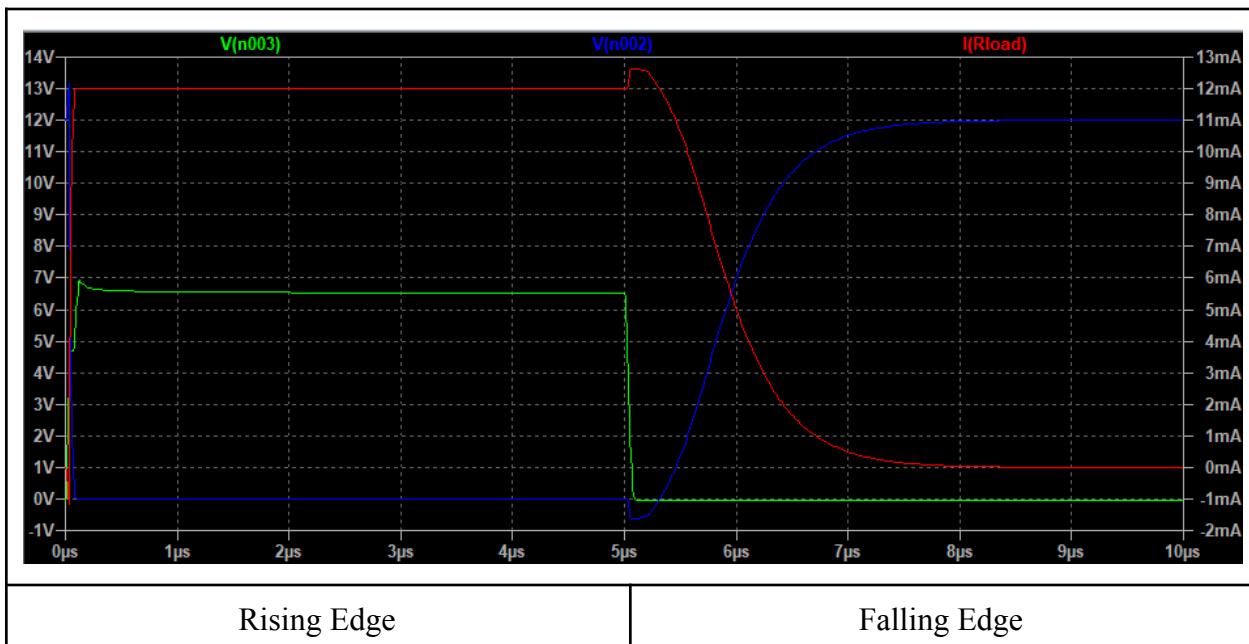
Arus Drain I_D

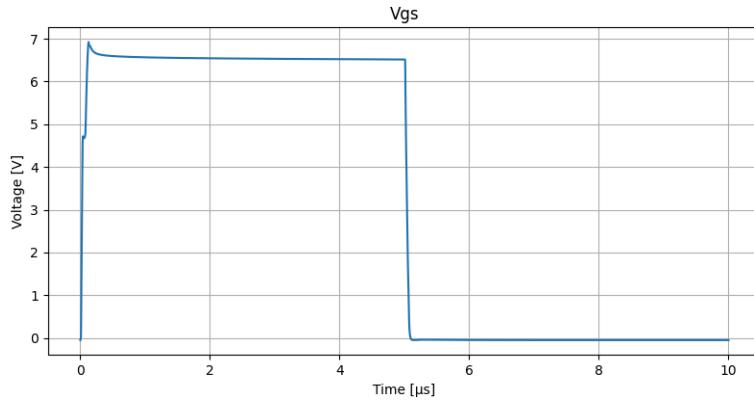
2. Totem-Pole Driver

a. Skematik Simulasi LTSpice

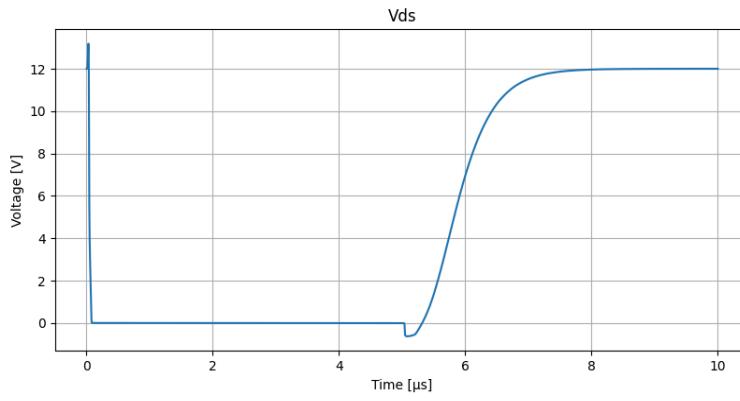


b. Hasil Simulasi

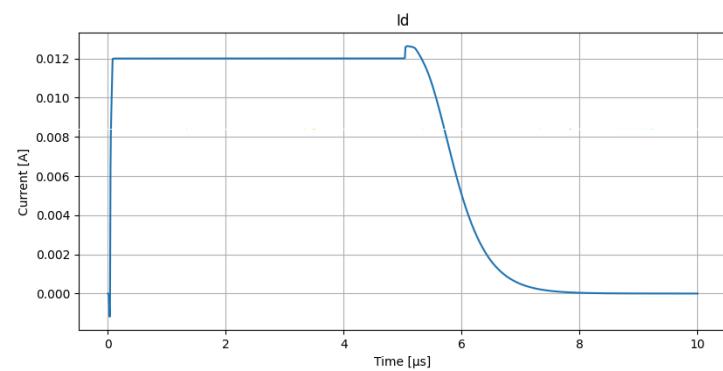




Tegangan gate-source V_{GS}

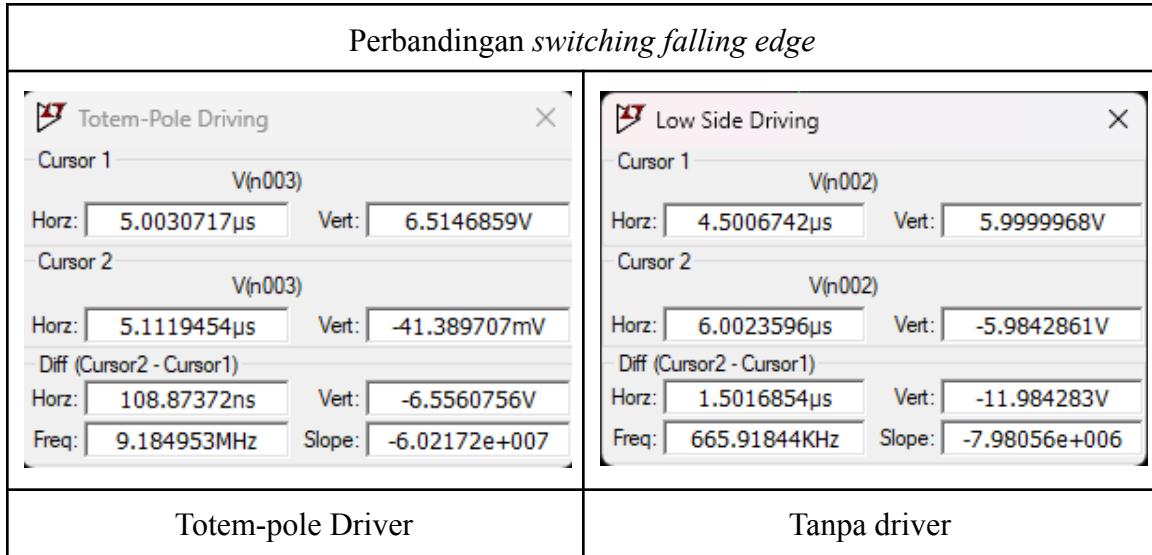
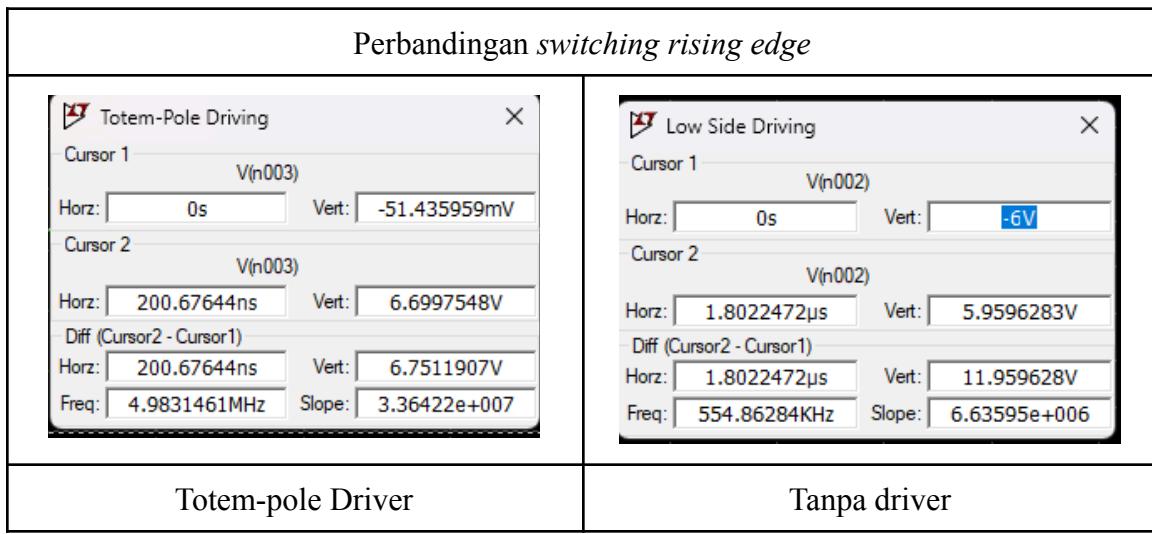


Tegangan drain-source V_{DS}



Arus Drain I_D

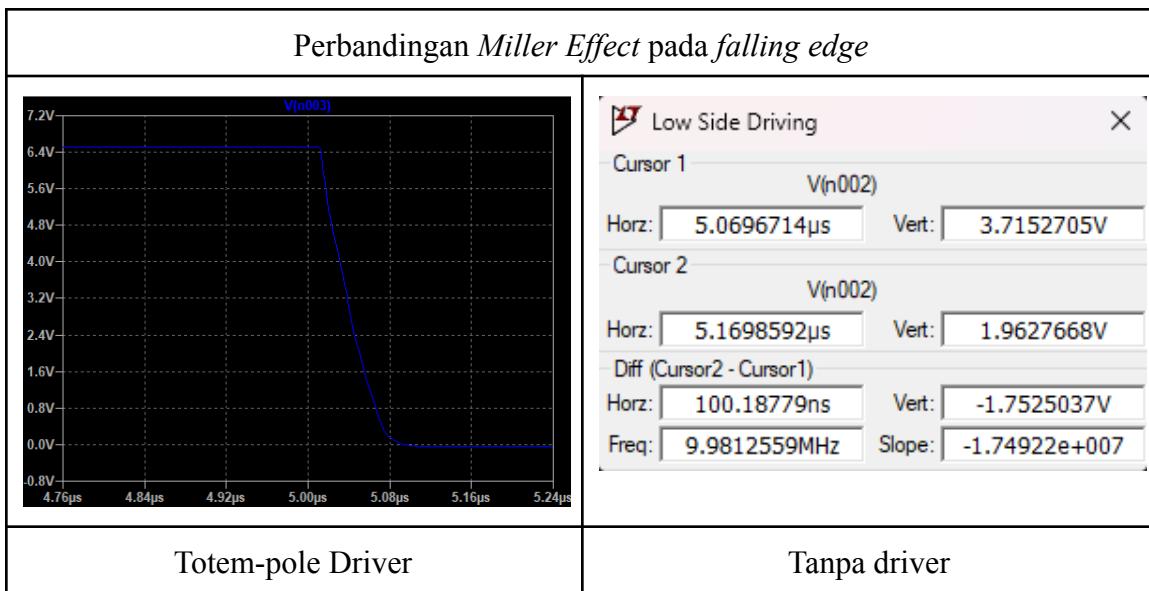
3. Perbandingan kedua topologi



Perbandingan Miller Effect pada rising edge

<p>Totem-Pole Driver</p> <p>Totem-Pole Driving</p> <p>Cursor 1 V(n003) Horz: 39.817975ns Vert: 4.714825V</p> <p>Cursor 2 V(n003) Horz: 71.672355ns Vert: 4.7232399V</p> <p>Diff (Cursor2 - Cursor1) Horz: 31.85438ns Vert: 8.4148235mV</p> <p>Freq: 31.392857MHz Slope: 264165</p>	<p>Tanpa driver</p> <p>Low Side Driving</p> <p>Cursor 1 V(n002) Horz: 280.26906ns Vert: 4.0930785V</p> <p>Cursor 2 V(n002) Horz: 695.06726ns Vert: 4.1381819V</p> <p>Diff (Cursor2 - Cursor1) Horz: 414.79821ns Vert: 45.103344mV</p> <p>Freq: 2.4108108MHz Slope: 108736</p>

Perbandingan Miller Effect pada falling edge



4. Pertanyaan

1. How does the totem-pole driver improve MOSFET switching performance compared to using only a gate resistor and a voltage source?

Jawab:

Berdasarkan hasil simulasi, topologi driver totem-pole dapat meningkatkan performa MOSFET karena memberikan kendali aktif dua arah terhadap arus gate, baik saat *rising* maupun *falling* edge yang dicapai dengan konfigurasi *push-pull* yang bekerja secara komplementer untuk menyuntik arus saat nyala dan menyedot muatan gate saat MOSFET mati. Efek ini menyebabkan proses *charging* dan *discharging* kapasitansi gate menjadi cepat, sehingga secara efektif mengurangi waktu yang dibutuhkan untuk *switching*.

Pada MOSFET, terdapat kapasitansi parasitik C_{GS} dan C_{GD} yang terbentuk akibat struktur MOSFET itu sendiri, dimana terdapat pelat logam yang dipisahkan oleh lapisan *oxide* sehingga terbentuk sebuah kapasitansi. Saat proses switching, gate harus dipindahkan melalui beberapa tahap muatan (gate charge), termasuk Miller plateau, yaitu kondisi di mana tegangan gate relatif konstan sementara arus gate digunakan untuk mengubah tegangan drain-source (V_{ds}). Pada tahap ini, efek Miller menjadi dominan, dan dibutuhkan arus gate yang cukup besar agar perubahan V_{ds} dapat berlangsung dengan cepat.

Pada gate driving yang hanya menggunakan resistor R_G , arus yang mengalir pada gate hanya diatur secara pasif oleh nilai resistor. Ketika terdapat beda potensi pada kapasitansi gate-source C_{GS} , arus gate beralih mengisi kapasitansi gate-drain C_{GD} sehingga nilai V_{GS} menjadi konstan untuk beberapa saat hingga tidak ada beda potensial antara kedua kapasitansi. Karena arus gate yang tersedia relatif kecil, proses ini berlangsung lebih lama, menyebabkan MOSFET berada dalam daerah linear untuk waktu yang lebih panjang. Dengan menggunakan push-pull driver, arus yang mengalir di gate dapat diperbesar, sehingga mempercepat pengisian kapasitansi C_{GD} sehingga efek miller menjadi minimal. Pada *rising edge*, transistor NPN menyuntik arus secara aktif ke gate, sehingga MOSFET dapat melewati *Miller plateau* dalam waktu yang singkat dan langsung beroperasi di daerah *triode/linear* dalam interval yang singkat.

2. Explain how the sourcing and sinking currents of the BJTs affect the switching speed!

Jawab:

Kecepatan *switching* rangkaian driver sangat dipengaruhi oleh kemampuan BJT dalam menyediakan arus *sourcing* dan *sinking*. Karena gate MOSFET bersifat kapasitif, proses *switching* tidak ditentukan oleh tegangan statis, melainkan kecepatan pemindahan *gate charge* Q_g .

Pada *rising edge*, gate berlaku seperti beban kapasitif yang harus melalui proses *charging* hingga mencapai tegangan operasi. Nilai arus *sourcing* dari BJT *pull-up* mempengaruhi laju pengisian Q_g yang secara langsung berhubungan dengan kecepatan *switching*. Arus gate pada *rising edge* dapat dimodelkan dengan persamaan berikut:

$$I_{g, rise} = \frac{dQ_g}{dt} \Rightarrow dt = \frac{dQ_g}{I_{g, rise}}$$

Pada awal *rise*, arus *sourcing* berperan dalam pengisian kapasitansi gate-source C_{gs} sehingga mencapai tegangan *threshold*. Semakin kecil nilai arus *sourcing*, maka delay turn-on akan semakin meningkat. Setelah MOSFET mulai konduksi, tegangan drain-source akan menurun, dan efek kapasitansi gate-drain menjadi signifikan. Pada fase ini, tegangan gate akan menjadi konstan akibat arus *sourcing* yang memindahkan muatan Miller.

$$I_{g, on} \approx C_{gd} \cdot \frac{dV_{DS}}{dt} \Rightarrow \frac{dV_{DS}}{dt} \approx \frac{I_{g, on}}{C_{gd}}$$

Dari persamaan, dapat dilihat bahwa *rate of change* V_{DS} berbanding lurus dengan arus *sourcing*. Dari hasil simulasi LTSpice, diperoleh data sebagai berikut:

	Push-pull Driver	No Push-pull Driver
Time (nanoseconds)	83	817

Terlihat perbedaan durasi Miller plateau pada kedua topologi hampir satu orde magnitudo, yang menunjukkan bahwa arus *sourcing* yang disuplai oleh driver push-pull jauh lebih besar sehingga muatan gate dapat terisi lebih cepat, dan delay turn-on berkurang secara signifikan.

Pada *falling edge*, *delay turn-off* ditentukan oleh arus *sinking* yang berperan untuk meng-*discharge* muatan yang terdapat pada kapasitansi gate yang dapat dimodelkan

dengan persamaan berikut:

$$I_{g,fall} = \frac{dQ_g}{dt} \Rightarrow dt = \frac{dQ_g}{I_{g,off}}$$

BJT pull-down pada driver push-pull berperan untuk menarik muatan dari C_{gs} sehingga nilai V_{gs} turun dari nilai drive menuju daerah plateau. Semakin kecil arus *sinking*, maka waktu yang diperlukan V_{gs} untuk turun menjadi besar. Ketika MOSFET keluar dari *triode region*, tegangan V_{DS} meningkat. Perubahan V_{DS} tersebut menyebabkan arus miller yang memperlambat perubahan V_{gs} yang menyebabkan Miller plateau pada *falling edge*. Untuk meredam pengaruh dari arus Miller tersebut, maka driver harus menyediakan arus *sinking* yang cukup.

$$I_{Miller} = C_{gd} \cdot \frac{dV_{DS}}{dt} \Rightarrow \frac{dV_{DS}}{dt} \approx \frac{I_{g,fall}}{C_{gd}}$$

Dari hasil simulasi menggunakan LTspice, didapatkan data sebagai berikut:

	Push-pull Driver	No Driver
<i>Fall time</i>	54 ns	404 ns

Perbedaan ini menunjukkan bahwa pada totem-pole driver, BJT pull-down mampu memberikan arus sinking jauh lebih besar dan impedansi jalur discharge rendah, muatan gate lebih cepat di *discharge*, Miller plateau lebih singkat, sehingga turn-off delay lebih cepat.

3. Analyze the effect of gate resistance R_g on: Switching speed, dv/dt and di/dt , and Switching energy/losses!

Jawab:

- a. Hubungan R_g terhadap switching speed:

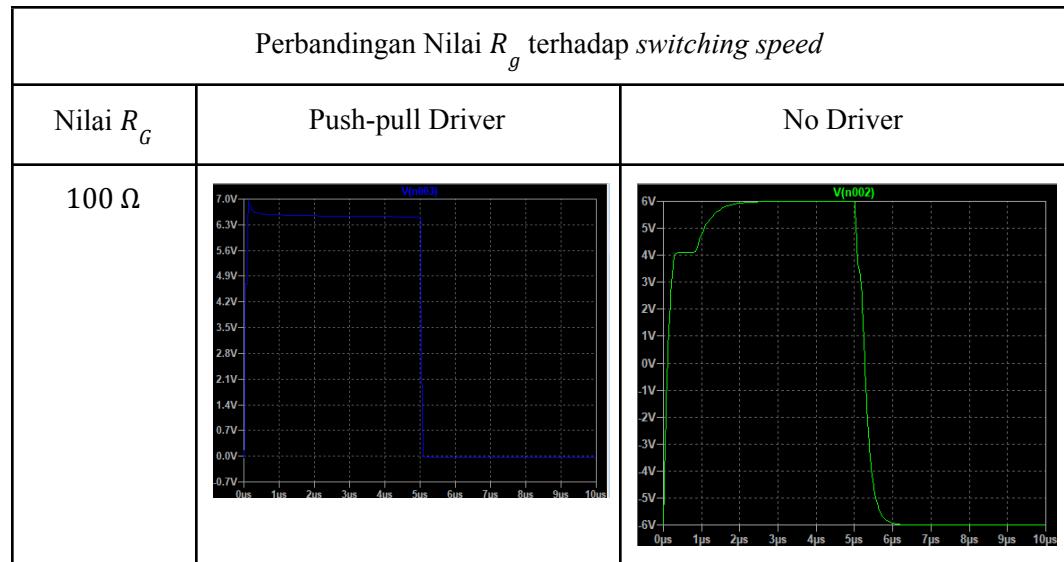
Gate pada MOSFET bersifat kapasitif, sehingga kecepatan switching ditentukan oleh arus gate I_g yang meng-charge dan discharge muatan gate Q_g . Jika driver dimodelkan sebagai sumber V_{drv} dengan resistansi keluaran ekuivalen R_{drv} yang disusun secara seri dengan resistor gate R_g , maka arus gate dapat diperkirakan sebagai berikut:

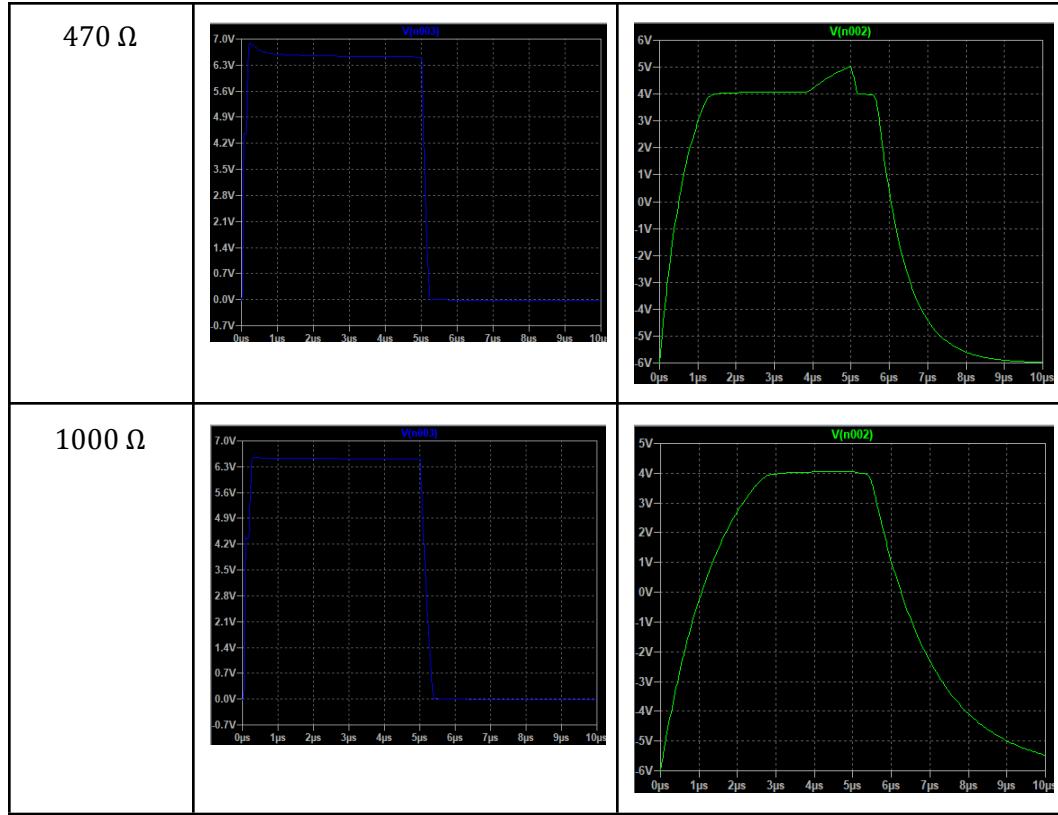
$$I_g \approx \frac{V_{drv} - V_g}{R_{drv} + R_g}$$

Dimana R_{drv} merupakan resistansi efektif driver.

$$I_g = \frac{dQ}{dt} \Rightarrow t_{sw} \approx \frac{Q_g}{I_g}$$

Karena R_g berbanding terbalik terhadap I_g , maka ketika nilai R_g makin besar, waktu yang diperlukan untuk melakukan *charging* dan *discharging* muatan gate akan meningkat akibat arus gate yang menurun.





- b. Hubungan R_g terhadap $\frac{dv}{dt}$ dan $\frac{di}{dt}$

Selama interval switching utama, terkhusus pada area Miller plateau, perubahan tegangan V_{DS} dipengaruhi oleh kapasitansi C_{gd} . Pada tahap ini, sebagian arus gate digunakan untuk memindahkan muatan pada kapasitansi C_{gd} yang dimodelkan oleh hubungan:

$$I_g \approx C_{gd} \frac{dV_{ds}}{dt} \Rightarrow \frac{dV_{ds}}{dt} \approx \frac{I_g}{C_{gd}}$$

Dari persamaan tersebut, dapat dilihat bahwa perubahan V_{DS} berbanding lurus dengan I_g . Karena R_g berbanding terbalik dengan I_g , maka nilai R_g yang kecil dapat menghasilkan perubahan $\frac{dv}{dt}$ yang cepat.

Perubahan arus $\frac{di}{dt}$ dipengaruhi oleh kecepatan *channel* MOSFET berubah dari kondisi off ke on dan sebaliknya. Pada rangkaian induktif, hubungan tegangan dan arus dapat dimodelkan sebagai berikut:

$$V_L = L \frac{di}{dt}$$

Saat nilai R_g kecil, arus yang mengalir ke gate besar yang menyebabkan *conduction channel* MOSFET terbentuk dengan lebih cepat sehingga menghasilkan perubahan arus $\frac{di}{dt}$ yang besar. Sebaliknya nilai R_g yang besar akan mengakibatkan pembentukan *channel* yang lebih lambat sehingga nilai $\frac{di}{dt}$ kecil.

- c. Pengaruh R_g terhadap *Switching Energy* dan *Switching Losses*

Sebelumnya sudah dibahas mengenai efek R_g terhadap kecepatan *switching*. Energi *switching* merupakan integral dari daya instan pada MOSFET selama masa transisi:

$$E_{sw} = \int_{t0}^{t1} v_{DS}(t) i_D(t) dt$$

Ketika interval switching menjadi panjang akibat efek nilai R_g , dimana nilai V_{DS} masih cukup tinggi dan arus drain sudah mengalir atau sebaliknya, maka nilai energi *switching* akan membesar. Estimasi energi yang hilang akibat pengaruh switching pada MOSFET sebagai berikut:

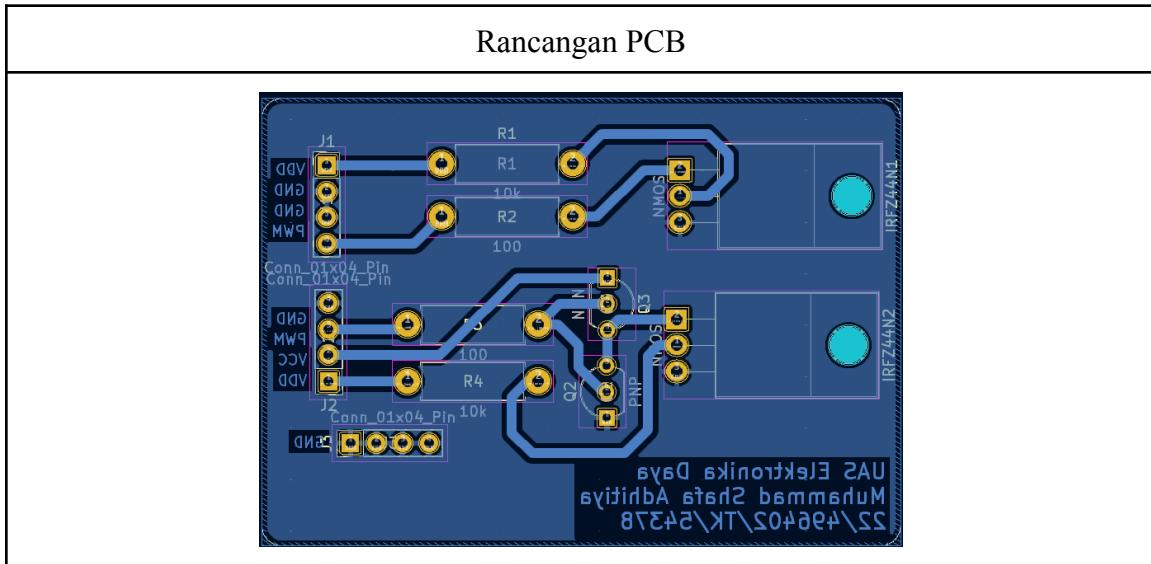
$$E_{sw} \approx \frac{1}{2} V_{DS} I_D(t_r + t_f)$$

Rugi daya switching:

$$P_{sw} \approx E_{sw} f_{sw} \approx \frac{1}{2} V_{DS} I_D(t_r + t_f) \cdot f_{sw}$$

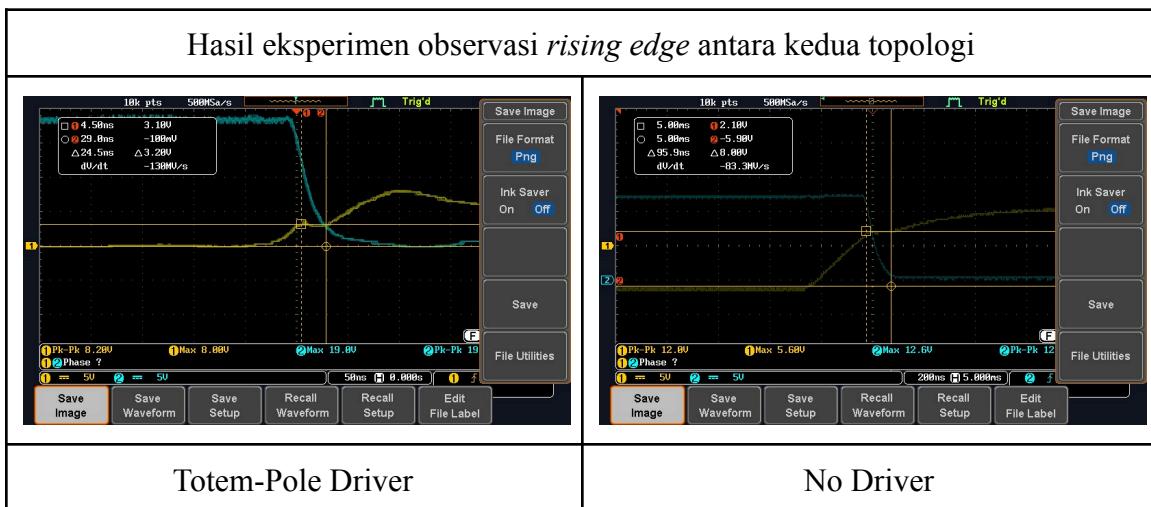
Nilai P_{sw} berbanding lurus dengan $(t_r + t_f)$, oleh karena itu, dapat disimpulkan bahwa ketika nilai R_g naik, maka P_{sw} juga akan naik.

5. Eksperimen



Dengan komponen yang digunakan sebagai berikut:

Nama Komponen	Jenis / Nilai	Jumlah
Resistor Gate	82Ω	2
Resistor Beban	100Ω	2
MOSFET N-Type	IRFZ44N	2
BJT NPN	BC547	1
BJT PNP	BC557	1



Dari hasil observasi fisis kedua topologi, didapatkan parameter sebagai berikut:

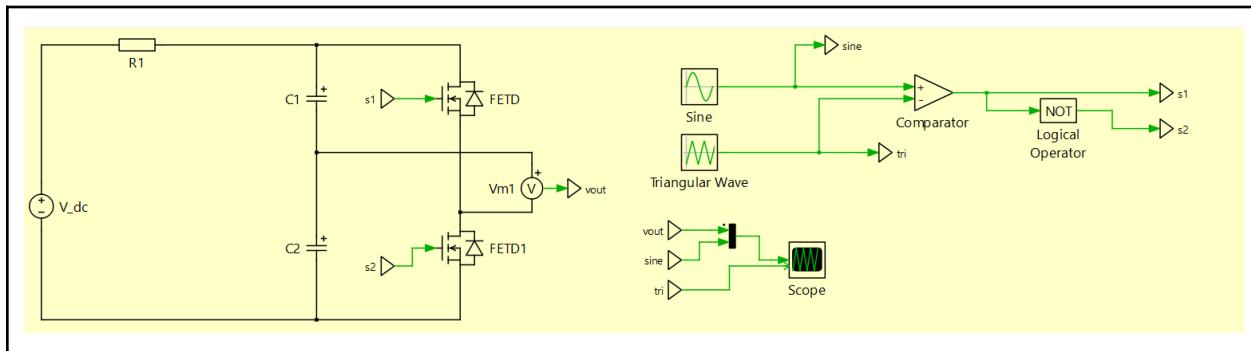
Parameter	Totem-Pole	No Driver
Δt	24.5 ns	95.9 ns
ΔV	3.2 V	8.00 V
dv/dt	- 103 MV/s	- 83.3 MV/s

Pada hasil observasi tanpa topologi driver, nilai kecepatan perubahan tegangan V_{DS} lebih kecil dibandingkan jika menggunakan gate driver. Hal ini disebabkan akibat nilai arus gate I_g yang lebih kecil. Interval transisi juga menjadi lebih lama dibanding jika menggunakan driver, sehingga *losses* akibat *switching* meningkat.

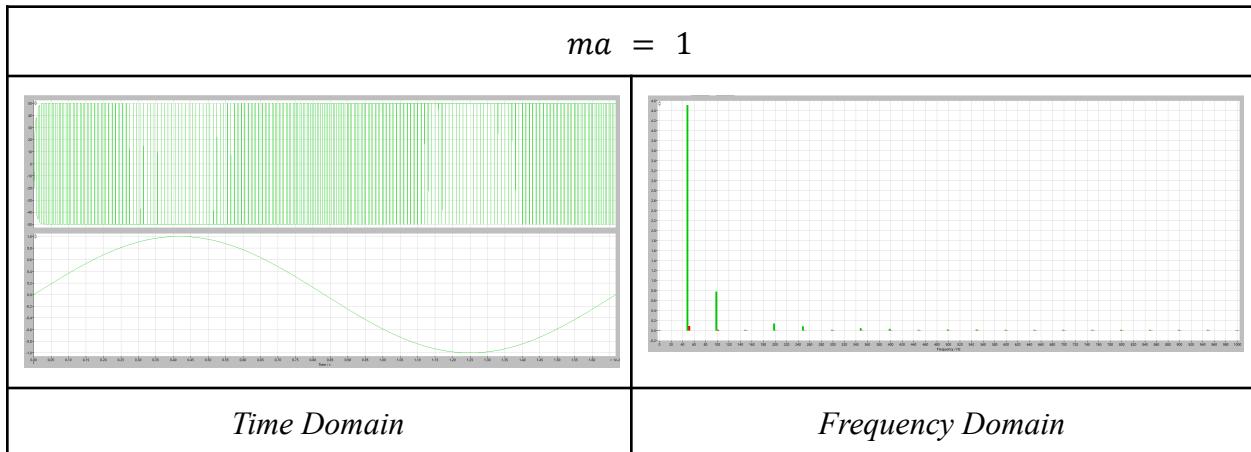
Task 2

1. Desain Half Bridge Single Phase Inverter

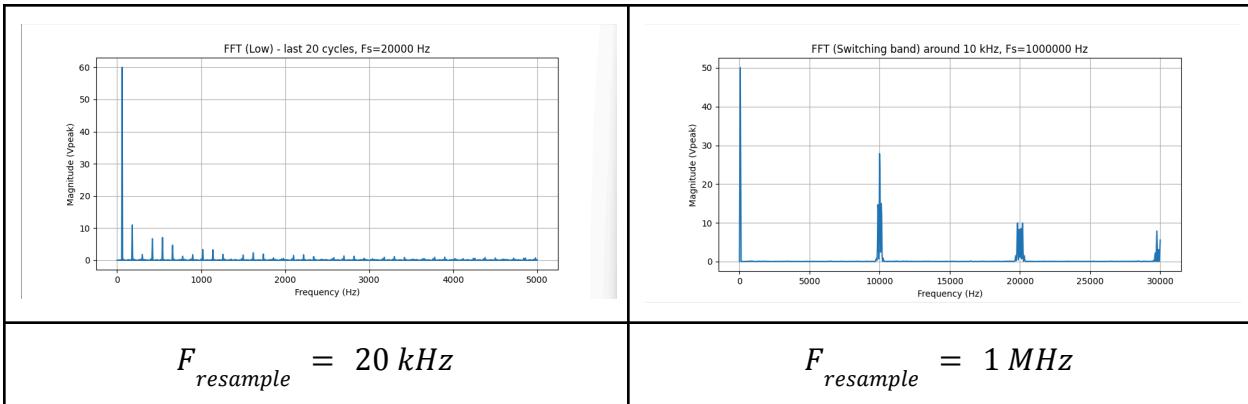
a. Skematik Simulasi PLECS



b. Hasil Simulasi

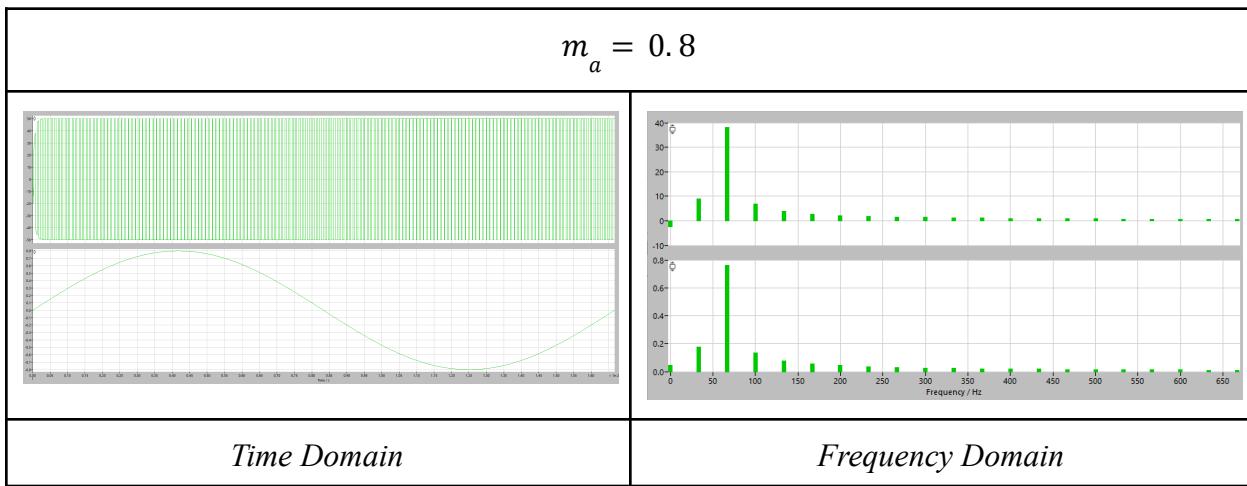


Analysis for $ma = 1$

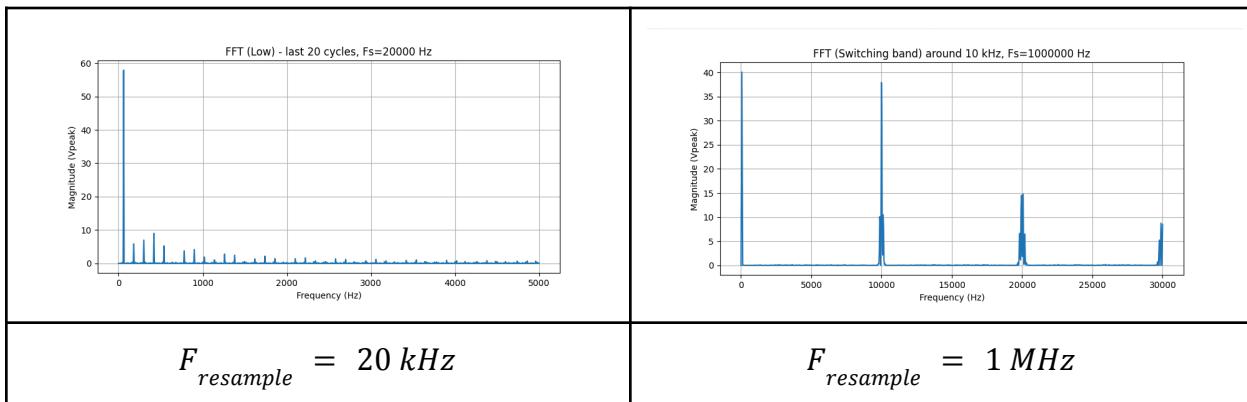


Pada hasil analisis FFT domain frekuensi rendah, komponen fundamental 60 Hz mendominasi spektrum tegangan keluaran inverter. Selain itu, muncul harmonik ganjil orde rendah seperti 180 Hz dan 300 Hz dengan amplitudo yang jauh lebih kecil dibandingkan fundamental, sedangkan harmonik genap hampir tidak terdeteksi. Hal ini menandakan bahwa gelombang keluaran bersifat simetris dan modulasi SPWM efektif dalam menekan harmonik rendah. Tidak terlihat komponen switching pada spektrum ini karena analisis dibatasi hingga 5 kHz, sehingga fokus pada kualitas fundamental dan THD.

Analisis FFT pada pita frekuensi switching menunjukkan adanya komponen dominan di sekitar 100 kHz yang merepresentasikan frekuensi switching inverter. Di sekitar frekuensi tersebut muncul sideband yang terdistribusi secara simetris dengan jarak antar puncak sebesar 60 Hz, yang merupakan frekuensi referensi sinusoidal. Pola spektrum ini merupakan karakteristik khas dari modulasi SPWM, di mana frekuensi carrier termodulasi oleh sinyal referensi. Selain itu, amplitudo komponen switching relatif kecil dibandingkan komponen fundamental, sehingga menunjukkan bahwa tegangan ripple berada pada frekuensi tinggi dan dapat dengan mudah ditekan menggunakan filter LC pada sisi keluaran inverter.



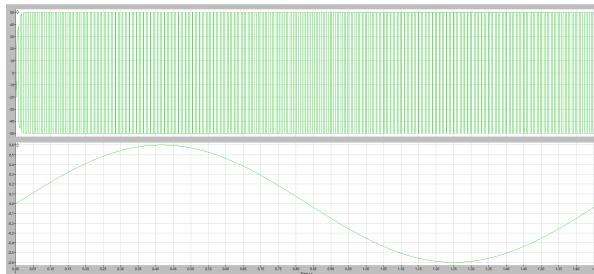
Analysis for $m_a = 0.8$



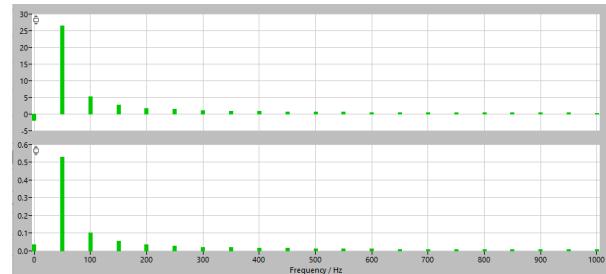
Ketika nilai indeks modulasi diubah menjadi $m_a = 0.8$, magnitude komponen fundamental 60 Hz Berkurang dibanding dengan nilai $m_a = 1.0$. Nilai ini sesuai dengan model SPWM linear untuk half-bridge, yaitu $V_{1,peak} \approx m_a \cdot (V_{dc}/2) \approx 40$ V. Selain itu, spektrum switching masih menunjukkan komponen carrier di sekitar 100 kHz beserta sideband berjarak 60 Hz, sesuai dengan karakteristik SPWM.

$$f = kf_{sw} \pm nf_0, \quad k = 1, 2, 3.. ; n = 1, 2, 3..$$

$$m_a = 0.6$$

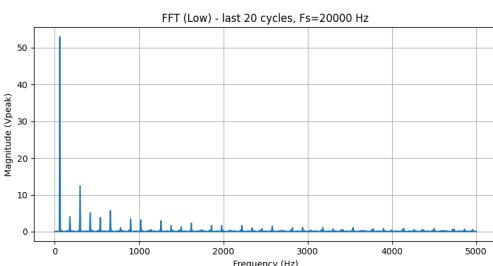


Time Domain

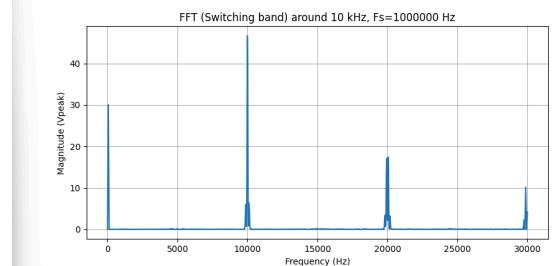


Frequency Domain

Analysis for $m_a = 0.6$



$$F_{resample} = 20 \text{ kHz}$$

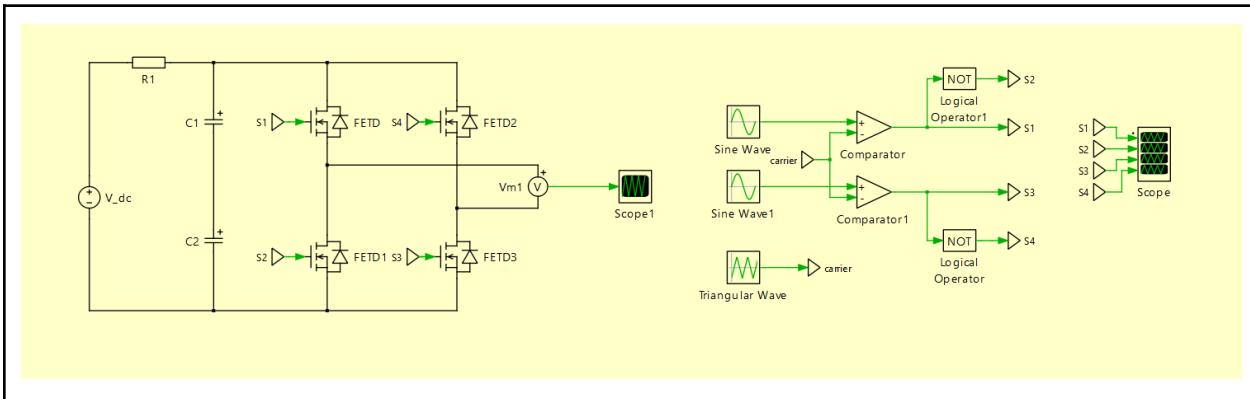


$$F_{resample} = 1 \text{ MHz}$$

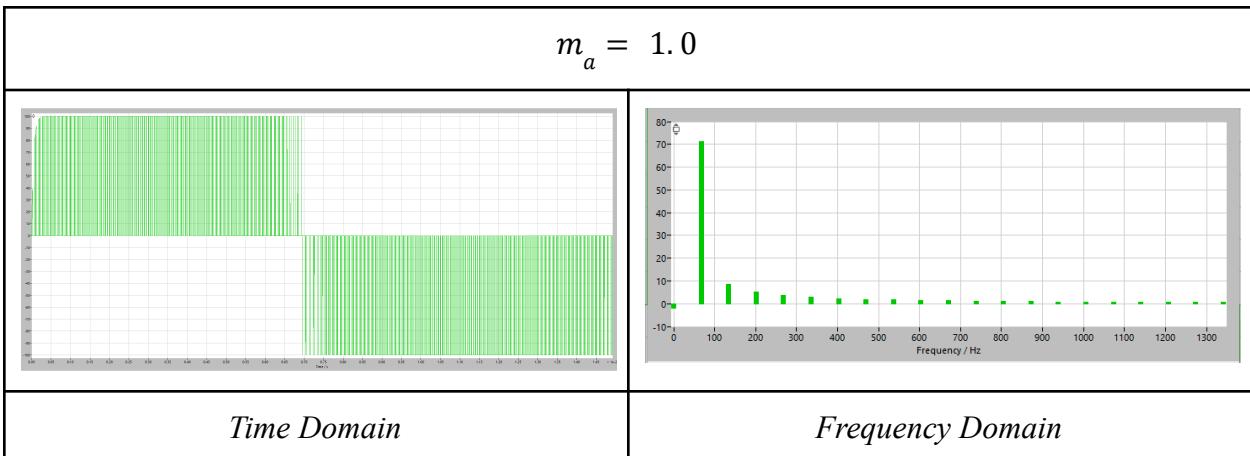
Untuk $m_a = 6$, komponen fundamental pada 60 Hz berkurang dari nilai sebelumnya, sesuai dengan persamaan $V_{1,peak} \approx m_a \cdot (V_{dc}/2) \approx 30 \text{ V}$. Selain itu, spektrum switching masih menunjukkan komponen carrier di sekitar 100 kHz beserta sideband berjarak 60 Hz, sesuai dengan karakteristik SPWM.

2. Single Phase Full Bridge Inverter

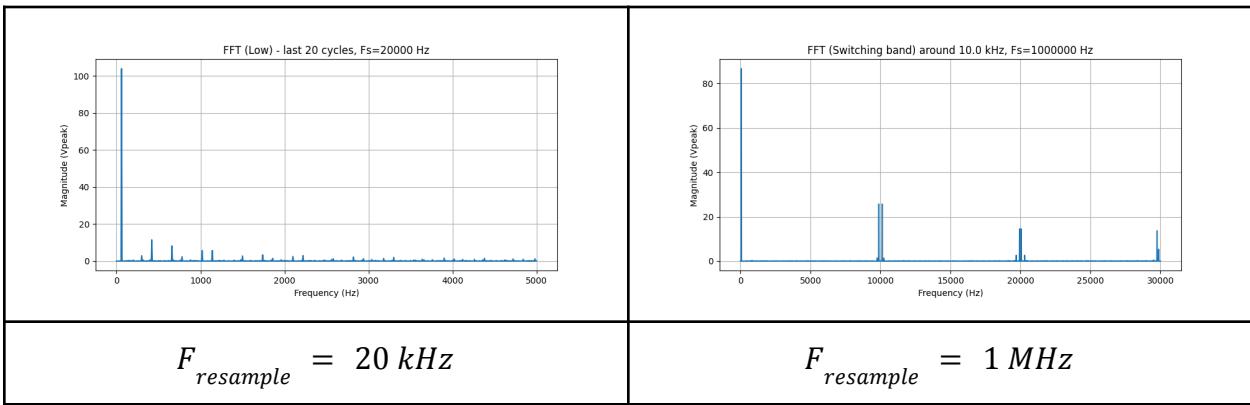
a. Skematik Simulasi PLECS



b. Hasil simulasi

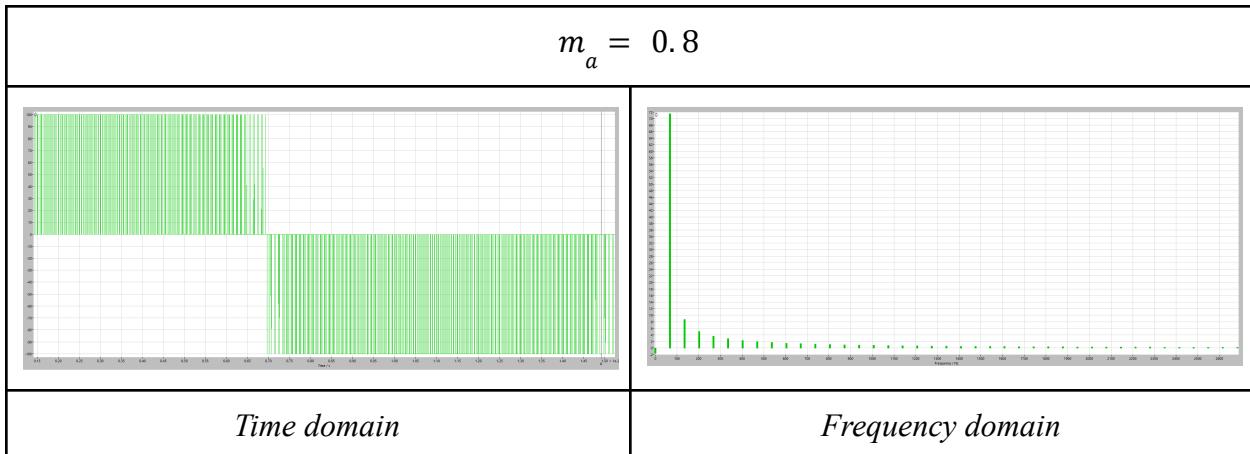


Analysis for $m_a = 1.0$

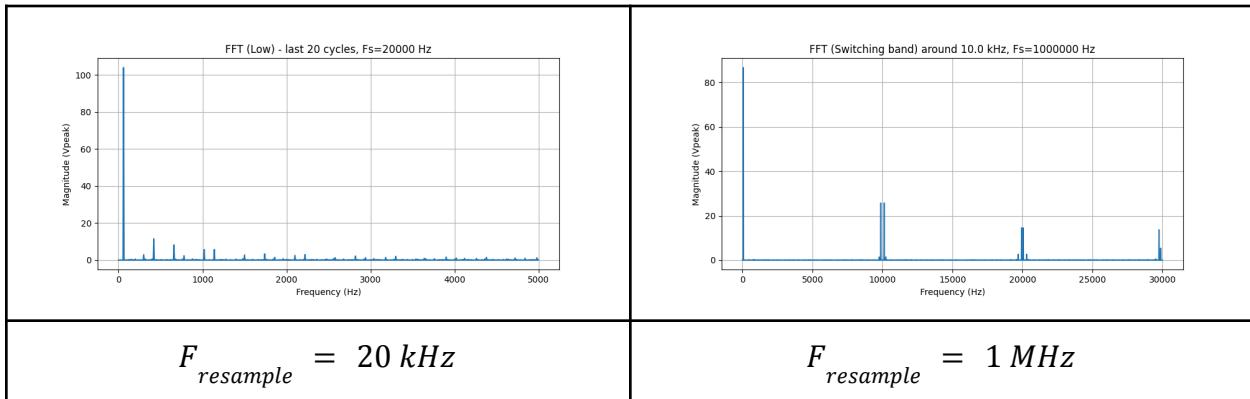


Dari hasil FFT terlihat bahwa komponen fundamental terletak pada frekuensi 60 Hz, yang merupakan frekuensi referensi sinusoidal inverter dengan magnitudo $\pm 100 V_{peak}$, yang sesuai dengan nilai indeks modulasi $m_a = 1.0$. Pada spektrum switching-band, terlihat harmonik switching yang dominan pada 10 kHz, yang merupakan frekuensi carrier dari modulasi SPWM. Di sekitar masing masing frekuensi switching terdapat sideband yang direpresentasikan dengan persamaan:

$$f = kf_{sw} \pm nf_0, k = 1, 2, 3.. ; n = 1, 2, 3...$$

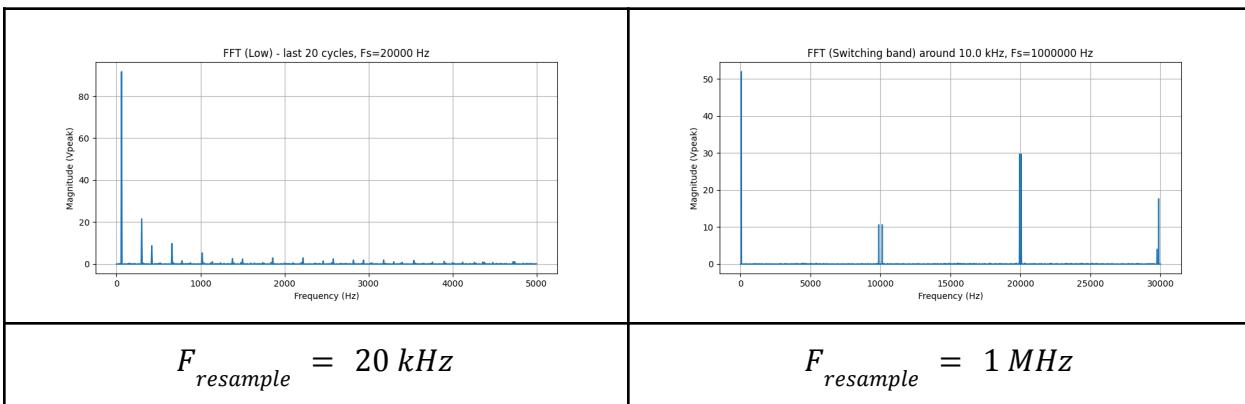
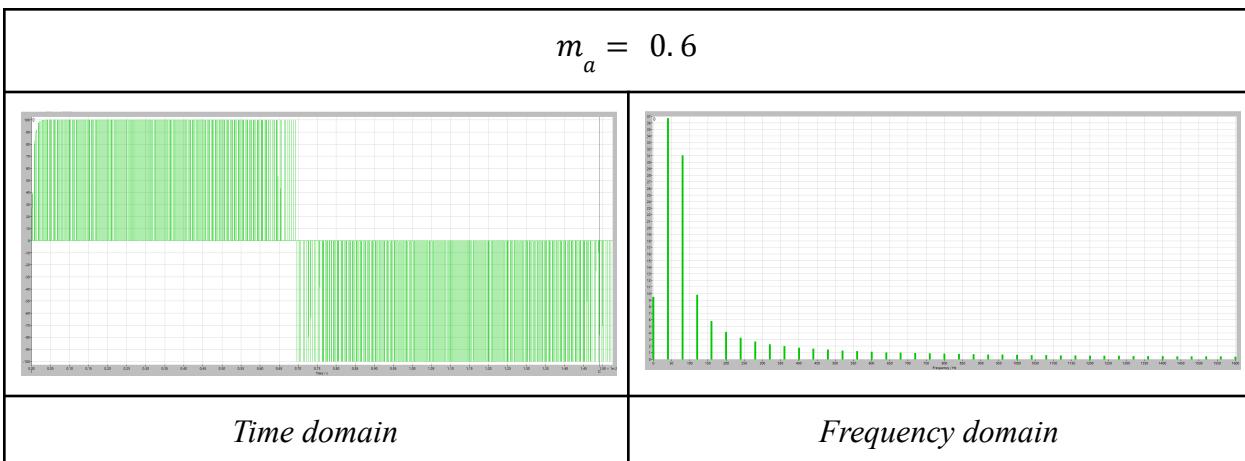


Analysis for $m_a = 0.8$



Frekuensi fundamental terdapat pada 60 Hz, dengan $V_{1,peak} \approx m_a \cdot V_{DC} \approx 80V$. Sideband di sekitar carrier dengan frekuensi $f = kf_{sw} \pm nf_0$. Perubahan nilai m_a memberikan pengaruh signifikan terhadap komponen fundamental, dengan tidak mengubah karakteristik dasar

harmonik *switching*. Dengan indeks modulasi $m_a = 1.0$, amplitudo komponen fundamental mendekati nilai tegangan dc. Saat indeks modulasi diturunkan menjadi 0.8, amplitudo komponen fundamental berkurang secara proporsional sesuai dengan persamaan $V_{1,peak} \approx m_a \cdot V_{DC}$. Pada spektrum FFT switching-band, posisi harmonik switching utama tetap berada pada frekuensi carrier 10 kHz dan kelipatannya (20 kHz dan 30 kHz) untuk kedua nilai indeks modulasi. Perubahan nilai *mam_ama* tidak menggeser frekuensi harmonik switching, melainkan hanya mempengaruhi distribusi energi di sekitar frekuensi tersebut.



Pada indeks modulasi $m_a = 0.6$, inverter full-bridge SPWM menghasilkan komponen fundamental dominan pada 60 Hz dengan amplitudo yang menurun secara linier dibandingkan nilai indeks modulasi yang lebih tinggi. Harmonik switching utama tetap muncul pada frekuensi carrier 10 kHz dan kelipatannya, disertai sideband akibat modulasi sinusoidal. Hasil ini

menegaskan bahwa sistem masih beroperasi pada daerah modulasi linear dan sesuai dengan teori SPWM.

c. Desain LC Filter

Pemilihan frekuensi *cut-off* mengikuti *rule of thumb*:

$$f_c \approx \frac{f_{sw}}{10}$$

Sehingga, untuk $f_{sw} = 10\text{kHz}$, dipilih $f_c = 1\text{kHz}$. Selanjutnya menentukan nilai kapasitor sebagai berikut:

$$I_C = V_{rms}/X_C = V_{rms}(2\pi f_0 C)$$

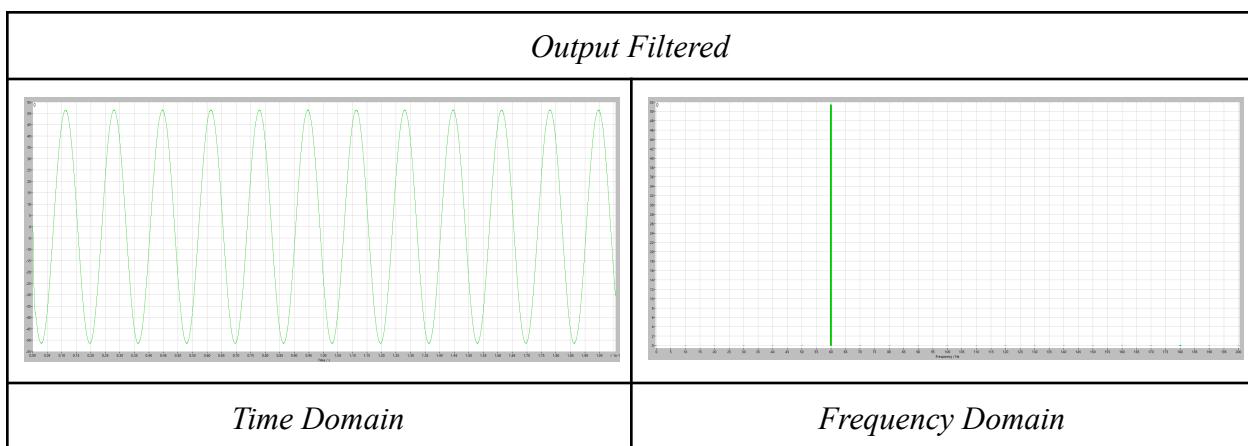
$$I_C \leq 5\% I_{Load}$$

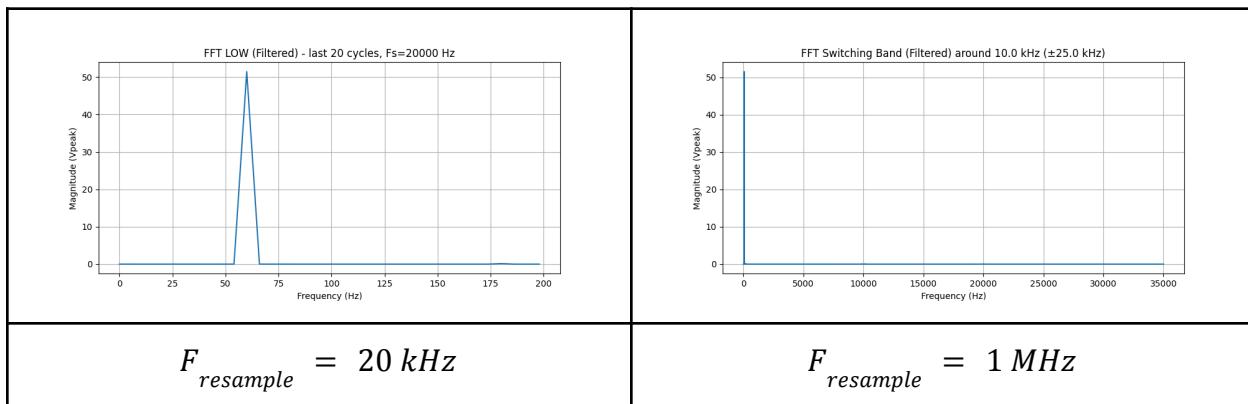
Menyederhanakan:

$$X_C \geq 20R \Rightarrow \frac{1}{2\pi f_0(20R)}$$

Asumsi beban $R = 10\Omega$, maka $C \approx 6.8\mu\text{F}$. Selanjutnya menentukan nilai induktor berdasarkan nilai C:

$$L = \frac{1}{(2\pi \cdot 1000)^2 \cdot 6.8 \times 10^{-6}} \approx 3.7 \times 10^{-3}\text{H}$$

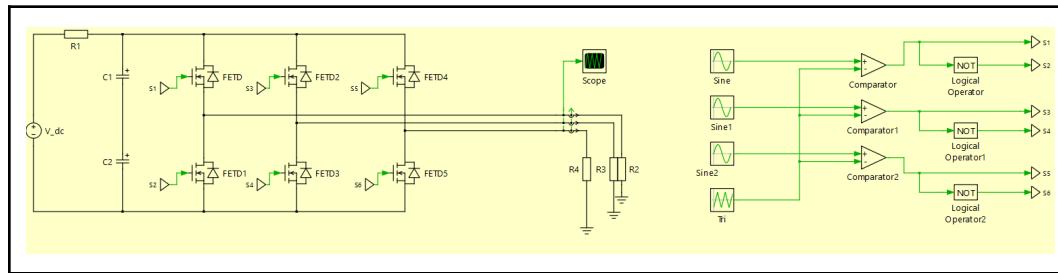




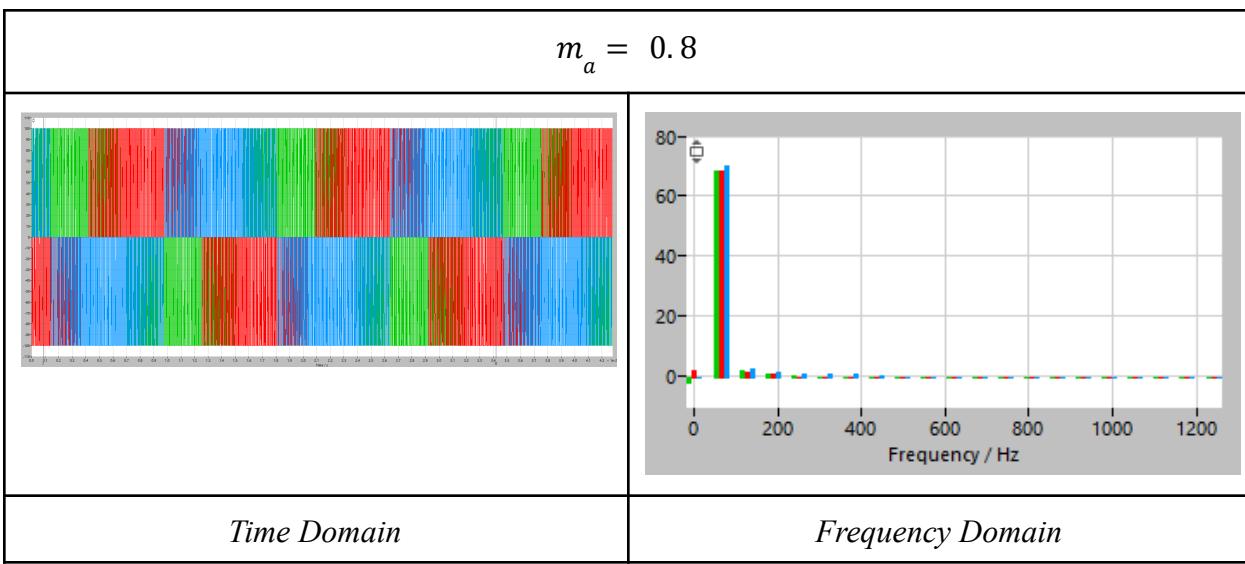
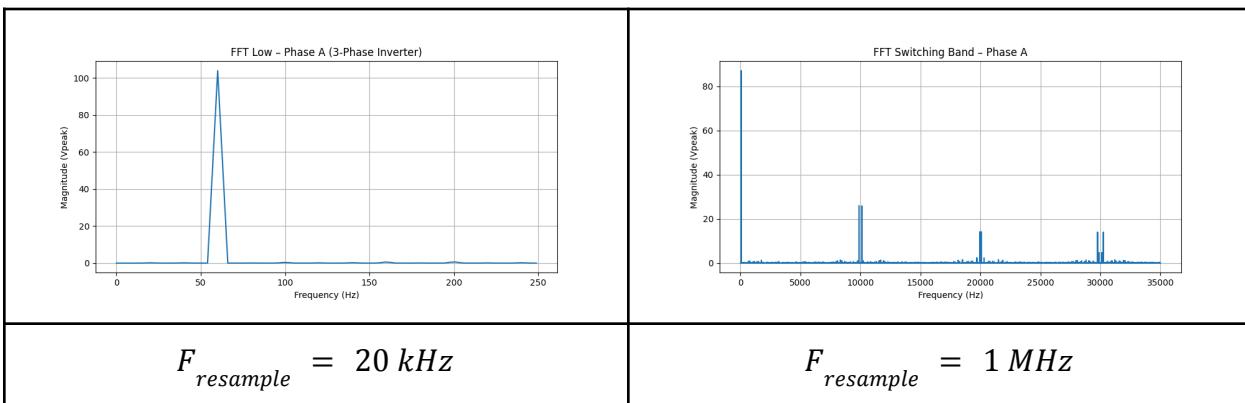
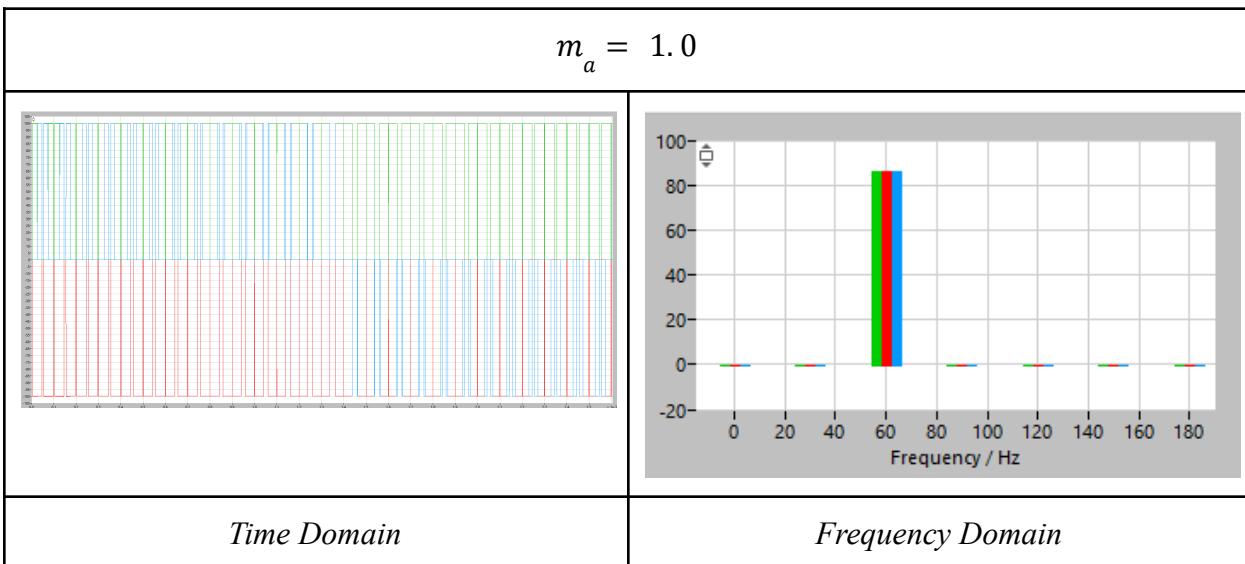
Dari hasil simulasi yang sudah dilakukan, dapat terlihat bahwa komponen fundamental 60 Hz berhasil di-filter tanpa menyisakan komponen harmonik rendah (kelipatan 60 Hz). Bentuk spektrum yang terfokus pada satu puncak utama menunjukkan bahwa keluaran inverter setelah filter LC mendekati sinyal sinus murni.

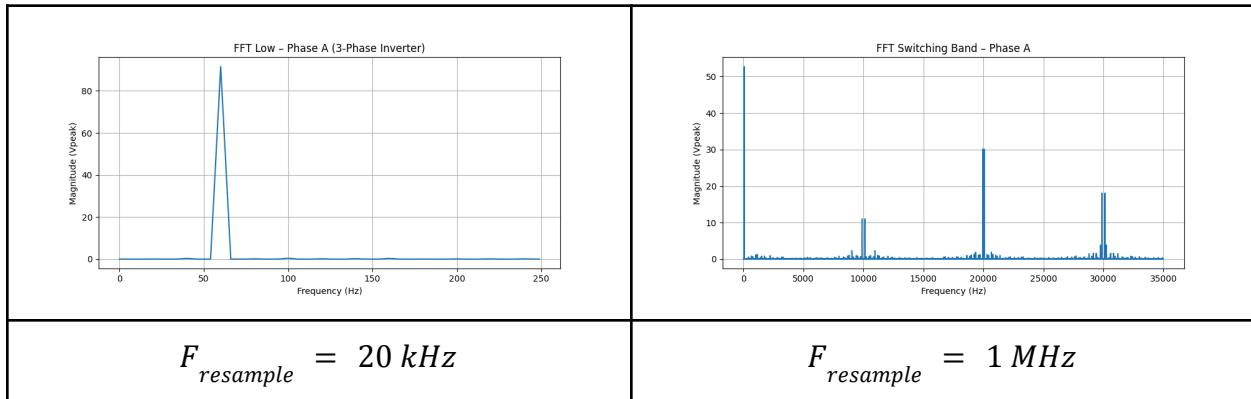
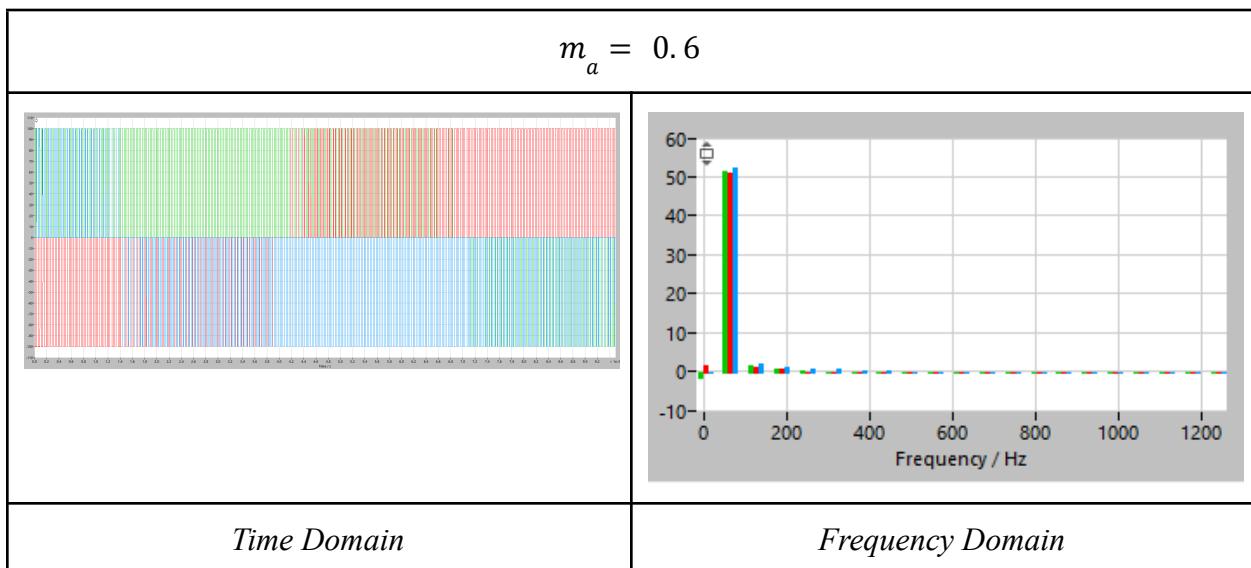
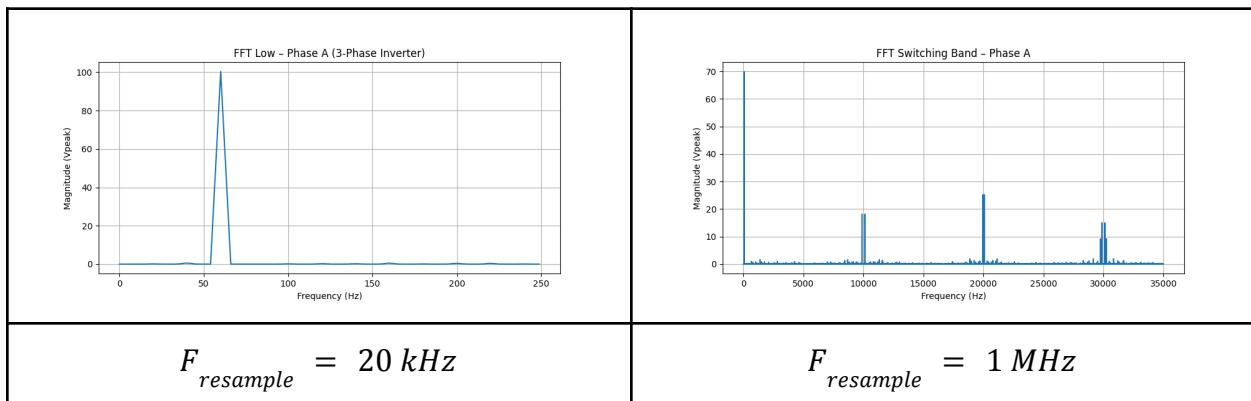
3. Three Phase Inverter

a. Skematik Simulasi PLECS



b. Hasil Simulasi





Analisis hasil simulasi:

Variasi indeks modulasi m_a pada analisis FFT keluaran inverter 3 fasa memberikan pengaruh yang cukup signifikan terhadap magnitudo komponen fundamental, namun tidak mengubah spektral harmonik *switching*. Pada spektrum *low-frequency* dengan nilai m_a yang diujikan ($m_a = 1.0, 0.8, 0.6$), komponen fundamental tetap muncul dominan pada frekuensi 60 Hz. namun amplitudo komponen fundamental mengalami penurunan seiring berkurangnya nilai m_a . Pada spektrum switching band, untuk ketiga nilai indeks modulasi, puncak harmonik utama tetap terletak di sekitar frekuensi carrier 10 kHz serta pada kelipatannya (sekitar 20 kHz dan 30 kHz). Posisi harmonik switching ini tidak bergeser terhadap perubahan indeks modulasi, yang menunjukkan bahwa indeks modulasi hanya memengaruhi amplitudo sinyal referensi, bukan frekuensi switching. Akan tetapi, amplitudo harmonik switching cenderung menurun seiring penurunan indeks modulasi, karena energi total yang dimodulasikan oleh sinyal referensi juga berkurang.

Secara keseluruhan, hasil analisis FFT menunjukkan pengaruh indeks modulasi pada keluaran sistem memiliki dampak yang signifikan terhadap level tegangan fundamental dan distribusi energi spektral.