***2021***



**数字电路与逻辑设计**

**实验报告**

|  |  |
| --- | --- |
| 专 业： | 计算机科学与技术 |
| 班 级： | 计科2011班 |
| 学 号： | U202010755 |
| 姓 名： | 路昊东 |
| 电 话： | 15671615911 |
| 邮 件： | 2441164168lhd@gmail.com |
| 完成日期： | 2021/12/6 |

目 录

[1 实验概述 4](#_Toc69240115)

[1.1 实验名称 4](#_Toc69240116)

[1.2 实验目的 4](#_Toc69240117)

[1.3 实验所用软件和平台 4](#_Toc69240118)

[1.4 实验内容 4](#_Toc69240119)

[1.5 实验要求 5](#_Toc69240120)

[2 实验过程 6](#_Toc69240121)

[2.1 7段数码管驱动电路设计 6](#_Toc69240122)

[2.2 2选1选择器设计（1位） 8](#_Toc69240123)

[2.3 2选1选择器设计（16位）](#_Toc69240124) 9

[2.4 无符号比较器设计（16位） 1](#_Toc69240125)1

[2.5 并行加载寄存器（4位） 1](#_Toc69240126)4

[2.6 并行加载寄存器（16位） 1](#_Toc69240127)5

[2.7 BCD计数器状态机设计 1](#_Toc69240124)7

[2.8 BCD计数器输出函数设计 1](#_Toc69240125)8

[2.9 BCD计数器设计（1位十进制）](#_Toc69240126) 19

[2.10 码表计数器设计（4位十进制） 2](#_Toc69240127)1

[2.11 码表显示驱动设计 2](#_Toc69240128)2

[2.12 码表控制器状态机设计 2](#_Toc69240129)4

[2.13 码表控制器输出函数设计 2](#_Toc69240127)5

[2.14 码表控制器设计 2](#_Toc69240128)7

[2.15 运动码表](#_Toc69240129) 28

[3 测试及故障调试 3](#_Toc69240130)1

[3.1 遇到的问题及处理 3](#_Toc69240131)1

[3.2 设计方案存在的不足](#_Toc69240132) 31

[4 设计总结与心得 30](#_Toc69240133)

[4.1 实验总结 31](#_Toc69240134)

[4.2 实验心得 32](#_Toc69240135)

[4.3 意见与建议 32](#_Toc69240136)

# 实验概述

## 实验名称

运动码表系统设计。

## 实验目的

本实验将提供一个完整的数字逻辑实验包，从真值表方式构建7段数码管驱动电路，到逻辑表达式方式构建四位比较器，多路选择器，利用同步时序逻辑构建BCD计数器，从简单的组合逻辑电路到复杂时序逻辑电路，最终集成实现为运动码表系统。

实验由简到难，层次递进，从器件到部件，从部件到系统，通过本实验的设计、仿真、验证3个训练过程使同学们掌握小型数字电路系统的设计、仿真、调试方法以及电路模块封装的方法。

## 实验环境

软件：Logisim2.15.0.2软件一套。

平台：https://www.educoder.net/classrooms/11930/shixun\_homework

## 实验内容

设计一个运动码表系统，具体内容及要求如下：

输入：4个按钮，分别为Start、Stop、Store和Reset。

输出：4个7段数码管显示数字，分别显示小时和分钟。

具体功能：

(1)当按下Start时，计时器清零，重新开始计时；

(2)当按下Stop时，计时器停止计时，显示计时数据；

(3)当按下Store时，若当前计时数据小于系统记录，则更新系统记录，并显示当前计时数据；否则不更新系统记录，但显示系统记录。

(4)当按下Reset时，复位，计时=0.00, 系统记录=99.99。

## 实验要求

（1）根据给定的实验包，将运动码表系统切分为一个个实验单元；

（2）对每一个实验单元，按要求设计电路并使用Logisim软件进行虚拟仿真；

（3）设计好的电路在educoder平台上提交并进行评测，直到通过全部关卡。

# 实验过程

## 7段数码管驱动电路设计

（1）设计思路及设计过程

根据七段数码管的引脚顺序以及十进制数和七段数码管的对应关系，填写真值表的值（如图2.1所示），通过Analysis circuit建立电路，自动生成如图2.3所示电路。该电路把二进制数转化成7段数码管的每一段，即可通过控制7段数码管显示0-9的每个数字。

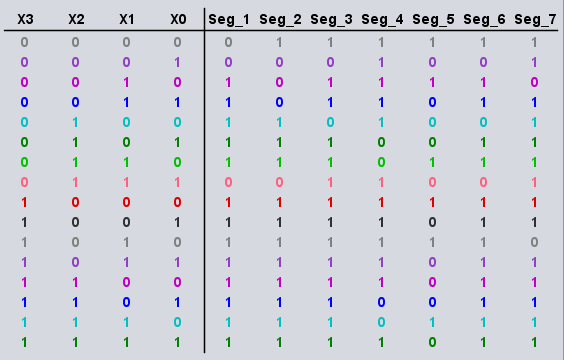


图2.1 7段数码管驱动电路真值表

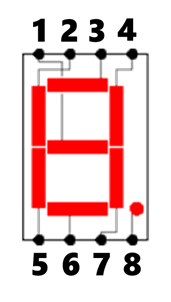


图2.2 七段数码管引脚顺序

1. 电路图

设计的电路如图2.3所示。

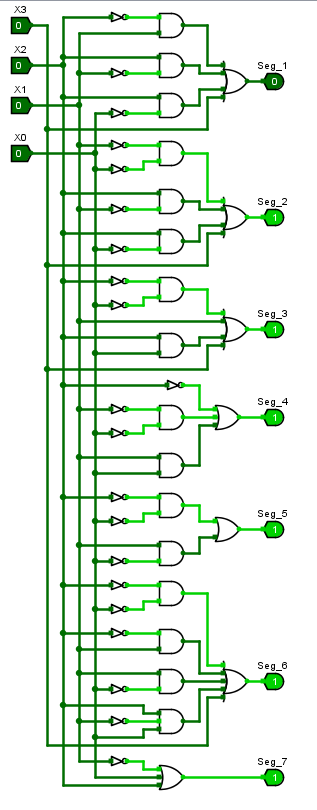


图2.3 7段数码管驱动设计电路

（3）测试图

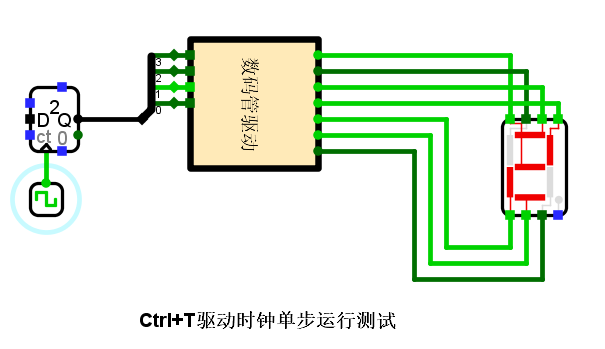


图2.4 7段数码管驱动电路测试电路

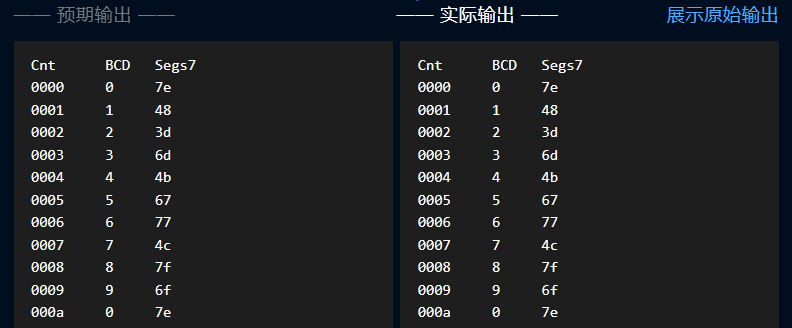


图2.5 7段数码管驱动电路测试样例

（4）测试分析

通过Ctrl+T驱动时钟单步运行测试，0-9数字均正常显示，并且由图2.5可得，电路输出正确，所设计的电路符合要求。

## 2选1选择器设计（1位）

（1）设计思路及设计过程

已知输入为X0，X1，Sel，根据Out = (Sel == 0) ? x0 : x1构建原始的输出函数表达式为Sel X1 + X0 ~Sel；最后通过增加冗余项的方法消除险象后的输出函数表达式为：Sel X1 + X0 ~ Sel + X1X0。

（2）电路图

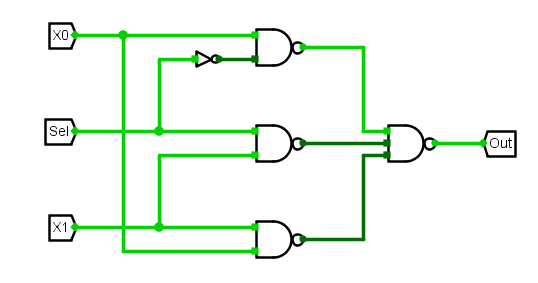


图2.6 2路选择器（1位）设计电路

（3）测试图

测试用例如图2.7所示。



图2.7 2路选择器（1位）测试用例

（4）测试分析

由测试结果可知，该电路可以按要求正确实现：当Sel == 0时，Out == X0；当Sel == 1时，Out == X1，并且成功消除险象，故所设计的电路符合要求。

## 2选1选择器设计（16位）

（1）设计思路及设计过程

已知当Sel == 0时输出X，当Sel == 1时输出Y。本题采用16个一位二进制数的二选一电路进行并发：将两个16位数按位对齐形成16组，每一组都通过逻辑功能一致的二选一选择器，再将16个输出合并成一个16位数，即实现了所求功能。

1. 电路图

设计的电路如图2.8所示。

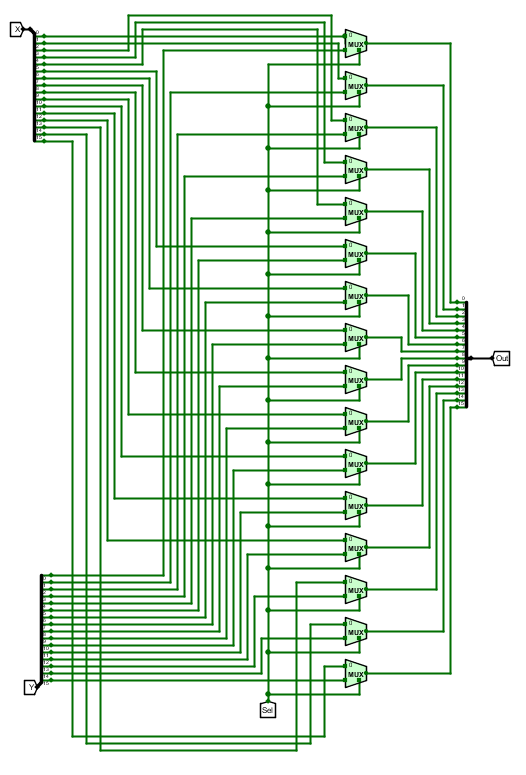
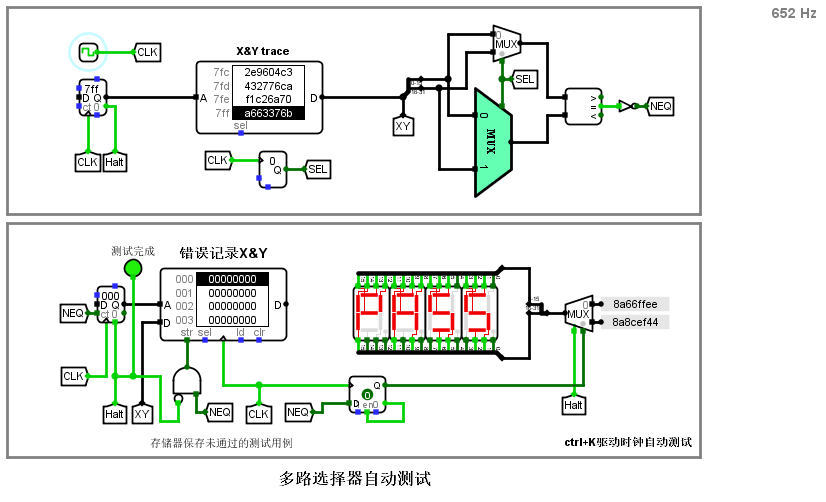


图2.8 2路选择器（16位）设计电路

（3）测试图



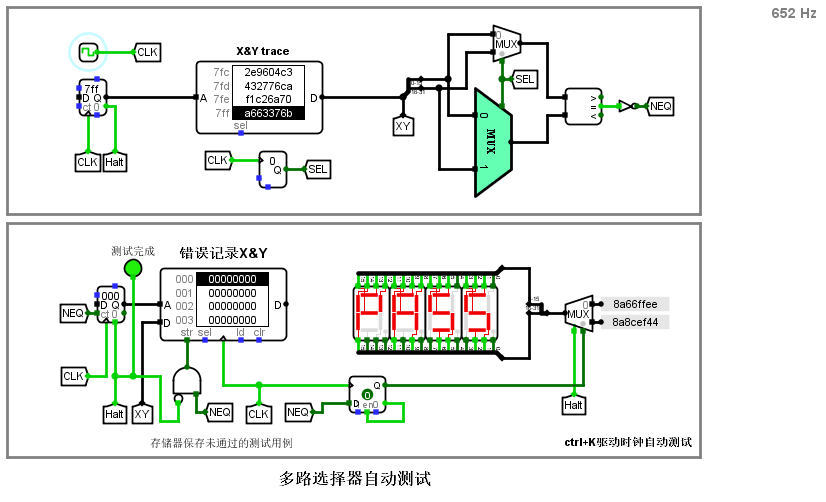


图2.9 2路选择器（16位）测试电路

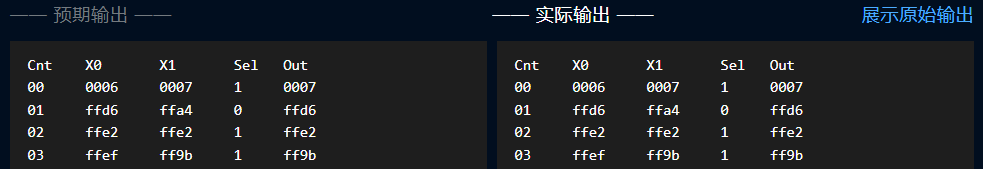


图2.10 2选1选择器（16位）部分测试样例

（4）测试分析

通过Ctrl+K驱动时钟自动测试，无错误记录，并且由测试结果可知，该电路可以按要求正确实现两个16位二进制数X0,X1的选择功能，所设计的电路符合要求。

## 无符号比较器设计（16位）

（1）设计思路及设计过程

使用4个4位无符号比较器分别比较16位的各4位，并将比较结果作为另一个4位无符号比较器的输入。

构建比较16位的各4位的4位无符号比较器：输入为四位无符号数X和四位无符号数Y，输出为greaterThan、lessThan、equalTo。输出和输入之间的关系如下。

X＞Y：greaterThan=1 lessThan=0 equalTo=0 ；

X＜Y：greaterThan=0 lessThan=1 equalTo=0 ；

X＝Y：greaterThan=0 lessThan=0 equalTo=1；

下面构建输出函数：

1位比较 X : Y

greaterThan = X ~ Y

lessThan = ~ X Y

equalTo = ~ (X ^ Y) = (~ X ~ Y + X Y)

2位比较 X = X1X0 : Y = Y1Y0

greaterThan = X1 ~ Y1 + ~ (X1 ^ Y1) X0 ~ Y0

lessThan = ~ X1 Y1 + ~ (X1^ Y1) ~ X0Y0

equalTo = ~ (X1 ^ Y1) ~ (X0 ^ Y0)

3位、4位比较依此类推，最后可以得到4位无符号比较器的输出函数为：

greaterThan= (X0 ~Y3 ~Y2 ~Y1 ~Y0) + (X1 ~Y3 ~Y2 ~Y1) + (X1 X0 ~Y3 ~Y2 ~Y0) + (X2 ~Y3 ~Y2) + (X2 X0 ~Y3 ~Y1 ~Y0) + (X2 X1 ~Y3 ~Y1) + (X2 X1 X0 ~Y3 ~Y0) + (X3 ~Y3) + (X3 X0 ~Y2 ~Y1 ~Y0) + (X3 X1 ~Y2 ~Y1) + (X3 X1 X0 ~Y2 ~Y0) + (X3 X2 ~Y2) + (X3 X2 X0 ~Y1 ~Y0) + (X3 X2 X1 ~Y1) + (X3 X2 X1 X0 ~Y0)

lessThan= (~X3 ~X2 ~X1 ~X0 Y0) + (~X3 ~X2 ~X1 Y1) + (~X3 ~X2 ~X0 Y1 Y0) + (~X3 ~X2 Y2) + (~X3 ~X1 ~X0 Y2 Y0) + (~X3 ~X1 Y2 Y1) + (~X3 ~X0 Y2 Y1 Y0) + (~X3 Y3) + (~X2 ~X1 ~X0 Y3 Y0) + (~X2 ~X1 Y3 Y1) + (~X2 ~X0 Y3 Y1 Y0) + (~X2 Y3 Y2) + (~X1 ~X0 Y3 Y2 Y0) + (~X1 Y3 Y2 Y1) + (~X0 Y3 Y2 Y1 Y0)

equalTo= (~X3 ~X2 ~X1 ~X0 ~Y3 ~Y2 ~Y1 ~Y0) + (~X3 ~X2 ~X1 X0 ~Y3 ~Y2 ~Y1 Y0) + (~X3 ~X2 X1 ~X0 ~Y3 ~Y2 Y1 ~Y0) + (~X3 ~X2 X1 X0 ~Y3 ~Y2 Y1 Y0) + (~X3 X2 ~X1 ~X0 ~Y3 Y2 ~Y1 ~Y0) + (~X3 X2 ~X1 X0 ~Y3 Y2 ~Y1 Y0) + (~X3 X2 X1 ~X0 ~Y3 Y2 Y1 ~Y0) + (~X3 X2 X1 X0 ~Y3 Y2 Y1 Y0) + (X3 ~X2 ~X1 ~X0 Y3 ~Y2 ~Y1 ~Y0) + (X3 ~X2 ~X1 X0 Y3 ~Y2 ~Y1 Y0) + (X3 ~X2 X1 ~X0 Y3 ~Y2 Y1 ~Y0) + (X3 ~X2 X1 X0 Y3 ~Y2 Y1 Y0) + (X3 X2 ~X1 ~X0 Y3 Y2 ~Y1 ~Y0) + (X3 X2 ~X1 X0 Y3 Y2 ~Y1 Y0) + (X3 X2 X1 ~X0 Y3 Y2 Y1 ~Y0) + (X3 X2 X1 X0 Y3 Y2 Y1 Y0)

然后利用4位无符号比较器构建16位无符号比较器。

（2）电路图

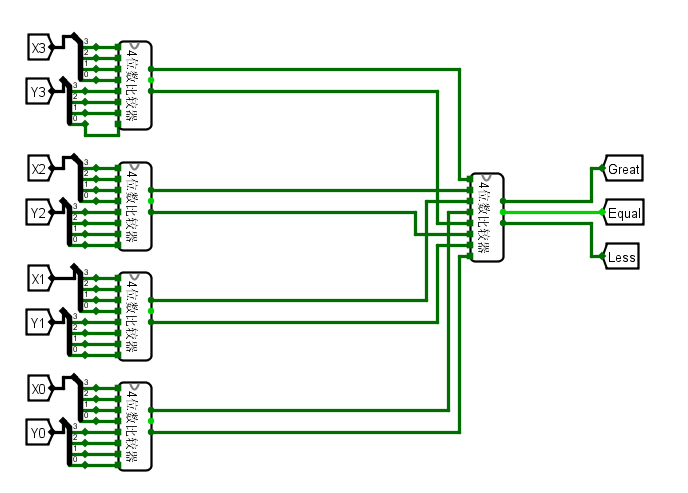


图2.11 16位无符号比较器设计电路

（3）测试图

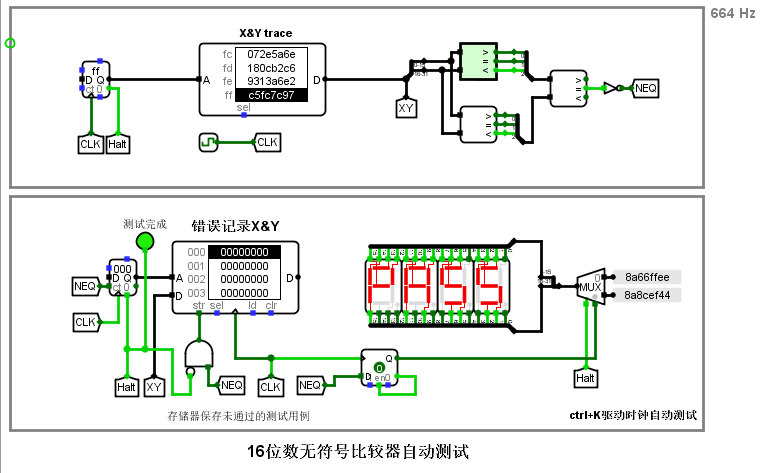


图2.12 16位无符号比较器测试电路

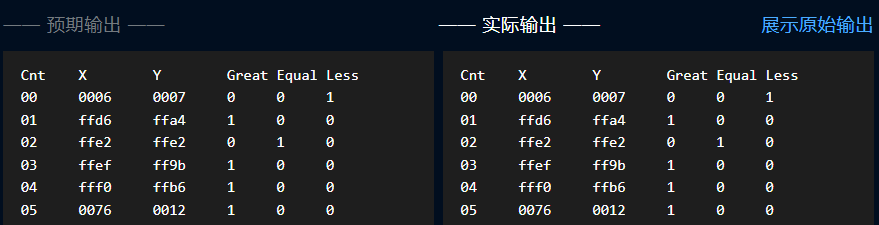


图2.13 16位无符号比较器部分测试样例

（4）测试分析

通过Ctrl+K驱动时钟自动测试，无错误记录，并且由测试结果可知，该电路正确实现了比较功能，所设计的电路符合要求。

## 并行加载寄存器(4位)

（1）设计思路及设计过程

利用4个D触发器，将4位二进制数的每一位（现态）都输入触发器的D，因为D触发器的次态等于D，所以当时钟脉冲出现上升沿时，次态就会变成D的值，即把原来的现态变成了次态，实现了“寄存”功能——存储二进制代码。

（2）电路图

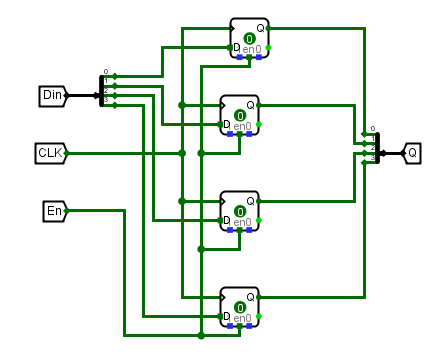


图2.14 4位并行加载器设计电路图

（3）测试图



图2.15 4位并行加载器测试用例图

（4）测试分析

使能输入端（点击En高电平），点击时钟脉冲（上升沿触发）即可存储当前4位二进制数。由测试结果可知，所设计的电路符合要求。

## 并行加载寄存器(16位)

（1）设计思路及设计过程

16位二进制数分成4组，分别通过4个4位并行加载寄存器。4组的输出组成一个16位二进制数，即实现寄存功能。

1. 电路图

设计的电路如图2.16所示。

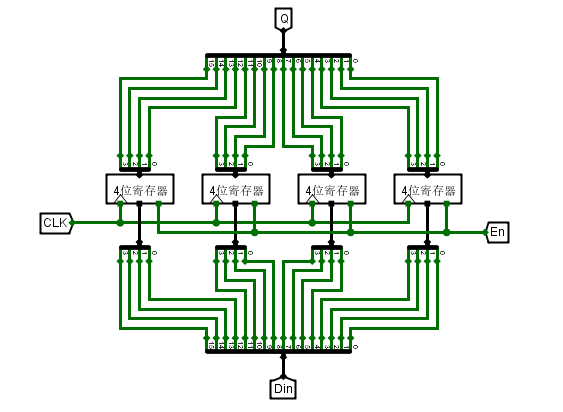


图2.16 16位并行加载器设计电路图

（3）测试图

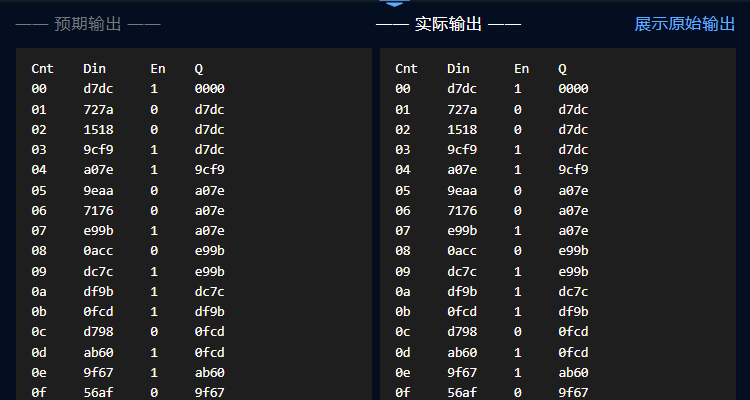


图2.17 16位并行加载器测试用例图

（4）测试分析

使能输入端（点击En高电平），点击时钟脉冲（上升沿触发）即可存储当前16位二进制数。由测试结果可知，所设计的电路符合要求。

## BCD计数器状态机设计

（1）设计思路及设计过程

电路的输出（N3N2N1N0）应该等于输入（S3S2S1S0）+1。填写真值表，按照真值表可以得到N3N2N1N0的表达式（自动生成逻辑表达式），使用Analysis circuit自动生成如图所示的BCD计数器状态转换设计电路。

* N3:~S3 S2 S1 S0 + S3 ~S2 ~S1 ~S0
* N2:~S3 ~S2 S1 S0 + ~S3 S2 ~S1 + ~S3 S2 ~S0
* N1:~S3 ~S1 S0 + ~S3 S1 ~S0
* N0:~S3 ~S0 + ~S2 ~S1 ~S0

1. 电路图

设计的电路如图2.18所示。

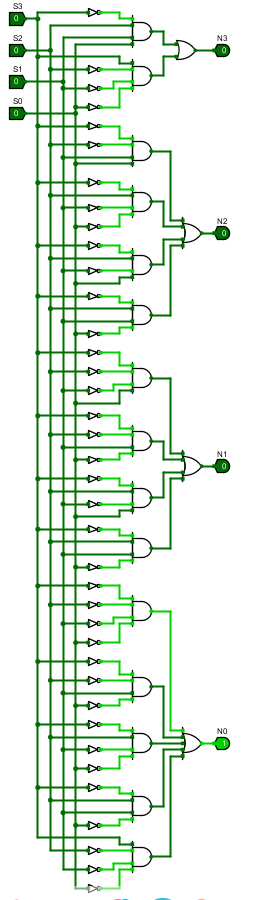


图2.18 BCD计数器状态转换电路图

（3）测试图

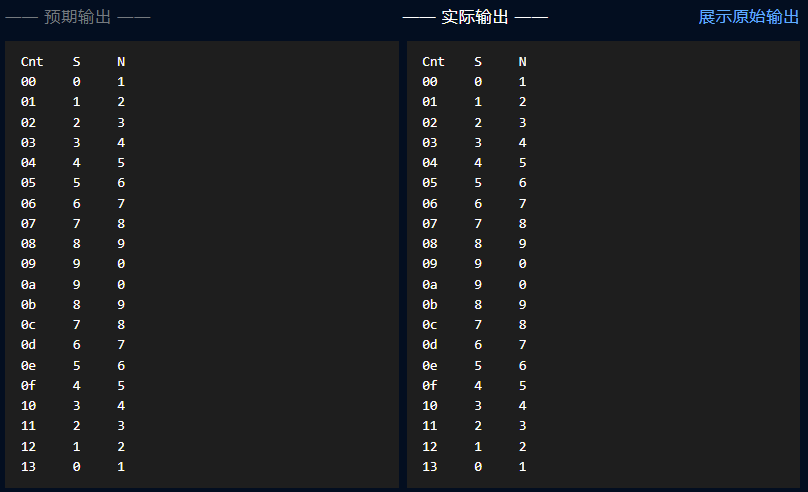


图2.19 BCD计数器状态转换测试用例

（4）测试分析

输出N为当前状态S加1，由测试结果可知，所设计的电路符合要求。

## BCD计数器输出函数设计

1. 设计思路及设计过程

填写真值表，利用自动生成的逻辑表达式，使用Analysis circuit自动生成，或者分析由当S=9时输出1否则输出0直接得到输出函数为S3 ~S2 ~S1 S0，从而生成如图所示的电路。

1. 电路图

设计的电路如图2.20所示。

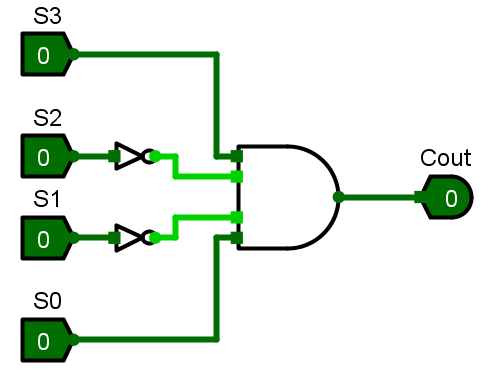


图2.20 BCD计数器输出函数设计电路图

1. 测试图



图2.21 BCD计数器输出函数设计测试用例

1. 测试分析

可得当S=9时产生进位输出，由测试结果可知，所设计的电路符合要求。

## BCD计数器设计（1位十进制）

（1）设计思路及设计过程

使用4个D触发器，将4个触发器的输出作为状态转换电路和输出函数电路的输入；使用封装好的BCD计数器状态转换电路（将状态转换电路的输出作为4个D触发器的输入）和BCD计数器输出函数电路构造BCD计数器。

1. 电路图

设计的电路如图2.22所示。

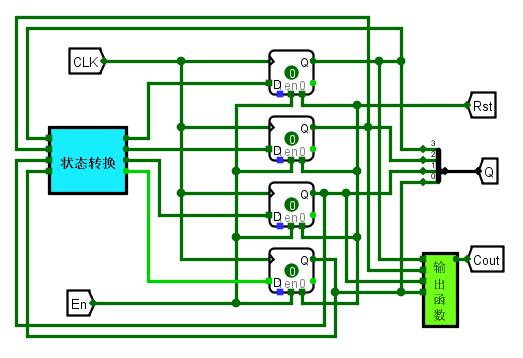


图2.22 4位BCD计数器设计电路图

（3）测试图

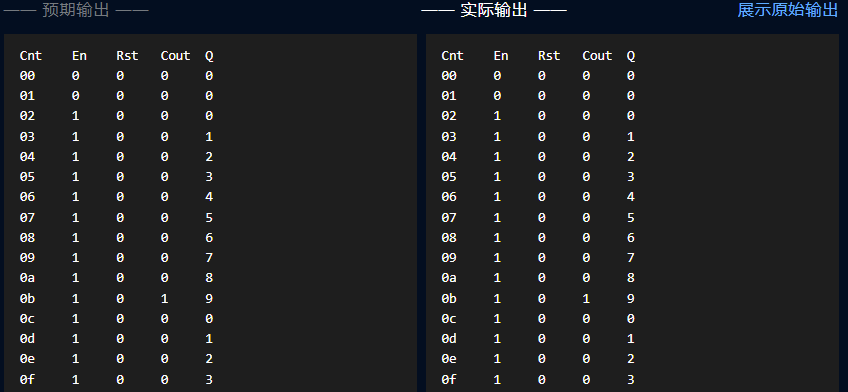


图2.23 4位BCD计数器测试用例图

（4）测试分析

使高电平有效后进行测试，每次CLK从0变为1时（即上升沿触发）电路状态发生转换并且当输出Q == 9时产生进位输出。由测试结果可知，所设计的电路符合要求。

## 码表计数器设计（4位十进制）

（1）设计思路及设计过程

利用四个4位BCD计数器（分别对应10秒、1秒、0.1秒、0.01秒），构建码表计数器。其中，时钟信号控制最低位的BCD计数器，该计数器的输出再作为时钟控制高一位的BCD计数器；最高位也就是第四个BCD计数器的输出不用接线，前面的计数器的使能端可以由en和后面的计数器的进位输出的与来连接，时钟脉冲和异步复位正常接入。

1. 电路图

设计的电路如图2.24所示。

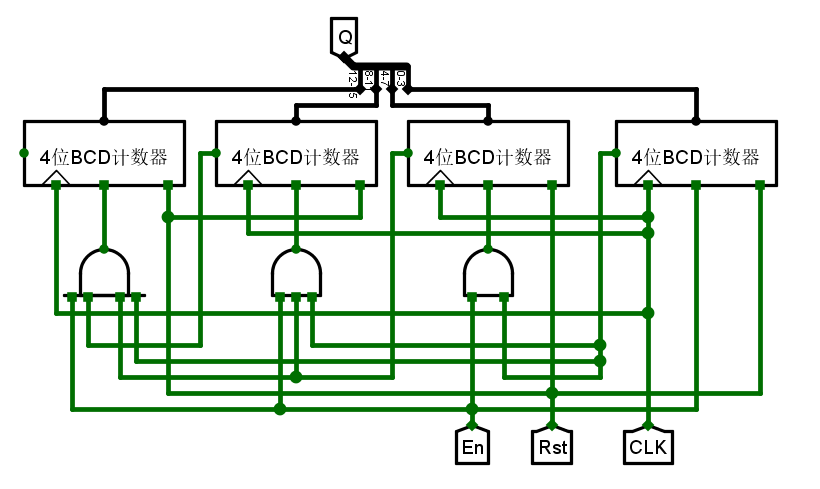


图2.24 码表计数器设计电路图

（3）测试图

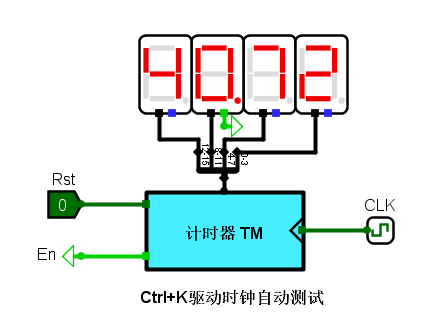


图2.25 码表计数器测试电路图

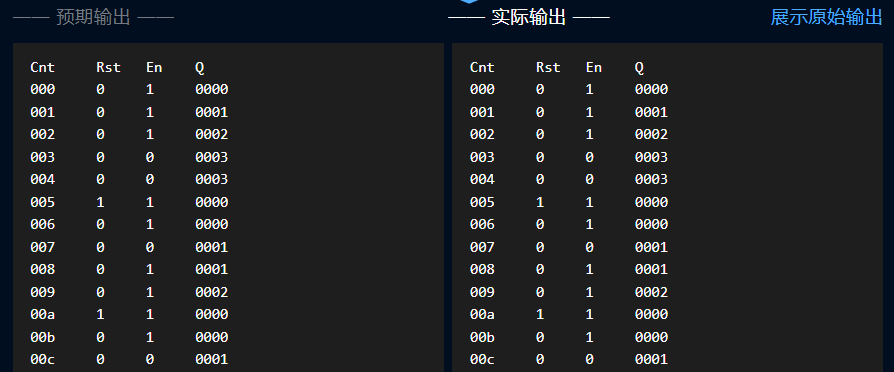


图2.26 码表计数器部分测试样例

1. 测试分析

Ctrl+K驱动时钟自动测试，码表显示正常，由测试结果以及测试电路的数码管输出可知，所设计的电路符合要求。

## 码表显示驱动设计

（1）设计思路及设计过程

使用分线器，将输入的Din分为16个数，每4位数用一个数码管驱动分出7条控制7段数码管的线。再用分线器把32个数值合成一个32位数DispInfo。

1. 电路图

设计的电路如图2.27所示。

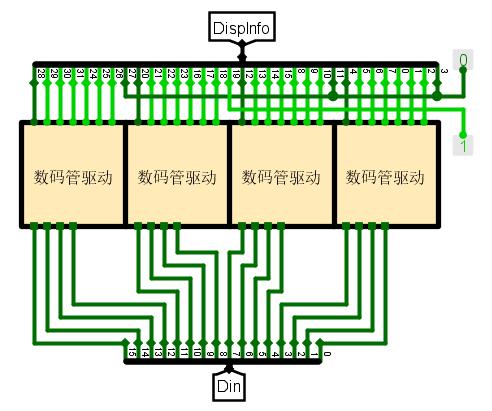


图2.27 码表显示驱动设计电路图

（3）测试图

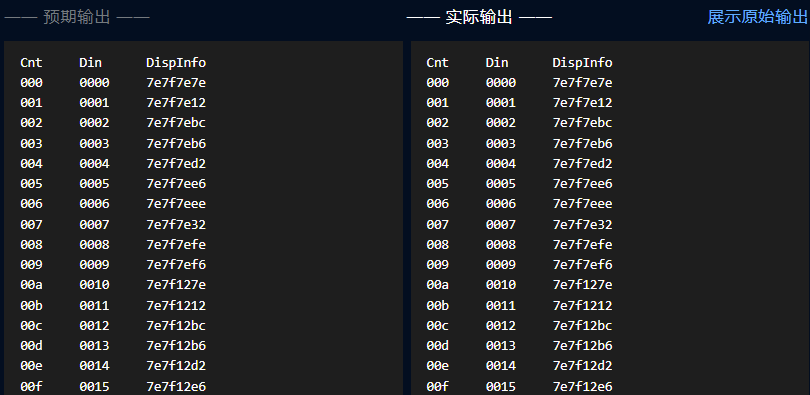


图2.28 码表显示驱动测试用例图

（4）测试分析

不同输入的Din对应的数码管显示正常，由测试结果可知，所设计的电路符合要求。

## 码表控制器状态机设计

（1）设计思路及设计过程

补充隐含的状态转换条件、状态维持的条件完善状态图，根据状态图完成状态转换真值表后自动生成次态输出逻辑表达式，在logisim中自动生成电路。

输出函数的表达式为：

N2:~start ~reset S2 ~S1 + ~reset S2 ~S1 ~S0 + store ~S2 S1 S0

N1:~start ~store ~reset ~S2 S1 + ~reset ~S2 S1 ~S0 + stop ~S2 S1 ~S0 + start ~S2 ~S1 S0

N0:~start ~reset ~S1 + ~reset ~S1 ~S0 + ~start ~store ~reset ~S2 S0 + store ~NewRecord ~S2 S1 S0 + stop ~S2 S1 ~S0 + start ~S2 S1 S0 + start S2 ~S1 S0

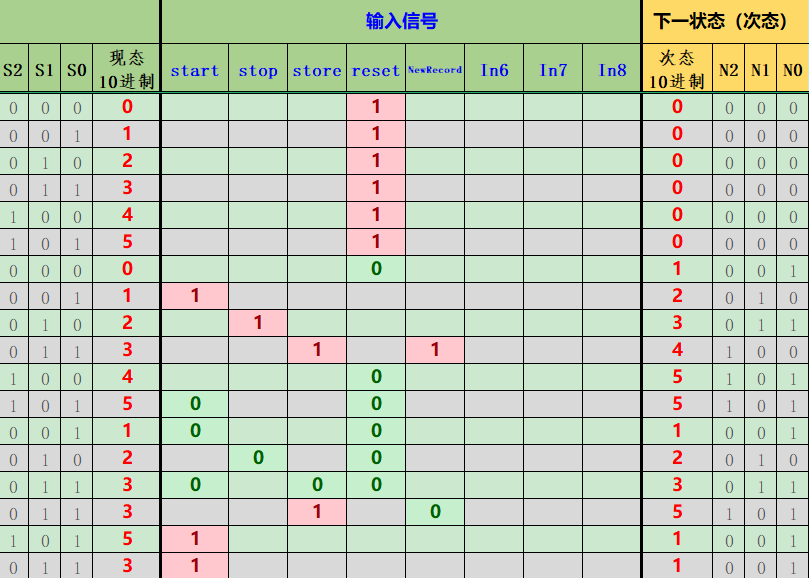


图2.29 码表控制器转换真值表

1. 电路图

设计的电路如图2.30所示。

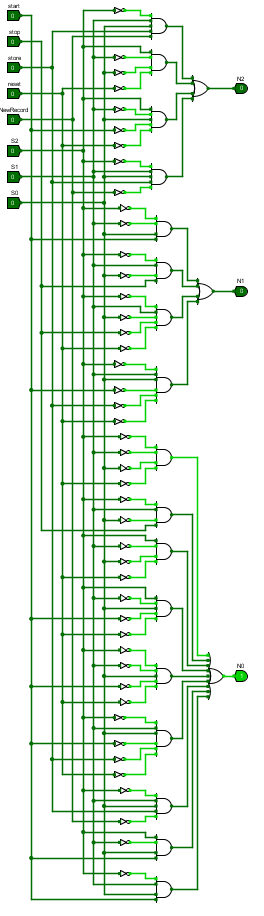


图2.30 码表控制器状态转换电路图

（3）测试图



图2.31 码表控制器状态转换测试用例

（4）测试分析

由测试结果可知，所设计的电路符合要求。

## 码表控制器输出函数设计

1. 设计思路及设计过程

根据码表控制器的功能，

当输入为00时，SDen、DPsel和TMrese为1；

当输入为001时，DPsel和TMrese为1；

当输入为010时，DPsel和TMen为1；

当输入为011时，DPsel为1；

当输入为100时，SDsel、SDen和DPsel为1；

当输入为101时，输出全部为0；

完成码表控制器输出函数真值表，如图所示：

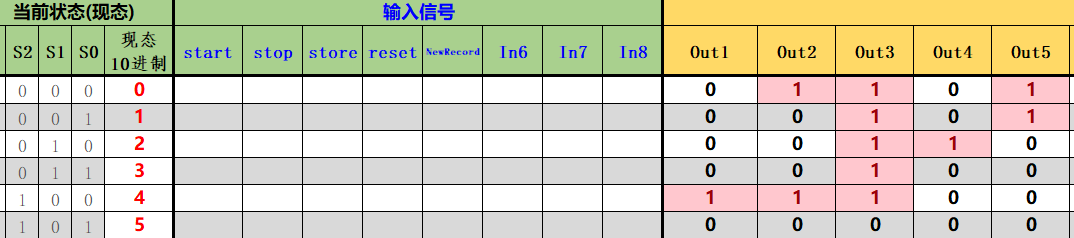


图2.32 码表控制器输出函数真值表

后自动生成码表控制器逻辑函数表达式：

SDsel:S2 ~S1 ~S0

SDen:~S1 ~S0

DPsel:~S2 + ~S1 ~S0

TMsel:~S2 S1 ~S0

TMrese:~S2 ~S1

在logisim中自动生成电路。

1. 电路图

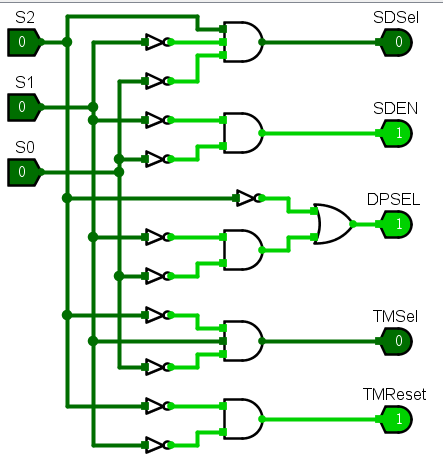


图2.33 码表控制器输出函数电路图

（3）测试图



图2.34 码表控制器输出函数测试用例

（4）测试分析

当输入为00时，SDen、DPsel和TMrese为1；当输入为001时，DPsel和TMrese为1；当输入为010时，DPsel和TMen为1；当输入为011时，DPsel为1；当输入为100时，SDsel、SDen和DPsel为1；当输入为101时，输出全部为0。

由测试结果可知，所设计的电路符合要求。

## 码表控制器

（1）设计思路及设计过程

利用3个D触发器，将D触发器的输出接入输出函数以及状态转换模块，作为输出函数和状态转换的输入。将状态转换电路的输出作为3个D触发器的输入。

1. 电路图

设计的电路如图2.35所示。

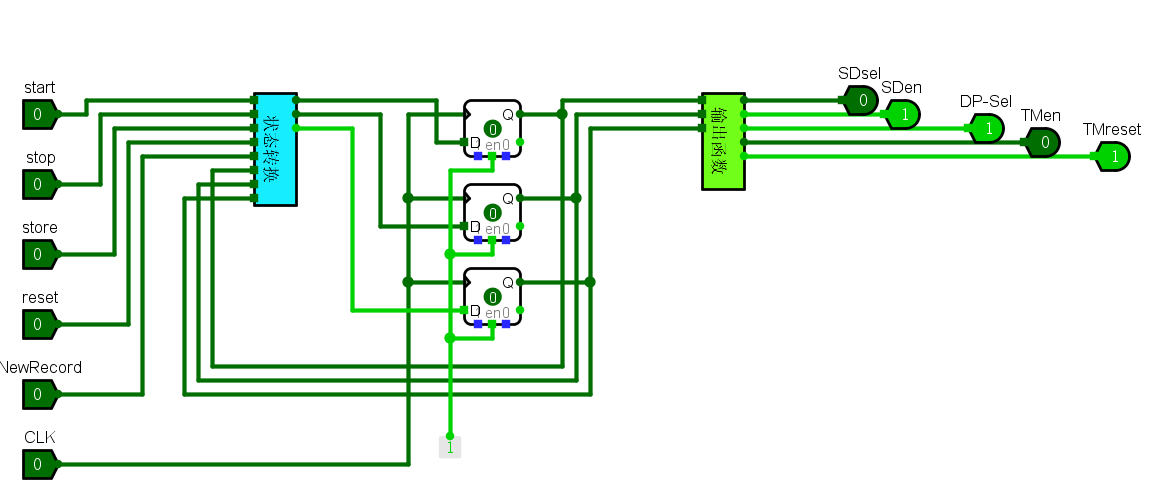


图2.35 码表控制器设计电路图

（3）测试图

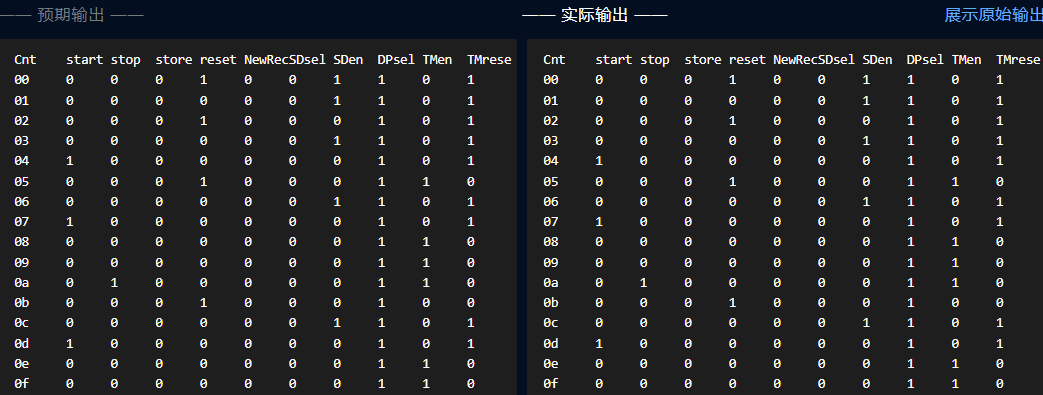


图2.36 码表控制器测试用例图

（4）测试分析

由测试结果可知，码表控制器状态转换电路和码表控制器输出函数电路级联构成的码表控制器输出复合功能要求，所设计的电路符合要求。

## 运动码表

（1）设计思路及设计过程

第一个选择器用来实现9999与实时计时的选择，16位寄存器用来传递选择器的输出，第二个选择器用来实现第一个选择器的输出数据与计时器的输出数据的选择.将计时器的输出连接到2个二路选择器的1端和16位无符号比较器的”<”端，将16位寄存器的输出连接到2路选择器的0端、16位无符号比较器的”>”端和最好记录。

1. 电路图

设计的电路如图2.37所示。

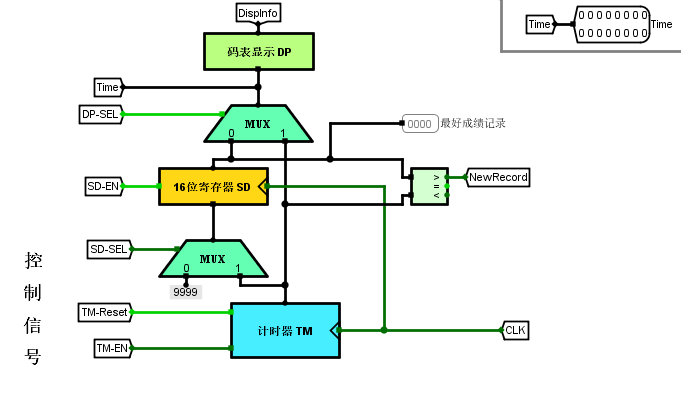


图2.37 运动码表设计电路图

（3）测试图



图2.38 运动码表测试用例图

（4）测试分析

在运动码表电路中，点击Start，运动码表开始计时；点击Stop，运动码表暂停计时。此时最好成绩记录为1357；点击Store，运动码表的值存储到寄存器SD中，同时最好成绩记录发生改变；再点击Start，运动码表再次开始计时；点击Stop，运动码表暂停计时；点击Store，此时运动码表显示的值比最好成绩记录大，所以运动码表显示最好成绩记录；点击Reset，运动码表恢复初始状态。

由测试结果可知，所设计的电路符合要求。

# 3 测试及故障调试

## 3.1遇到的问题及处理

1. 开始对于软件的使用不熟悉，后来也是经过多次使用才形成了自己的使用习惯和作图习惯；
2. 在进行16位无符号比较器、码表计数器、码表显示驱动的设计时，由于最初排线极为复杂，不光很不美观，并且由于线路繁杂经常出现连接错误的情况。通过更改结点的连接方式以及排线器对应的位极大的简化了电路。
3. 开始对于消除险象的概念不理解，经过老师和助教的指导下，结合实验逐步理解了。

## 3.2设计方案存在的不足

1. 运动码表不能回看之前存储的历史记录；
2. 码表设计缺少定时功能；
3. 16位并行加载寄存器的排线可以继续改进。

# 4 设计总结与心得

## 4.1 实验总结

本次实验采用模块式设计的方式，从计时器、选择器、寄存器、比较器、显示器、控制器等模块再到最后的运动码表的系统集成，成功实现了运动码表这个小型的数字系统。

## 4.2 实验心得

首先，本次实验帮助我了解并巩固了数字系统的设计流程：需求分析→设计功能部件→构建数据通路→构建控制单元→系统联调，实践的确是巩固知识的最好方式。

其次，本次实验采取模块式设计的思想，将运动码表分成了不同的功能模块，不光锻炼我们单个模块的设计能力，同时要求我们进行更深层次的考虑，思考各个模块具体的作用，并且思考他们在结构和功能上的衔接功能。

此外，我认为这是一个很好的机会，让我们体验到动手实践的乐趣，每次独立解决掉困难，都给予我极大的成就感。

## 4.3 意见与建议

意见：

1. 头歌平台上所要求的码表显示驱动模块连接方式在最后整合运动码表电路时有问题，若想要完成整合电路的测评，需要先改动码表显示驱动！

建议：

1. 可以首先放一个相似的简易化码表，让同学自主学习了解大致设计思路后，自己设计属于自己的运动码表；
2. 使用了一下[NI Multisim](https://link.zhihu.com/?target=http://www.ni.com/multisim/" \t "https://www.zhihu.com/question/_blank)和LTspice，发现和 Logisim相比无论是界面美观程度还是功能都强大一些，可以换一个仿真软件。

|  |
| --- |
| 原创性声明 |
| 本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。  **作者签名：路昊东** |