

UKŁADY CYFROWE – materiały do zajęć projektowych

Materiały pomocnicze dla studentów kierunku Informatyka

* * *

Uwaga! Większość opisanych w tych materiałach zagadnień nie jest rozwijana na wykładzie. Niniejsze opracowanie jest tylko zarysem treści omawianych na zajęciach praktycznych. Szczegółowe informacje techniczne znajdują się w podanej poniżej literaturze, a wyczerpujące opisy katalogowe układów TTL zaczerpnąć można ze specjalnej strony internetowej: www.alldatasheet.com.

W niniejszym opracowaniu rozwinięto następujące zagadnienia uzupełniające wykład:

1. Bramki logiczne TTL i elementy elektroniczne (str. 2 ÷ 9)
2. Układy czasowe bistabilne, monostabilne i astabilne (str. 10 ÷ 21)
3. Scalone układy licznikowe (str. 22 ÷ 30)
4. Scalone rejestry przesuwne (str. 31 ÷ 39)

Wiadomości podstawowe zawarte są w materiałach pomocniczych do wykładu:

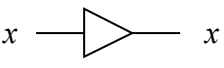
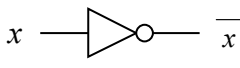
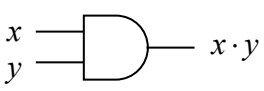
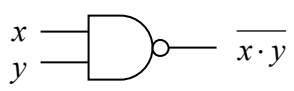
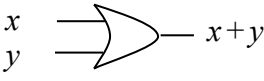
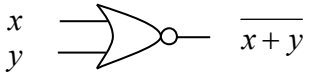
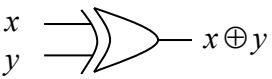
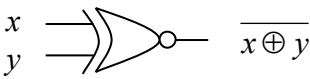
- projektowanie układów kombinacyjnych
- projektowanie układów iteracyjnych
- projektowanie układów sekwencyjnych synchronicznych
- projektowanie układów sekwencyjnych asynchronicznych

Literatura:

1. Barski M., Jędruch W.: Układy cyfrowe i mikroprocesory – skrypt. Wyd. PG 1985 (2007).
2. Barski M., Jędruch W., Niedźwiecki M., Raczyński P., Sarzyński B.: Układy cyfrowe i mikroprocesory – zadania. Wyd. PG 1984.
3. Kalisz J.: Podstawy elektroniki cyfrowej. Wyd. 3, WKŁ 1988.
4. Łakomy M., Zabrodzki J.: Cyfrowe układy scalone. Wyd. 2 poprawione, PWN 1983.
5. Misiurewicz P., Grzybek M.: Półprzewodnikowe układy logiczne TTL. WNT 1982.
6. Pieńkos J., Turczyński J.: Układy scalone TTL w systemach cyfrowych. Wyd. 1, WKŁ 1980.
7. Rusek M., Ćwirko R., Marciniak W.: Przewodnik po elektronice. WNT 1986.
8. Technical Data of Electronic Components: www.alldatasheet.com.

1. Bramki logiczne TTL i elementy elektroniczne

Symbole graficzne funkcyj logicznych i typowe funkcje logiczne przedstawiono w tabelach.

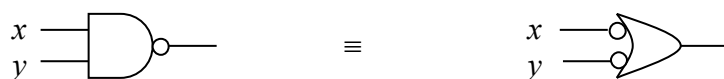
<p>BUF</p> 	<p>NOT</p> 
<p>AND</p> 	<p>NAND</p> 
<p>OR</p> 	<p>NOR</p> 
<p>XOR</p> 	<p>NXOR</p> 

$x \ y$	NOT \bar{x}	OR $x + y$	XOR $x \oplus y$	AND $x \cdot y$	IF $x \rightarrow y$	EQ $x \equiv y$	NOR $\overline{x + y}$	NAND $\overline{x \cdot y}$
0 0	1	0	0	0	1	1	1	1
0 1		1	1	0	1	0	0	1
1 0	0	1	1	0	0	0	0	1
1 1		1	0	1	1	1	0	0

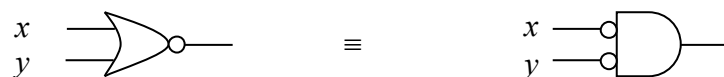
Niektóre z podanych funkcji są realizowane bezpośrednio przez odpowiednie bramki logiczne (np. NOT, AND, NAND, OR, NOR, XOR i EQ oznaczające operację NXOR). Operację IF z kolei można zrealizować jako: $x \rightarrow y = \bar{x} + y = \overline{x \cdot \bar{y}}$, co sprowadza się do zastosowania pary bramek NOT i OR, bądź też pary bramek NOT i NAND. Bramka BUF natomiast jest jedynie wzmacniaczem (buforem) i nie zmienia wartości logicznej sygnału.

Na schematach logicznych można też spotkać inne oznaczenia bramek, co pokazują rysunki.

- Negacja iloczynu (NAND) to suma zanegowanych sygnałów: $\overline{x \cdot y} = \bar{x} + \bar{y}$



- Negacja sumy (NOR) to iloczyn zanegowanych sygnałów: $\overline{x + y} = \bar{x} \cdot \bar{y}$

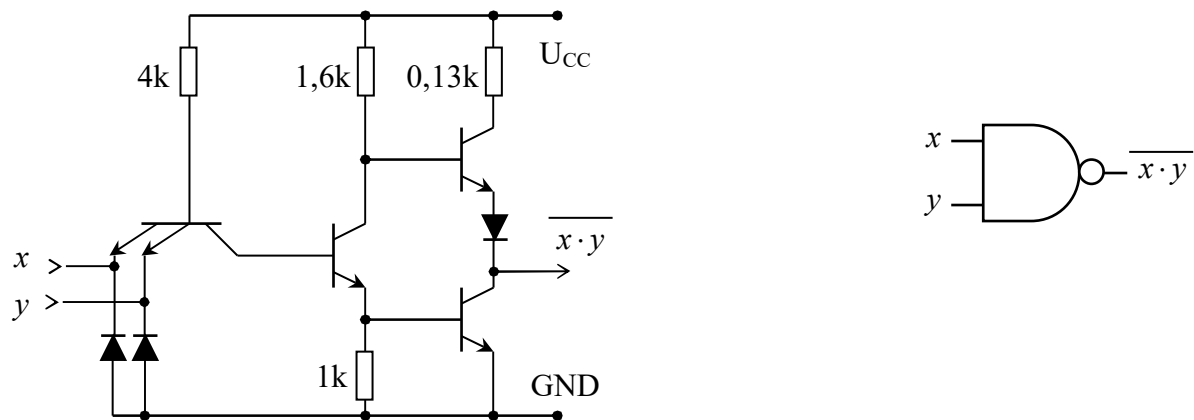


- Negacja sumy modulo 2 (XOR) to równoważność sygnałów: $\overline{x \oplus y} = (x \equiv y)$

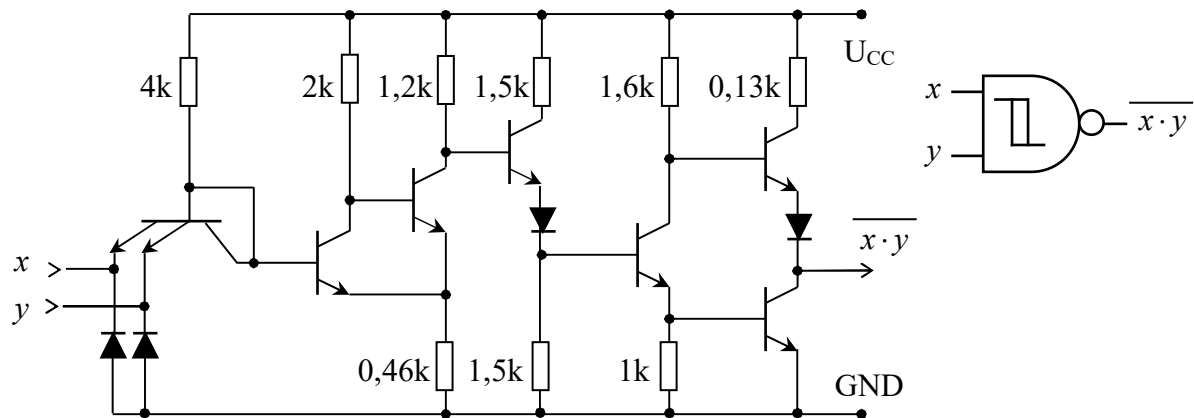


W technologii TTL (Transistor-Transistor-Logic), wprowadzonej na rynek w roku 1965 przez firmę Texas Instruments, bramki logiczne budowane są z tranzystorów bipolarnych i oporników. Architektury przykładowych bramek logicznych ilustrują rysunki.

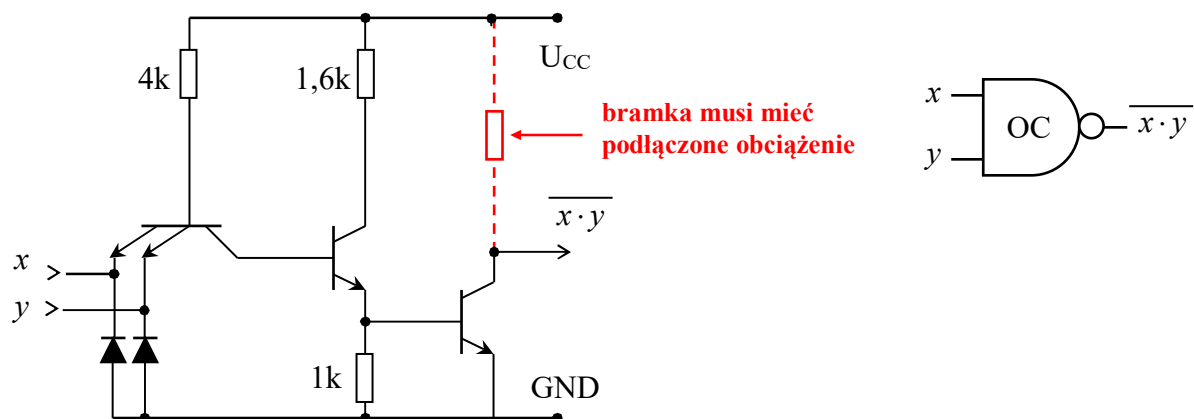
- Bramka standardowa NAND z układu SN 7400



- Bramka z histerezą (Schmitta) NAND z układu SN 74132



- Bramka z otwartym kolektorem OC (Open Collector) NAND z układu SN 7401



Bramki logiczne TTL zasilane są napięciem $U_{CC} = 5\text{ V} \pm 5\%$ (tzn. $U_{CC} = 4,75\text{ V} \div 5,25\text{ V}$), a zakres dopuszczalnej temperatury pracy wynosi zwykle $0^{\circ}\text{C} \div +70^{\circ}\text{C}$. Wśród układów firmy Texas Instruments wyróżnia się następujące serie SN (Semiconductor Networks):

- **SN 74xx** – seria podstawowa,
- **SN 74Hxx** – seria szybka (High-Speed),
- **SN 74Lxx** – seria małej mocy (Low-Power),
- **SN 74Sxx** – seria z szybkimi tranzystorami (Schottky’ego),
- **SN 74LSxx** – seria małej mocy z szybkimi tranzystorami (Low-Power Schottky).

Oprócz powyższych tzw. serii cywilnych **SN 74xx** produkowane są funkcjonalnie równoważne serie wojskowe **SN 54xx**. Te ostatnie są zasilane napięciem $U_{CC} = 5\text{ V} \pm 10\%$ (tzn. $U_{CC} = 4,5\text{ V} \div 5,5\text{ V}$), a zakres dopuszczalnej temperatury pracy jest znacznie szerszy ($-55^{\circ}\text{C} \div +125^{\circ}\text{C}$). Analogiczne układy TTL produkowane przez inne firmy można poznać po stosownych oznaczeniach: np. firma Signetic oferuje układy **N 74xx** (seria cywilna) i **S 74xx** (seria wojskowa), a układy produkowane w Polsce są skatalogowane jako **UCY 74xx**.

Gwarantowane parametry napięciowe dla standardowej serii SN 74xx są następujące:

- maksymalne napięcie wejściowe w stanie niskim: $U_{\text{in-low-MAX}} = 0,8\text{ V}$,
- minimalne napięcie wejściowe w stanie wysokim: $U_{\text{in-high-MIN}} = 2,0\text{ V}$,
- maksymalne napięcie wyjściowe w stanie niskim: $U_{\text{out-low-MAX}} = 0,4\text{ V}$,
- minimalne napięcie wyjściowe w stanie wysokim: $U_{\text{out-high-MIN}} = 2,4\text{ V}$.

Gwarantowane parametry prądowe dla standardowej serii SN 74xx są następujące:

- maksymalny prąd wejściowy w stanie niskim (dla $U_{\text{in}} = 0,4\text{ V}$): $I_{\text{in-low-MAX}} = 1,6\text{ mA}$,
- maksymalny prąd wejściowy w stanie wysokim (dla $U_{\text{in}} = 2,4\text{ V}$): $I_{\text{in-high-MAX}} = 0,04\text{ mA}$,
- maksymalny prąd wyjściowy w stanie niskim (dla $U_{\text{out}} = 0,8\text{ V}$): $I_{\text{out-low-MAX}} = 16\text{ mA}$,
- maksymalny prąd wyjściowy w stanie wysokim (dla $U_{\text{out}} = 2,0\text{ V}$): $I_{\text{out-high-MAX}} = 0,4\text{ mA}$.

Pozostałe parametry wynikają z powyższych danych:

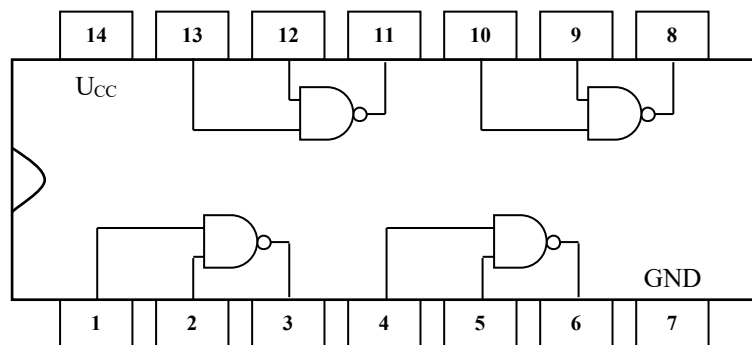
- gwarantowany statyczny margines szumów: $U_{\text{noise}} = 0,4\text{ V}$,
- średni pobór prądu: $I_{\text{mean}} = 2\text{ mA}$,
- impuls prądowy przy przełączaniu: $I_{\text{imp}} = 20\text{ mA}$,
- obciążalność wyjściowa dla stanu niskiego: $N = I_{\text{out-low-MAX}} / I_{\text{in-low-MAX}} = 10$,
- obciążalność wyjściowa dla stanu wysokiego: $N = I_{\text{out-high-MAX}} / I_{\text{in-high-MAX}} = 10$,
- statyczna moc rozpraszana (dla $I = 2\text{ mA}$ i $U_{CC} = 5\text{ V}$): $P_s = 10\text{ mW}$.

Porównanie parametrów dwuwejściowych bramek NAND różnych serii SN 74xx ilustruje tabela.

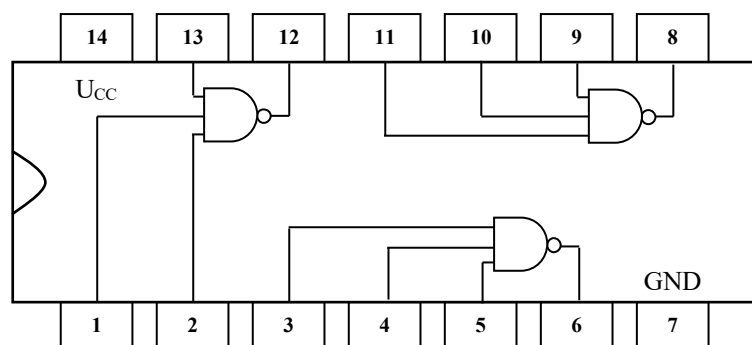
Seria	Czas propagacji	Średni pobór mocy	Obciążalność
SN 74	10 ns	10 mW	10 bramek SN 74
SN 74H	6 ns	22 mW	10 bramek SN 74H
SN 74L	33 ns	1 mW	10 bramek SN 74L
SN 74S	3 ns	19 mW	10 bramek SN 74S
SN 74LS	5 ns ÷ 9 ns	2 mW	20 bramek SN 74LS

Z podanego zestawienia wynika, że do wyjścia standardowej bramki TTL (np. SN 7400) można dołączyć maksymalnie 10 takich bramek. Jednocześnie wartość prądu wyjściowego jest niewystarczająca do sterowania diodami świecącymi (LED).

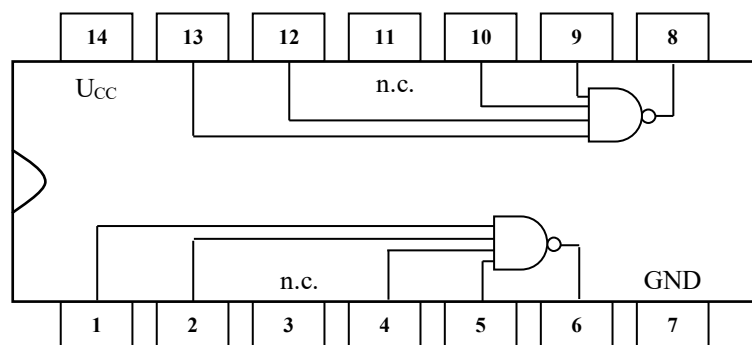
Rozmieszczenie bramek NAND w wybranych układach TTL serii SN 74xx ilustrują rysunki.
Uwaga! W układach TTL serii SN 54xx (wojskowej) rozmieszczenie bramek jest inne.



Obudowa 14-nóżkowa
 np. dla bramek serii:
 SN 7400 (standardowa)
 SN 7401 (otwarty kolektor)
 SN 7437 (mocy)
 SN 74132 (Schmitta)



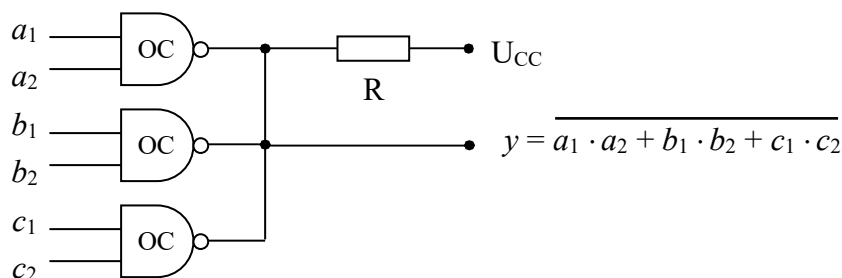
Obudowa 14-nóżkowa
 np. dla bramek serii:
 SN 7410



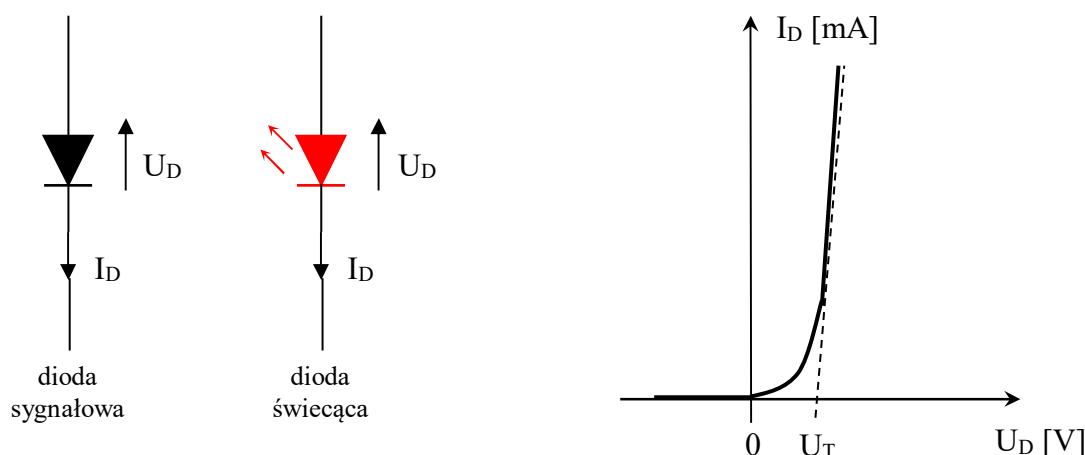
Obudowa 14-nóżkowa
 np. dla bramek serii:
 SN 7440 (buforowa)

Standardowe bramki logiczne przetwarzają sygnały cyfrowe (tj. napięciowe przebiegi prostokątne $0\text{ V} \div 5\text{ V}$ o odpowiednio stromych zboczach). Wyjątkiem są bramki Schmitta (np. 74132), na wejścia których można podawać sygnały wolnozmiennne.

Oczywistym jest, że wyjść standardowych bramek TTL nie można ze sobą zwierać. Zwieranie wyjść jest natomiast możliwe w przypadku stosowania bramek z otwartym kolektorem. Połączenie takie, zwane "iloczynem montażowym" lub "sumowaniem na drucie", pozwala w prosty sposób realizować funkcje logiczne (pod warunkiem poprawnego doboru oporności R).

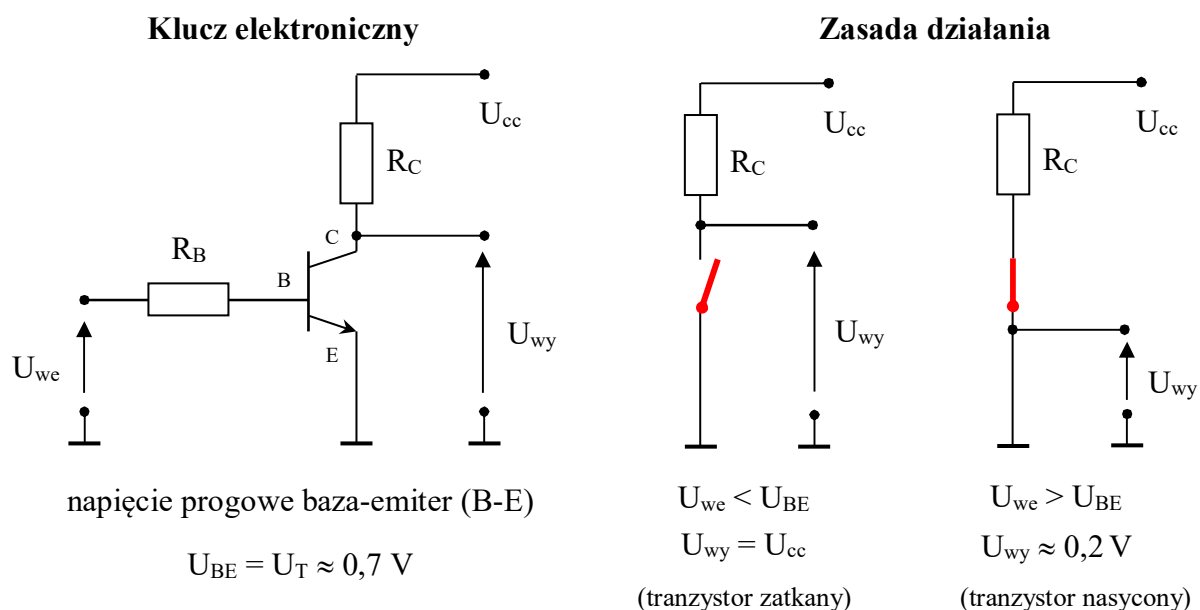


Przekształcanie sygnałów analogowych można zrealizować stosując proste elementy elektroniczne (diody i tranzystory). Podstawową charakterystykę prądowo-napięciową diody sygnałowej oraz diody świecącej LED (Light Emitting Diode) ilustruje rysunek.



Dla diod sygnałowych napięcie progowe wynosi zwykle $U_T = 0,6 \text{ V} \div 0,7 \text{ V}$, zaś w przypadku LED napięcie to mieści się w przedziale od $U_T = 1,5 \text{ V}$ (dioda czerwona) do $U_T = 3,0 \text{ V}$ (dioda zielona). Aby zapalić LED należy wymusić odpowiedni prąd płynący przez tę diodę (np. $I_D = 20 \text{ mA}$).

Ponieważ tranzystor (**transistor**) to w istocie rezystancja sterowana napięciowo (**transfer resistor**), w prostych układach przetwarzania sygnałów często stosowane są tranzystory bipolarne pracujące jako klucze (przełączniki) elektroniczne. Sposób sterowania kluczem z tranzystorem *n-p-n* objaśnia poniższy schemat.



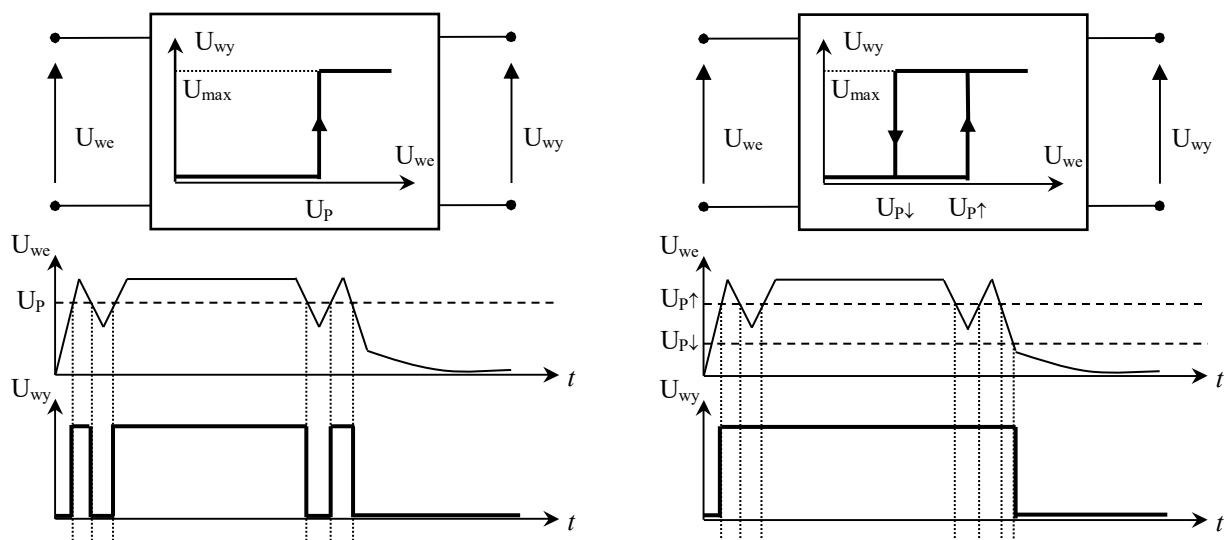
Zakładając przykładowo, że napięcie wejściowe zmienia się skokowo w zakresie $0 \text{ V} \div 5 \text{ V}$ przy napięciu zasilania wynoszącym $U_{CC} = +5 \text{ V}$, można dobrać wartości rezystorów następująco:

$$R_B = (U_{we} - U_{BE}) / I_B = (5 \text{ V} - 0,7 \text{ V}) / 1 \text{ mA} = 4,3 \text{ k}\Omega \quad , \quad R_C = 0,47 \text{ k}\Omega \div 4,7 \text{ k}\Omega \quad .$$

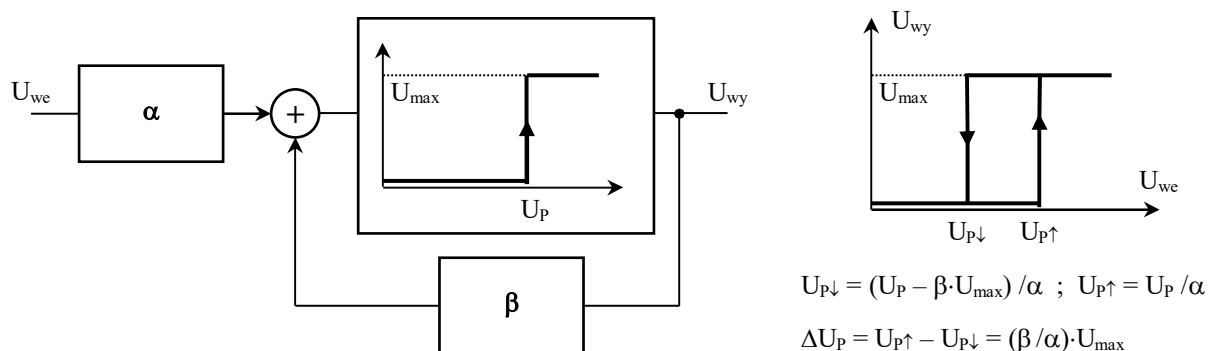
Wówczas dla $U_{we} = 5 \text{ V}$ tranzystor nasyca się poprzez wymuszenie prądu bazy $I_B = 1 \text{ mA}$. Wartość rezystora R_C natomiast jest typowa, gdy sygnał wyjściowy ma być podany dalej na wejście TTL (**logiczne „1” w układach TTL to napięcie +5 V podłączone do rezystora $0,47 \text{ k}\Omega \div 4,7 \text{ k}\Omega$**).

W analogiczny sposób można zbudować klucz elektroniczny wykorzystując tranzystor *p-n-p*.

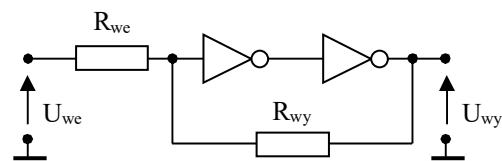
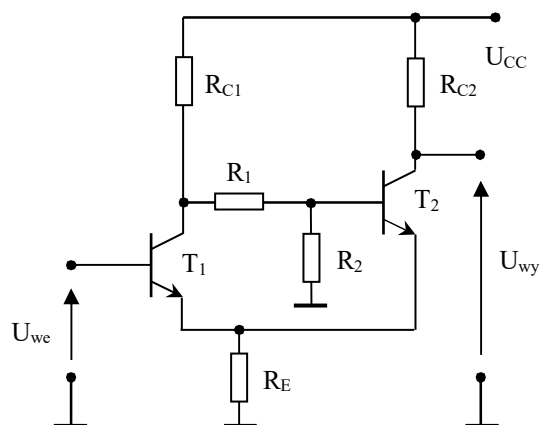
Przetwarzając sygnały wolnozmiennie należy stosować przełączniki lub bramki z histerezą (Schmitta). Przydatność układów z histerezą (eliminacja trzasków przełącznika) widać w przypadku obróbki sygnałów z nałożonymi zakłóceniami o wysokiej częstotliwości, co ilustrują rysunki.



Układ Schmitta łatwo zbudować obejmując zwykły przełącznik dwupołożeniowy pętlą dodatniego sprzężenia zwrotnego, co pokazuje schemat.



Praktyczne realizacje układów z histerezą przedstawiono poniżej.



Dla bramek NOT serii standardowej zachodzi:

$$U_{\max} = 4,5V \div 5V$$

$$U_P \approx 1,4V$$

$$\alpha \approx R_{wy} / (R_{we} + R_{wy})$$

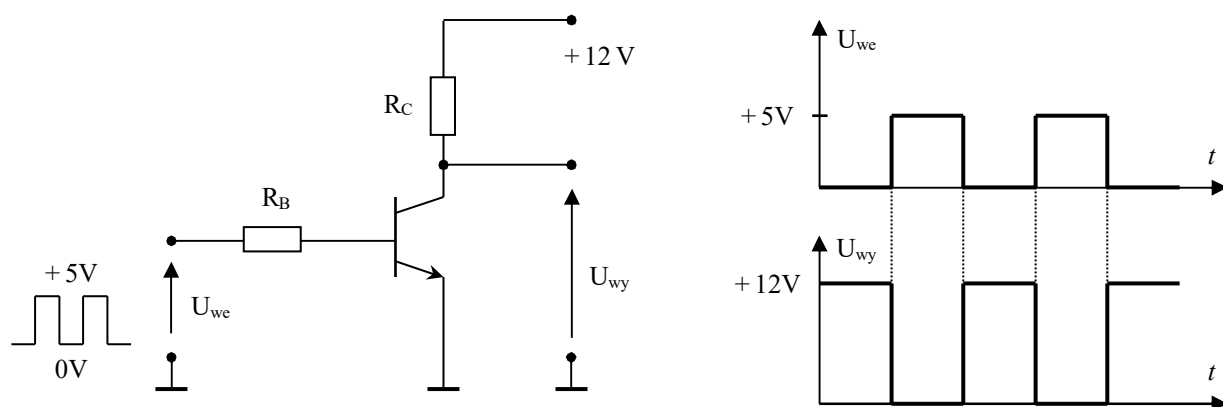
$$\beta \approx R_{we} / (R_{we} + R_{wy})$$

Parametry można dobrać jak np. w bramce Schmitta SN 74132:

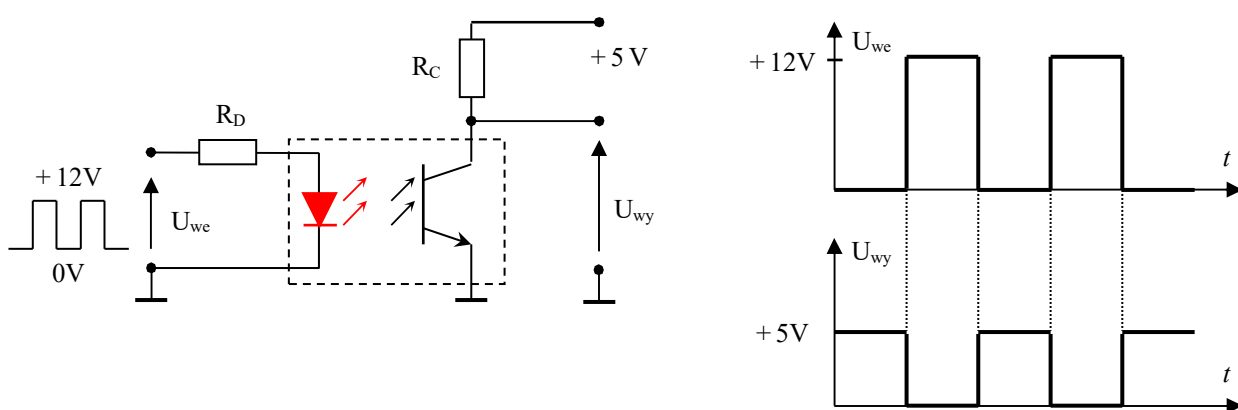
$U_{CC} = 5V$, $R_{C1} = 2\text{ k}\Omega$, $R_{C2} = 1,2\text{ k}\Omega$, $R_E = 0,46\text{ k}\Omega$, $R_1 = 0$, $R_2 = \infty$,

uzyskując $U_{P\downarrow} = 0,9V$, $U_{P\uparrow} = 1,7V$, $\Delta U_P = U_{P\uparrow} - U_{P\downarrow} = 0,8V$

Zmianę amplitudy i przesuwanie poziomu sygnału łatwo uzyskać stosując klucze tranzystorowe. Na rysunku pokazano sposób zmiany sygnału prostokątnego o amplitudzie 5 V (standard TTL) na sygnał o amplitudzie 12 V stosowany do sterowania bramkami typu MOS (Metal Oxide Silicon). Rezystory R_B i R_C wyznacza się metodą przedstawioną przy opisie klucza tranzystorowego.

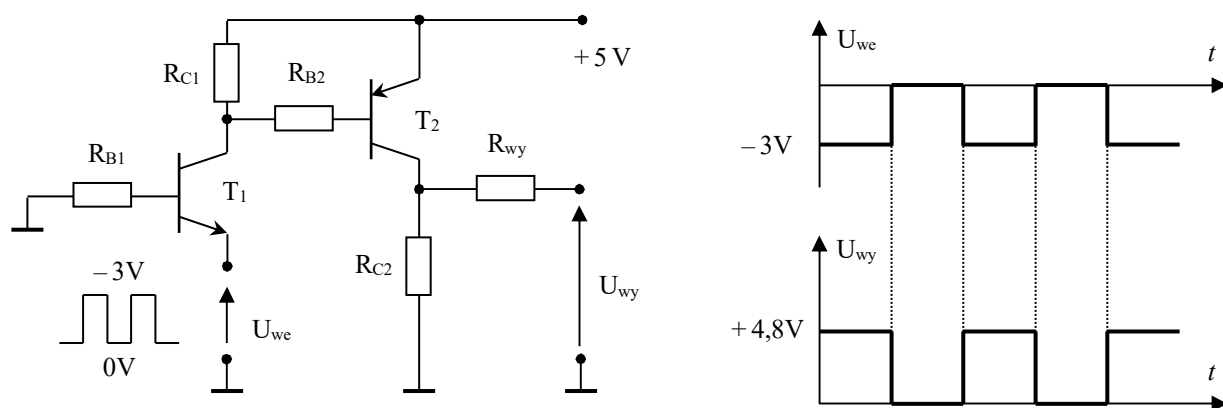


Zmianę amplitudy sygnału prostokątnego z 12 V na 5 V można z kolei przeprowadzić korzystając z transoptora (układu złożonego z diody świecącej i fototranzystora).



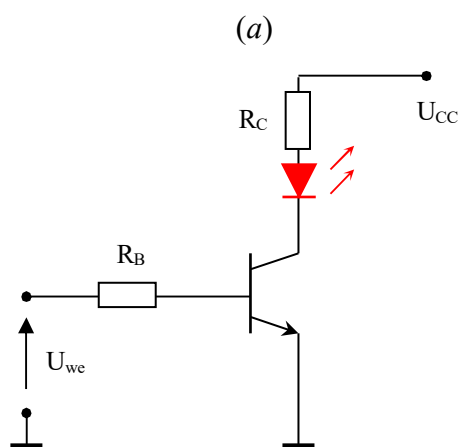
Wartość rezystora R_D wyznacza się na podstawie znajomości minimalnego prądu I_D diody potrzebnego do wystawiania elementu fotooptycznego. Przykładowo dla $I_D = 20 \text{ mA}$ dostaje się: $R_D = (U_{we} - U_T) / I_D = (12 \text{ V} - 1,5 \text{ V}) / 20 \text{ mA} = 0,525 \text{ k}\Omega$. Wartość $R_C = 0,47 \text{ k}\Omega \div 4,7 \text{ k}\Omega$ wynika zaś z podanego już wcześniej sposobu realizacji stanów logicznych w standardzie TTL.

Zamianę sygnału prostokątnego o wartościach ujemnych na standard TTL pokazuje rysunek.

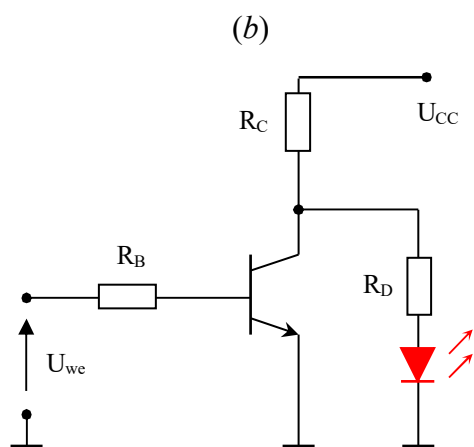


Na kluczu T_1 napięcie wyjściowe mieści się w zakresie $[-3 \text{ V} \div 5 \text{ V}]$. Klucz T_2 (tranzystor $p-n-p$) przełącza napięcie wyjściowe między poziomami $U_{wy} = 0 \text{ V}$ i $U_{wy} = 5 \text{ V} - U_{EC} \approx 5 \text{ V} - 0,2 \text{ V} = 4,8 \text{ V}$ ($U_{EC} \approx 0,2 \text{ V}$ gdy T_2 nasycony). Rezystor $R_{wy} = 0,47 \text{ k}\Omega \div 4,7 \text{ k}\Omega$ zapewnia standard TTL wyjścia.

Sterowanie diodami świecącymi najłatwiej zrealizować przy pomocy kluczy tranzystorowych.



LED świeci dla $U_{we} > U_{BE}$



LED świeci dla $U_{we} < U_{BE}$

Dla napięcia wejściowego będącego sygnałem prostokątnym TTL ($0\text{ V} \div 5\text{ V}$) oraz przy napięciu zasilania $U_{CC} = +12\text{ V}$ można obliczyć odpowiednie rezystancje ze znanych wzorów:

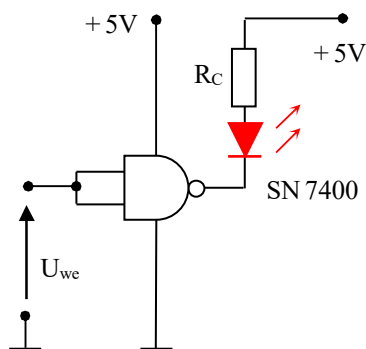
(a) $R_B = (U_{we} - U_{BE}) / I_B = (5\text{ V} - 0,7\text{ V}) / 1\text{ mA} = 4,3\text{ k}\Omega$,

$R_C = (U_{CC} - U_T) / I_D = (12\text{ V} - 1,5\text{ V}) / 20\text{ mA} = 0,525\text{ k}\Omega$,

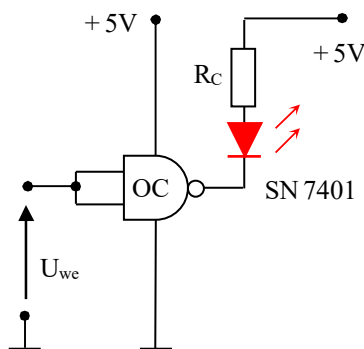
(b) $R_B = (U_{we} - U_{BE}) / I_B = (5\text{ V} - 0,7\text{ V}) / 1\text{ mA} = 4,3\text{ k}\Omega$,

$R_C + R_D = U_{CC} / I_D = 12\text{ V} / 20\text{ mA} = 0,6\text{ k}\Omega$ (np. $R_C = 0,47\text{ k}\Omega$ i $R_D = 0,13\text{ k}\Omega$).

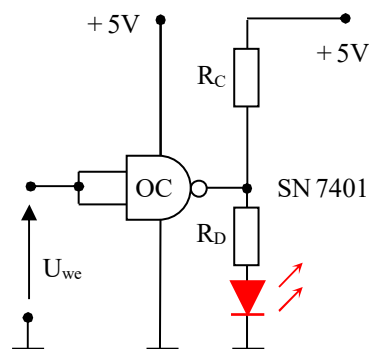
Diody świeące można teżysterowywać z wyjść bramek standardowych i z otwartym kolektorem. Sposób podłączania LED do takich bramek ilustrują poniższe schematy. Obliczanie odpowiednich rezystancji wykonuje się podobnie, jak dla kluczy tranzystorowych.



LED świeci dla $U_{we} = "1"$



LED świeci dla $U_{we} = "1"$

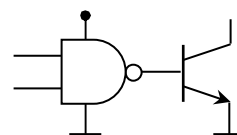


LED świeci dla $U_{we} = "0"$

Na rysunkach zaznaczono, iż bramki logiczne są układami zasilanymi odpowiednim napięciem. W praktyce na schematach logicznych pomija się oczywisty fakt podłączenia układów do źródła zasilania.

Do sterowania diodami świecącymi szczególnie nadają się bramki z układu 75451 (rys. obok). Obwód z LED i rezystorem podłączany jest tak samo, jak w rozwiązaniu z kluczem tranzystorowym. Ponadto napięcie sterujące wyjściowym stopniem tranzystorowym może być większe niż napięcie 5 V zasilające sam układ.

Bramka 75451



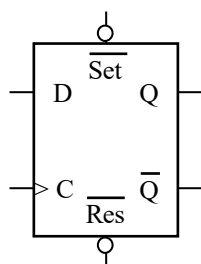
2. Układy czasowe bistabilne, monostabilne i astabilne

W wielu systemach sterowania spotyka się układy czasowe bistabilne, monostabilne i astabilne.

Układ bistabilny charakteryzuje się dwoma stanami równowagi trwałej. Wejściowy sygnał sterujący służy do wymuszenia zmiany stanu, jak to ma miejsce na przykład w przerzutnikach. W przypadku układu monostabilnego zewnętrzny sygnał pobudzający powoduje pojawienie się na wyjściu układu impulsu o określonej długości. W układach tych, nazywanych też uniwibratorami, możliwa jest zazwyczaj regulacja czasu trwania impulsu poprzez dobór wartości zewnętrznych elementów regulacyjnych (rezystor i kondensator). W układzie astabilnym natomiast nie występuje stan równowagi trwałej, co oznacza cykliczną zmianę sygnału na wyjściu takiego układu. Ponieważ zmiany stanu dokonują się tam samoistnie (tzn. bez udziału sygnałów zewnętrznych), układy astabilne wykorzystuje się często do generacji przebiegów taktujących.

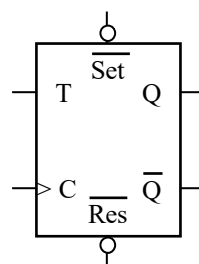
Najprostszymi układami bistabilnymi są przerzutniki. Poniżej opisano działanie przerzutników synchronicznych D, T, JK i RS wyzwalanych narastającym zboczem (\uparrow) zegara (C).

Przerzutnik D



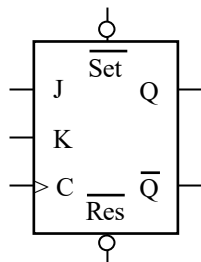
C	D	$\overline{\text{Set}}$	$\overline{\text{Res}}$	Q
×	×	0	0	nieznane
×	×	0	1	$Q \leftarrow 1$
×	×	1	0	$Q \leftarrow 0$
\uparrow	0	1	1	$Q \leftarrow 0$
\uparrow	1	1	1	$Q \leftarrow 1$

Przerzutnik T



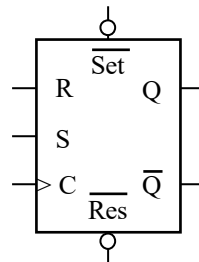
C	T	$\overline{\text{Set}}$	$\overline{\text{Res}}$	Q
×	×	0	0	nieznane
×	×	0	1	$Q \leftarrow 1$
×	×	1	0	$Q \leftarrow 0$
\uparrow	0	1	1	$Q \leftarrow Q$
\uparrow	1	1	1	$Q \leftarrow \overline{Q}$

Przerzutnik JK



C	J	K	$\overline{\text{Set}}$	$\overline{\text{Res}}$	Q
×	×	×	0	0	nieznane
×	×	×	0	1	$Q \leftarrow 1$
×	×	×	1	0	$Q \leftarrow 0$
\uparrow	0	0	1	1	$Q \leftarrow Q$
\uparrow	0	1	1	1	$Q \leftarrow 0$
\uparrow	1	0	1	1	$Q \leftarrow 1$
\uparrow	1	1	1	1	$Q \leftarrow \overline{Q}$

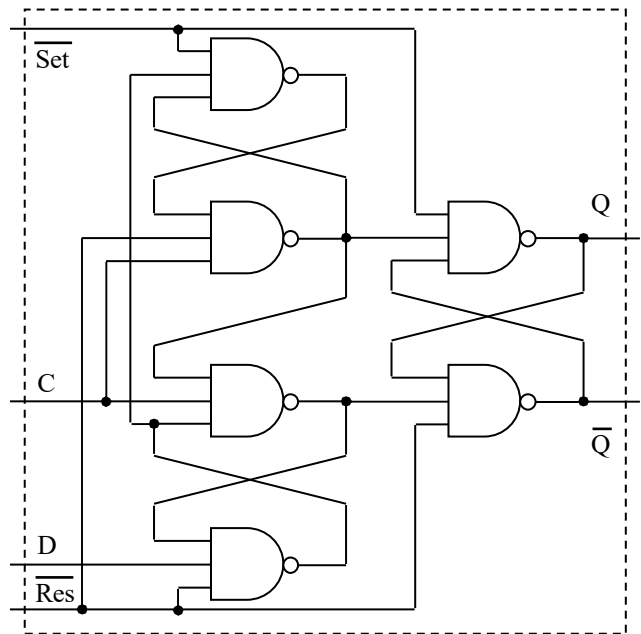
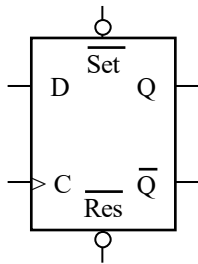
Przerzutnik RS



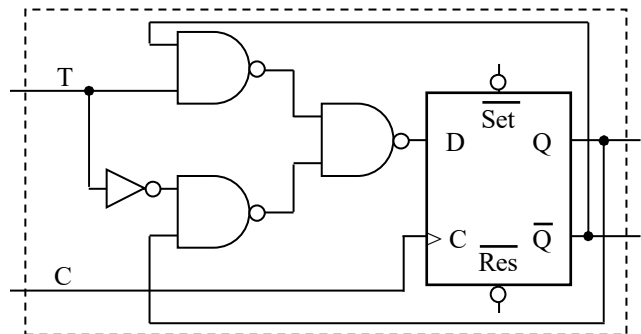
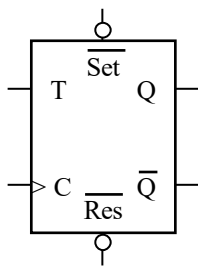
C	R	S	$\overline{\text{Set}}$	$\overline{\text{Res}}$	Q
×	×	×	0	0	nieznane
×	×	×	0	1	$Q \leftarrow 1$
×	×	×	1	0	$Q \leftarrow 0$
\uparrow	0	0	1	1	$Q \leftarrow Q$
\uparrow	0	1	1	1	$Q \leftarrow 1$
\uparrow	1	0	1	1	$Q \leftarrow 0$
\uparrow	1	1	1	1	nieznane

Na poniższym schemacie przedstawiono schemat realizacyjny przerzutnika synchronicznego D z układu 7474. Kolejne rysunki ilustrują natomiast sposób syntezy innych przerzutników (T, JK, RS) z wykorzystaniem przerzutnika D i bramek logicznych.

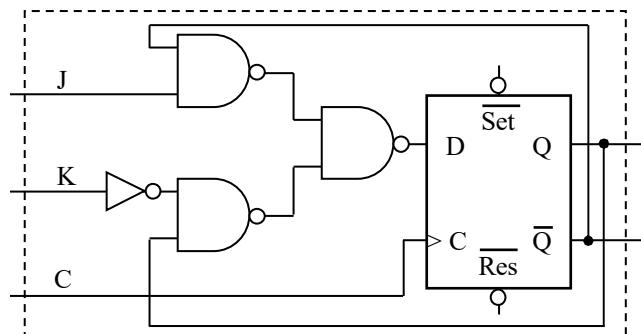
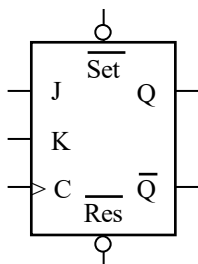
Przerzutnik D



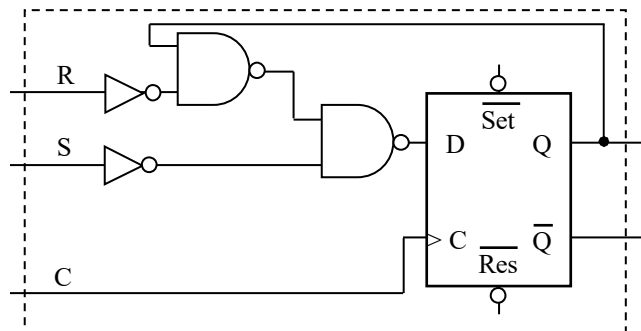
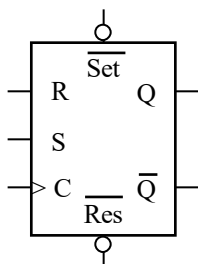
Przerzutnik T



Przerzutnik JK

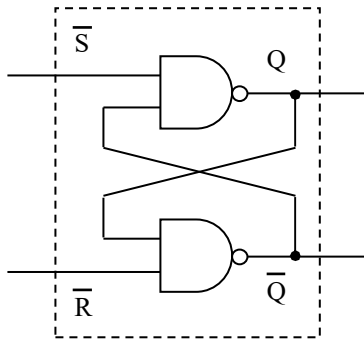


Przerzutnik RS



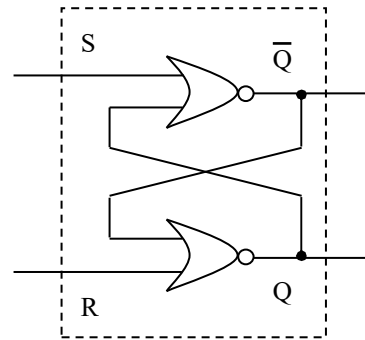
Klasyczne przerzutniki asynchroniczne wyzwalane są poziomymi sygnałami (S – Set, R – Reset).

Przerzutnik asynchroniczny $\overline{S}\overline{R}$



\overline{S}	\overline{R}	Q	\overline{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	pamięć stanu Q	

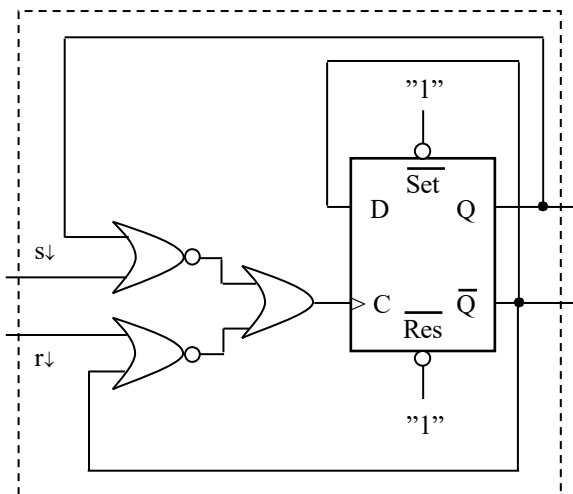
Przerzutnik asynchroniczny SR



S	R	Q	\overline{Q}
0	0	pamięć stanu Q	
0	1	0	1
1	0	1	0
1	1	0	0

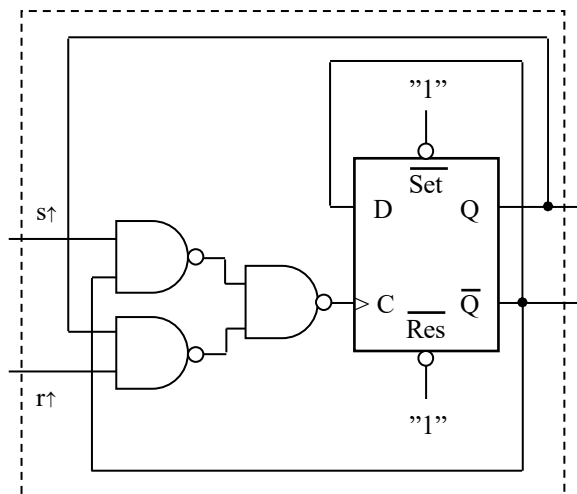
Przerzutniki asynchroniczne specjalne wyzwalane są zboczami narastającymi (\uparrow) lub zboczami opadającymi (\downarrow) sygnałów (s – set, r – reset). W konstrukcji poniższych układów wykorzystano tzw. "dwójki liczące" (opis dalej) zbudowane z przerzutników synchronicznych D.

Przerzutnik asynchroniczny $s\downarrow r\downarrow$



$s\downarrow$	$r\downarrow$	Q	\overline{Q}
\downarrow	0	1	0
\downarrow	1	1	0
0	\downarrow	0	1
1	\downarrow	0	1

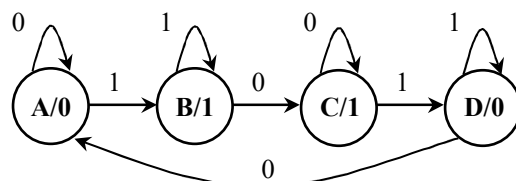
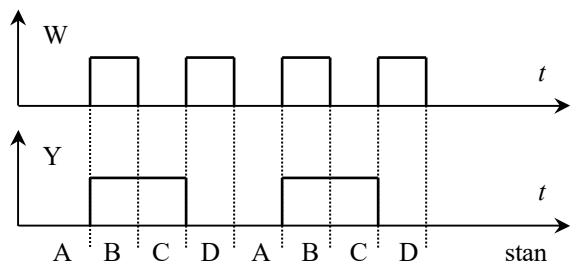
Przerzutnik asynchroniczny $s\uparrow r\uparrow$



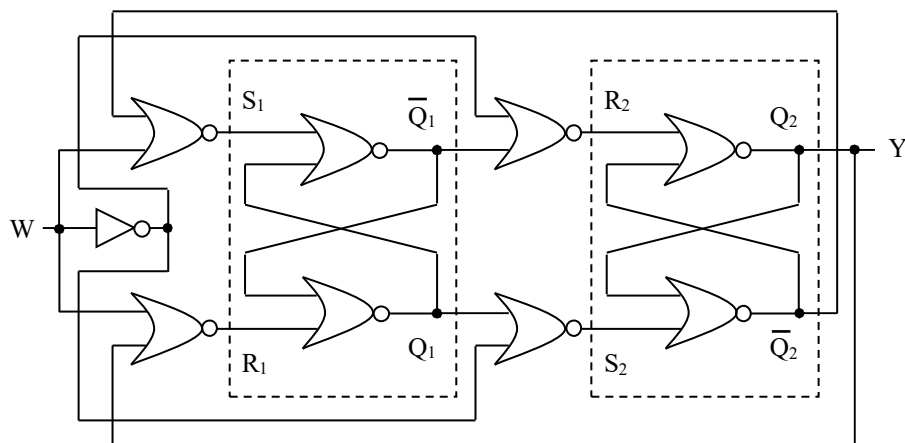
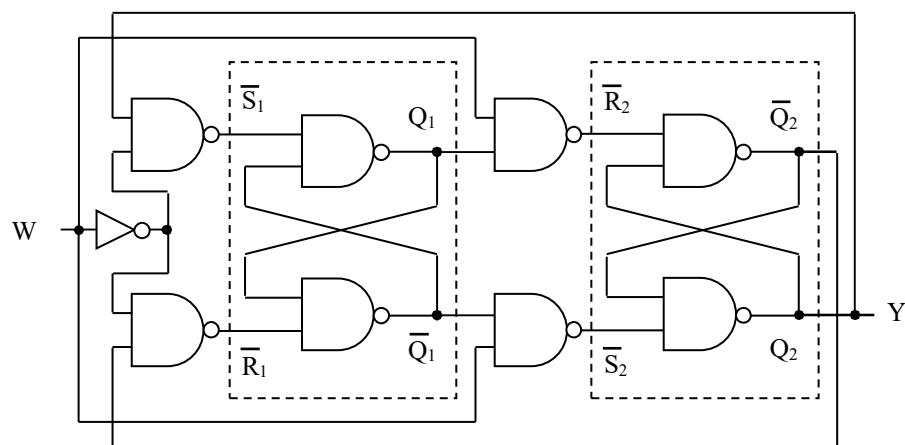
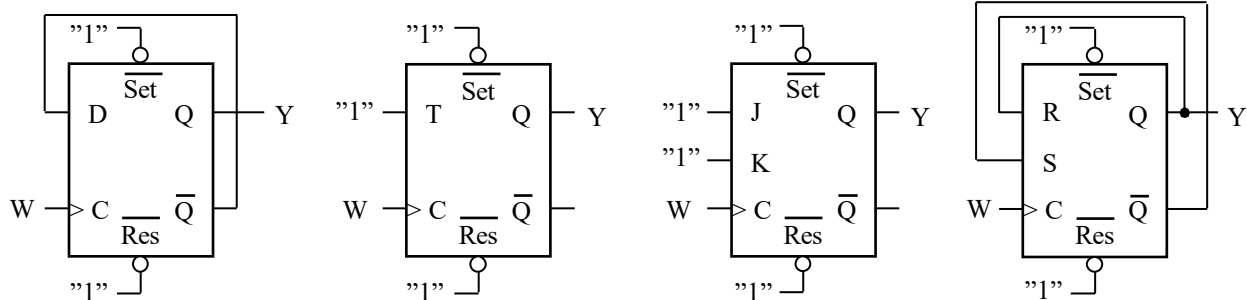
$s\uparrow$	$r\uparrow$	Q	\overline{Q}
\uparrow	0	1	0
\uparrow	1	1	0
0	\uparrow	0	1
1	\uparrow	0	1

Jednym z najprostszych układów budowanych z przerzutników jest tzw. "dwójka licząca", czyli elementarny licznik modulo dwa. Układ taki znajduje zastosowanie w konstrukcji liczników typu asynchronicznego oraz może służyć jako jednobitowy element pamięciowy. Warto zauważyć, że "dwójka licząca" została zastosowana w przerzutnikach asynchronicznych $s \downarrow r \downarrow$ i $s \uparrow r \uparrow$.

Przebiegi czasowe na wejściu i wyjściu "dwójki liczącej", graf układu oraz sposoby realizacji z wykorzystaniem przerzutników synchronicznych i asynchronicznych ilustrują rysunki.

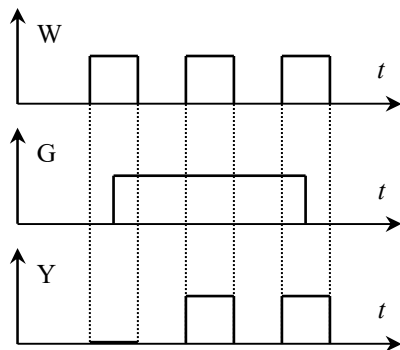


kodowanie: **A** = 00, **B** = 01, **C** = 11, **D** = 10



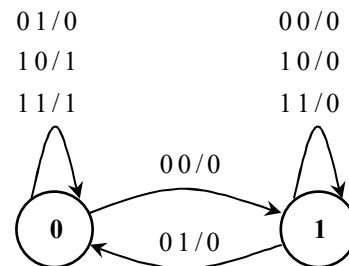
W praktycznych zastosowaniach spotkać można układy umożliwiające przepuszczanie lub blokowanie impulsów prostokątnych podawanych na wejście, czyli tzw. układy bramkujące. Zaprojektowane poniżej układy przepuszczają impuls wejściowy (W) na wyjście (Y), jeżeli zbocze narastające impulsu pojawia się przy stanie wysokim na wejściu bramkującym (G=1). Impulsy rozpoczynające się przy niskim stanie bramki (G=0) nie są przepuszczane na wyjście.

Bramkowanie impulsów

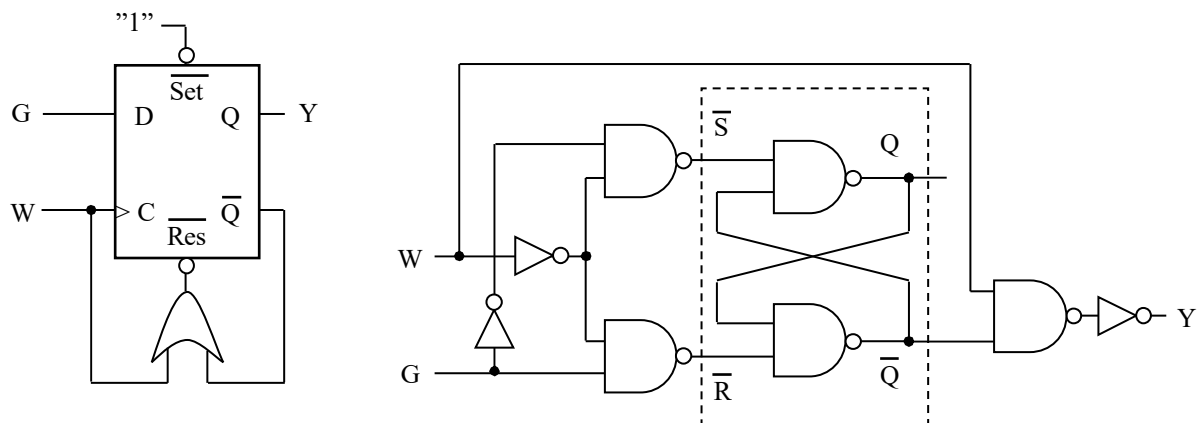


Graf układu bramkującego

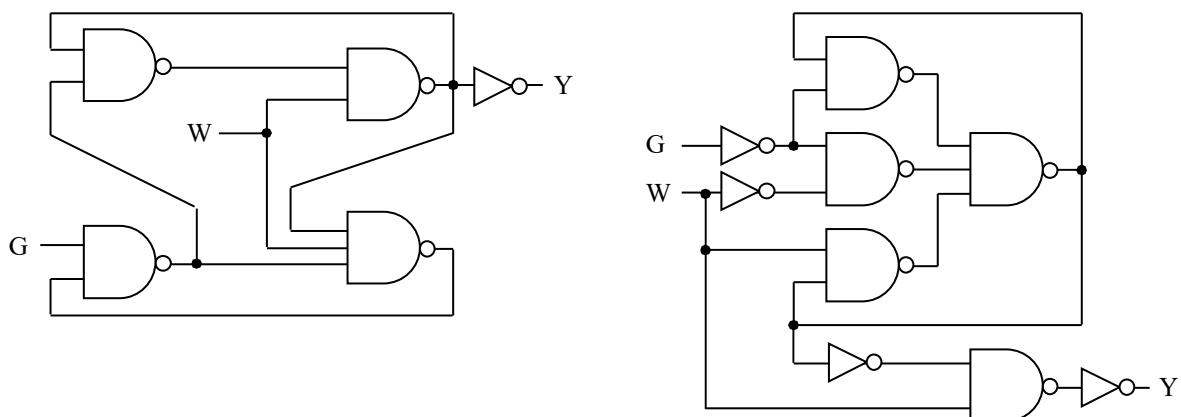
(oznaczenie: W G / Y)



- Układy bramkujące zbudowane na przerzutniku synchronicznym D i asynchronicznym $\overline{S}\overline{R}$

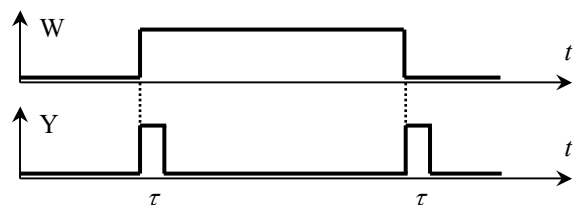
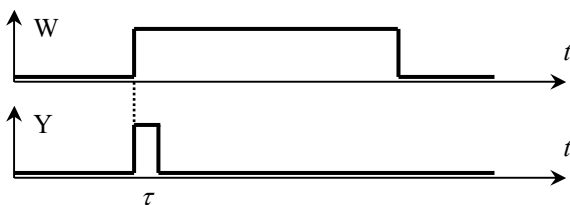
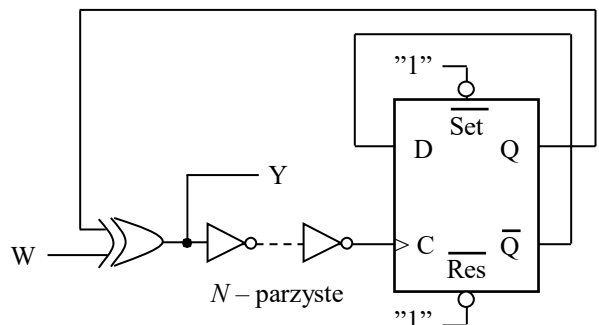
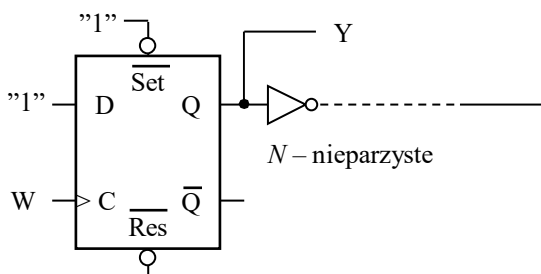
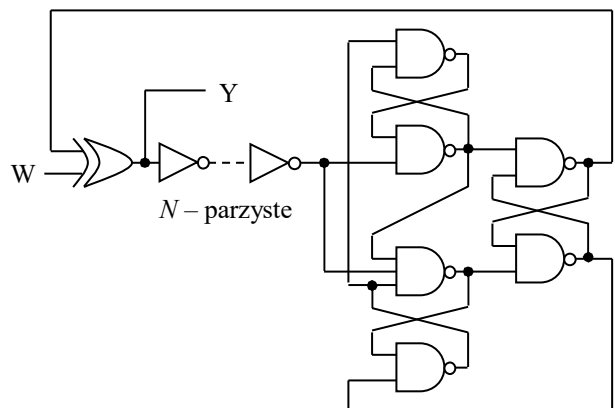
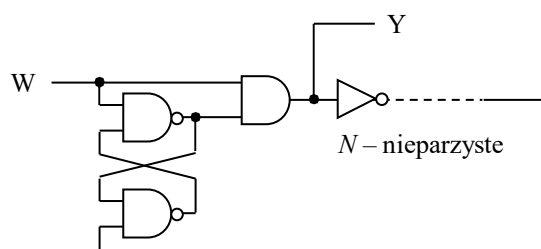
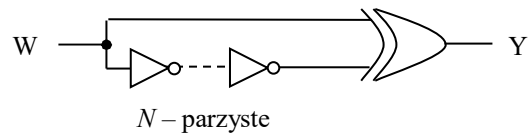
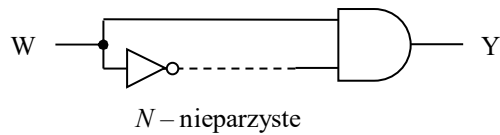


- Układy bramkujące zbudowane w postaci sieci sprzężeniowej na bramkach logicznych



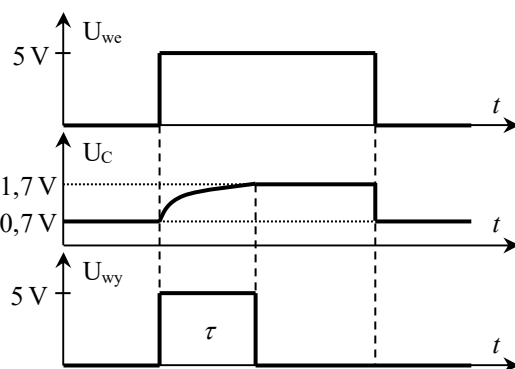
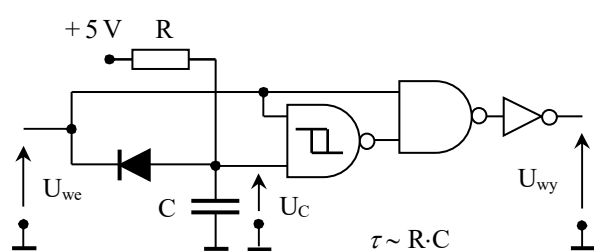
Najprostszymi układami monostabilnymi są tzw. układy różniczkujące. Układy takie wytwarzają na wyjściu krótkie impulsy w momencie pojawienia się aktywnego zbocza sygnału wejściowego. Czas trwania pojedynczego impulsu wynosi zwykle kilkanaście lub kilkadziesiąt nanosekund, a aktywnym zboczem sygnału może być jego zbocze narastające, opadające lub każde.

W prostych układach różniczkujących stosowane są jedynie bramki logiczne, a w bardziej złożonych rozwiązaniach wykorzystywane są przerzutniki asynchroniczne lub synchroniczne. Na poniższych schematach przedstawiono różne realizacje różniczkowania przedniego oraz każdego zbocza sygnału wejściowego. Czas trwania impulsu wynosi w przybliżeniu $\tau \approx N \cdot t_{NOT}$, gdzie t_{NOT} oznacza czas propagacji pojedynczej bramki negacji występującej w kaskadzie N takich bramek.

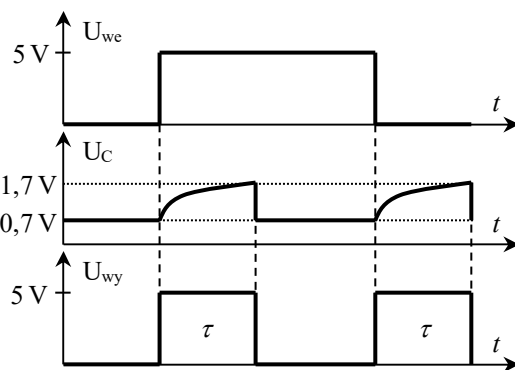
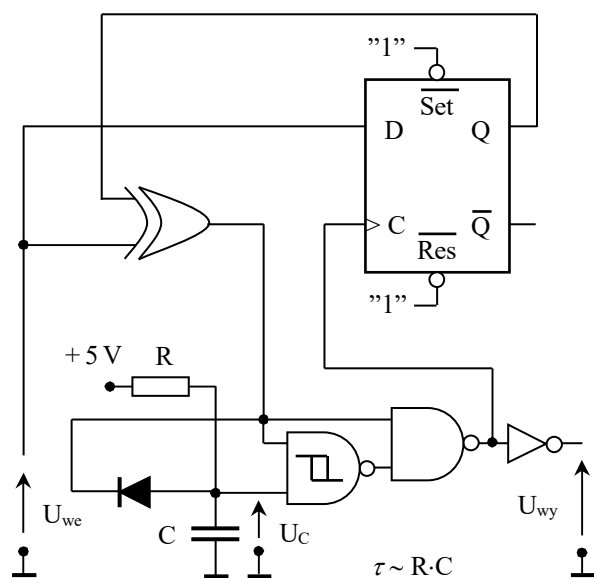


Generowanie impulsów o dłuższych czasach trwania wymaga zastosowania w projektowanych układach rezystorów i kondensatorów.

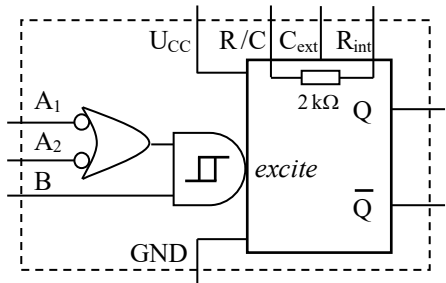
W układach monostabilnych czas trwania pojedynczego impulsu wyjściowego jest proporcjonalny do iloczynu wartości rezystancji i pojemności zastosowanych w danym rozwiązaniu ($\tau \sim R \cdot C$). Zaprezentowany poniżej układ monostabilny generuje impulsy czasowe w chwili pojawienia się narastającego zbocza sygnału wejściowego. Czas trwania impulsu związany jest z ładowaniem kondensatora podłączonego do wejścia bramki Schmitta. Impuls wyjściowy rozpoczyna się równocześnie z wystąpieniem dodatniego skoku napięcia wejściowego. Zakończenie impulsu następuje w momencie osiągnięcia na kondensatorze górnego progu przełączania bramki (1,7 V), co powoduje przejście bramki Schmitta w stan niski. Stan niski na wejściu powoduje natychmiastowe rozładowanie kondensatora przez diodę.



Kolejny układ monostabilny generuje impulsy czasowe w chwili pojawienia się dowolnego zbocza sygnału wejściowego. Zasadnicza część układu nie różni się od rozwiązania wcześniejszego. Jednak zastosowanie pamięci bitowej (przerzutnik D) pozwala uzyskać narastające zbocze na wyjściu bramki XOR w momencie pojawienia się dowolnego zbocza sygnału wejściowego.



Na poniższych rysunkach przedstawiono opis scalonego układu monostabilnego 74121 oraz sposób podłączenia zewnętrznych elementów RC i metody wyzwalań. Układ generuje na wyjściu Q impuls czasowy τ , gdy efektywny sygnał wejściowy $excite = (\overline{A_1} + \overline{A_2}) \cdot B$ zmieni się z "0" na "1". **Nieretrygowalność** układu oznacza, że w trakcie trwania impulsu wyjściowego niemożliwe jest wyzwalać układu. Ponadto po zakończeniu impulsu musi jeszcze upłynąć tzw. "czas martwy", aby można było ponownie generować impulsy. Ponieważ wejście wyzwalające B jest typu Schmitta, układ może być pobudzany sygnałami wolnozmiennymi. Na wejścia A₁ i A₂ należy jednak podawać sygnały w standardzie TTL.



Układ monostabilny 74121

A₁ – wejście wyzwalające: A₁ = ↓ , A₂ = 1 , B = 1

A₂ – wejście wyzwalające: A₂ = ↓ , A₁ = 1 , B = 1

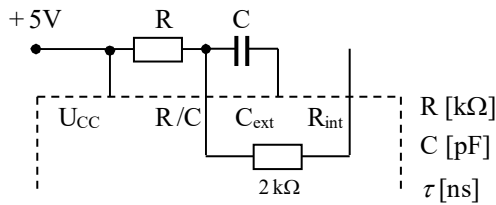
B – wejście wyzwalające: B = ↑ , A₁ = 0 , A₂ = 0

Q , \overline{Q} – wyjście układu i negacja wyjścia

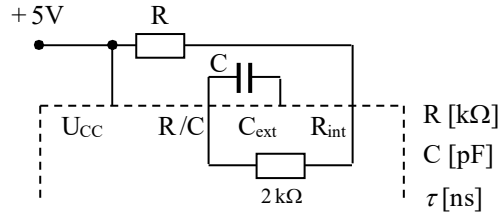
R_{int} , R/C , C_{ext} – dołączanie zewnętrznych elementów RC

Wejście B typu Schmitta (sygnały wolnozmiennne)

Układ nieretrygowalny (czas martwy kilkadziesiąt ns)

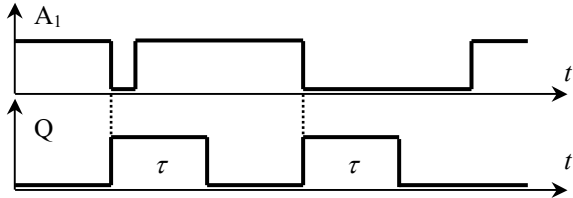


Czas impulsu: $\tau \approx R \cdot C \cdot \ln 2$

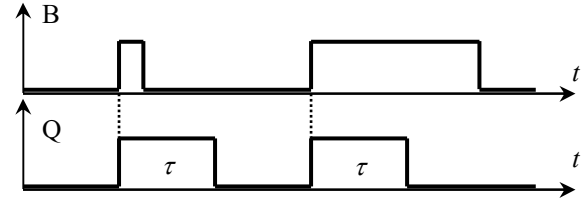


Czas impulsu: $\tau \approx (R + R_{int}) \cdot C \cdot \ln 2$

Wyzwalanie z wejść A (np. A₁ = ↓ , A₂ = 1 , B = 1)



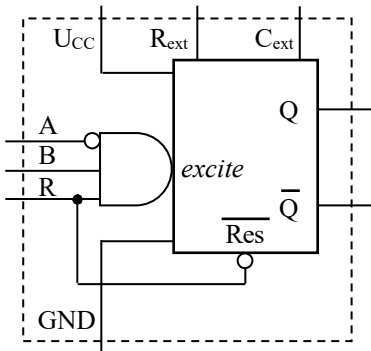
Wyzwalanie z wejścia B (np. B = ↑ , A₁ = 0 , A₂ = 0)



W tabeli zestawiono wszystkie sposoby wyzwalań układu monostabilnego 74121. Zastosowane symbole "↑", "↓", "┐┐" i "└└" oznaczają odpowiednio narastające zbocze sygnału, opadające zbocze sygnału, impuls (τ) na wyjściu Q i impuls zanegowany.

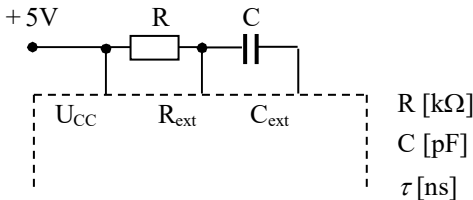
A ₁	A ₂	B	Q	\overline{Q}
0	×	1	0	1
×	0	1	0	1
×	×	0	0	1
1	1	×	0	1
↓	1	1	┐┐	└└
1	↓	1	┐┐	└└
↓	↓	1	┐┐	└└
0	×	↑	┐┐	└└
×	0	↑	┐┐	└└

Na poniższych rysunkach przedstawiono opis scalonego układu monostabilnego 74123 oraz sposób podłączenia zewnętrznych elementów RC i metody wyzwalań. Układ generuje na wyjściu Q impuls czasowy τ , gdy efektywny sygnał wejściowy $excite = \overline{A} \cdot B$ zmieni się z "0" na "1". **Retrygowalność** układu pozwala na podawanie sygnału wyzwalającego w trakcie trwania impulsu wyjściowego. W takiej sytuacji wygenerowany na wyjściu impuls jest odmierzany od początku. Na wejścia wyzwalające A i B muszą być podawane wyłącznie sygnały w standardzie TTL.

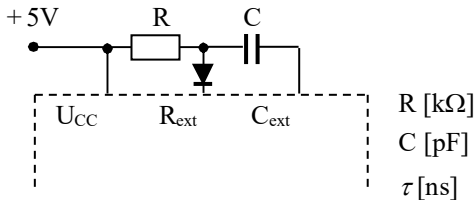


Układ monostabilny 74123

- A – wejście wyzwalające: A = ↓ , B = 1
- B – wejście wyzwalające: B = ↑ , A = 0
- R – wejście kasujące
- Q , \overline{Q} – wyjście układu i negacja wyjścia
- R_{ext} , C_{ext} – dołączanie zewnętrznych elementów RC
- Wejście A i B typu klasycznego (sygnały TTL)
- Układ retrygowalny (wyzwalanie w dowolnej chwili)

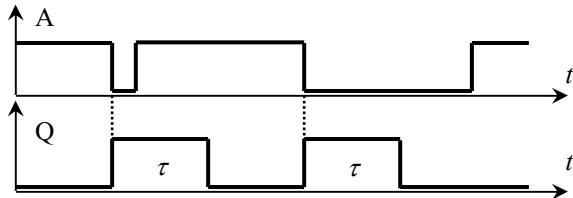


Czas impulsu: $\tau \approx 0,32 \cdot R \cdot C \cdot [1 + 0,7/R]$; (C > 10³ pF)

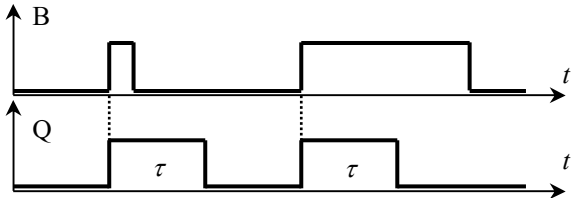


Czas impulsu: $\tau \approx 0,28 \cdot R \cdot C \cdot [1 + 0,7/R]$

Wyzwalanie z wejścia A (tj. A = ↓ , B = 1)



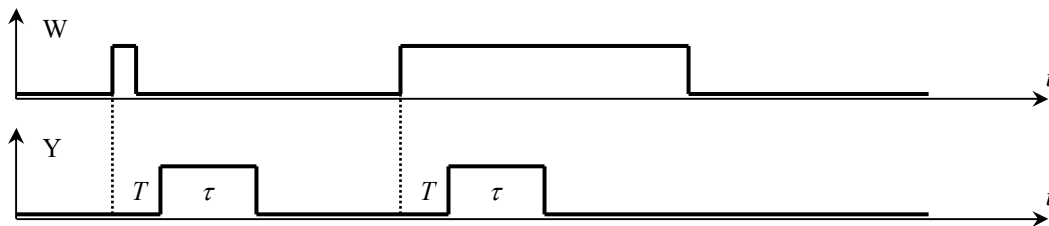
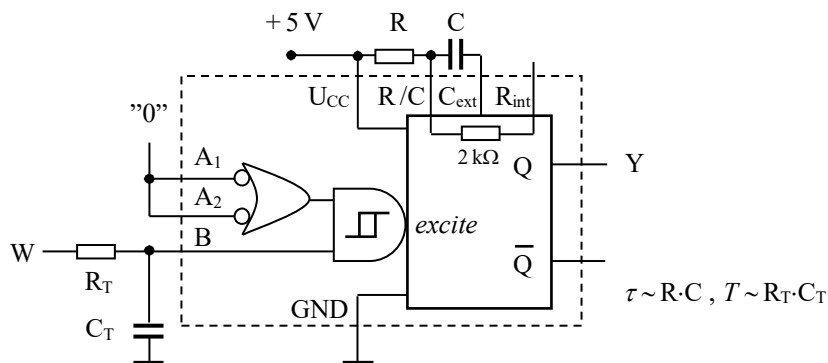
Wyzwalanie z wejścia B (tj. B = ↑ , A = 0)



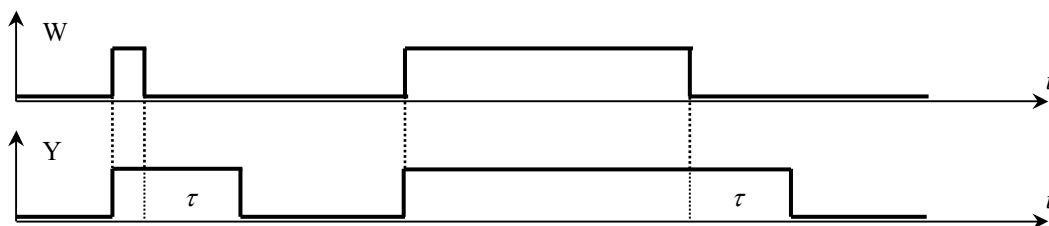
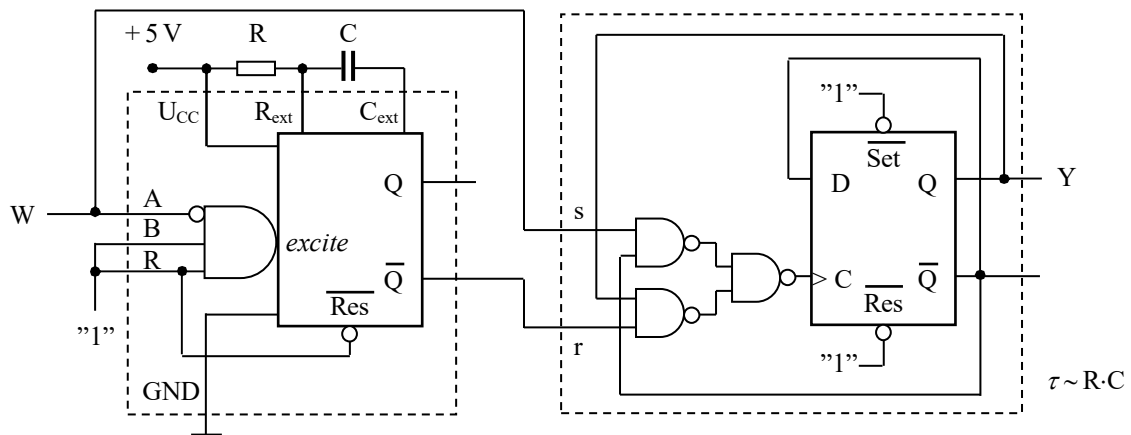
W tabeli zestawiono wszystkie sposoby wyzwalań układu monostabilnego 74123. Zastosowane symbole "↑", "↓", "┐┐" i "┌┐" oznaczają odpowiednio narastające zbocze sygnału, opadające zbocze sygnału, impuls (τ) na wyjściu Q i impuls zanegowany.

A	B	R	Q	\overline{Q}
×	×	0	0	1
×	0	×	0	1
1	×	×	0	1
↓	1	1	┐┐	┌┌
0	↑	1	┐┐	┌┌
0	1	↑	┐┐	┌┌

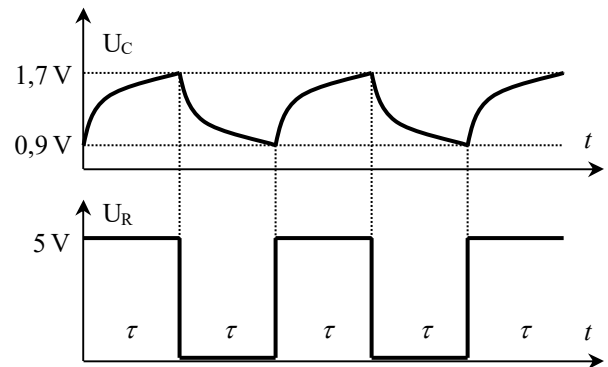
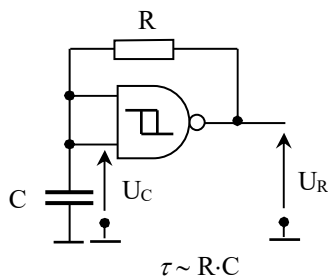
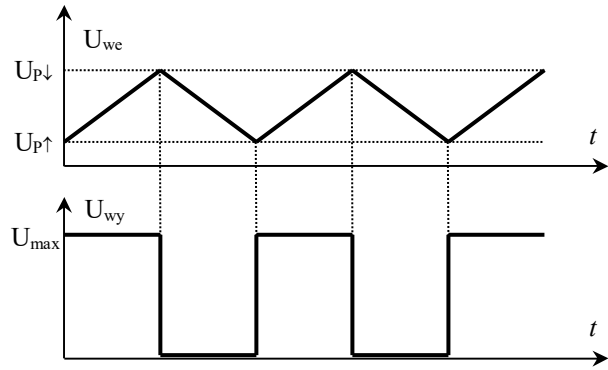
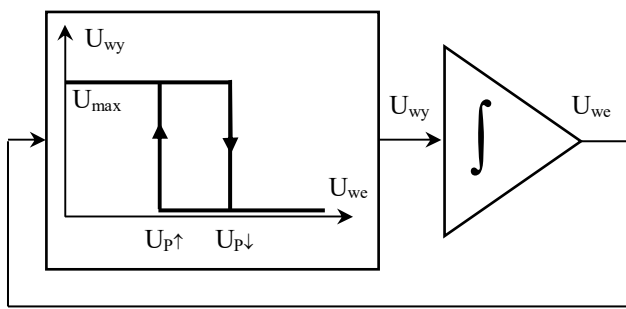
Przedstawiony układ czasowy generuje impuls o czasie trwania τ ($\tau \sim R \cdot C$) rozpoczynający się z opóźnieniem T ($T \sim R_T \cdot C_T$). Elementy R i C są dołączone do wejść regulacyjnych układu 74121, a pasywny układ całkujący z elementami R_T i C_T opóźnia pobudzenie wejścia B (typu Schmitta).



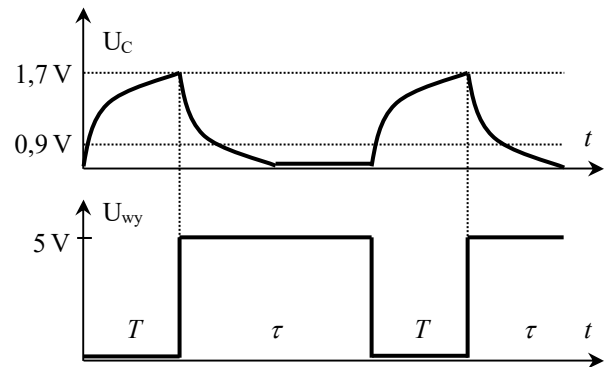
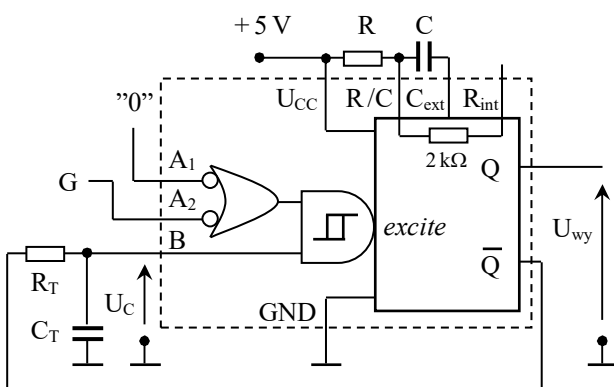
Kolejny układ przepuszcza impuls wejściowy na wyjście przedłużając jego długość o czas τ ($\tau \sim R \cdot C$). Narastające zbocze impulsu wejściowego wpisuje "1" do przerzutnika asynchronicznego. Opadające zbocze impulsu wejściowego wyzwała natomiast układ 74123 odmierzający czas τ . Po upływie czasu τ przerzutnik asynchroniczny zostaje wyzerowany.



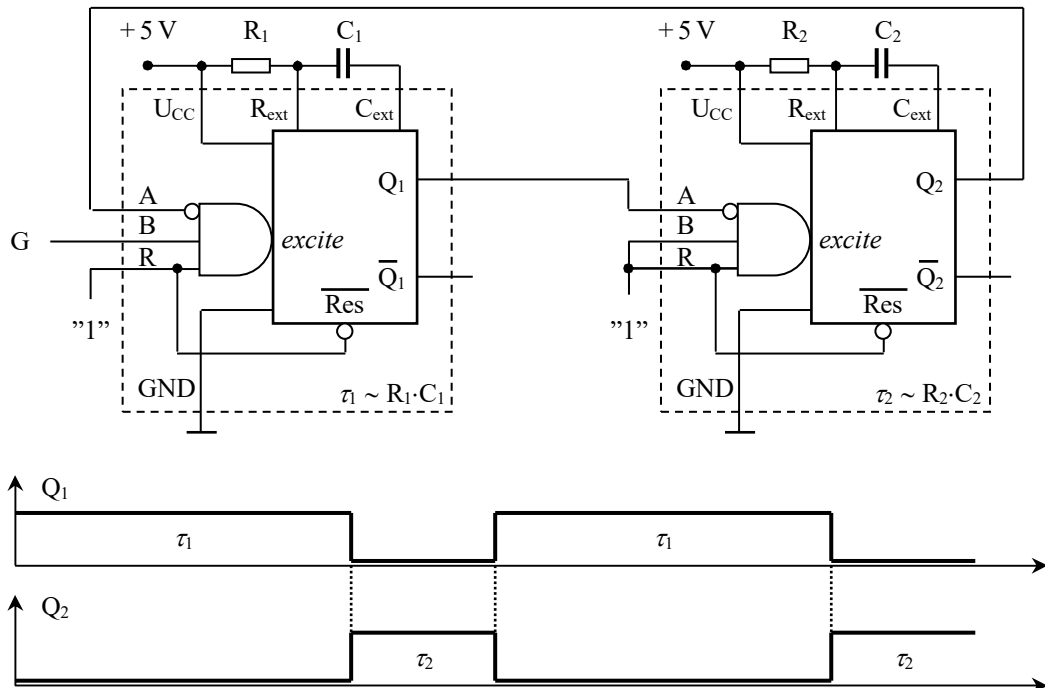
Najprostszy układ astabilny (generator) można zbudować obejmując pętlę sprzężenia zwrotnego przełącznik Schmitta (z odwrotną histerezą) połączony z członem całkującym. Schemat blokowy generatora oraz jego przykładową realizację z wykorzystaniem bramki 74132 ilustrują rysunki.



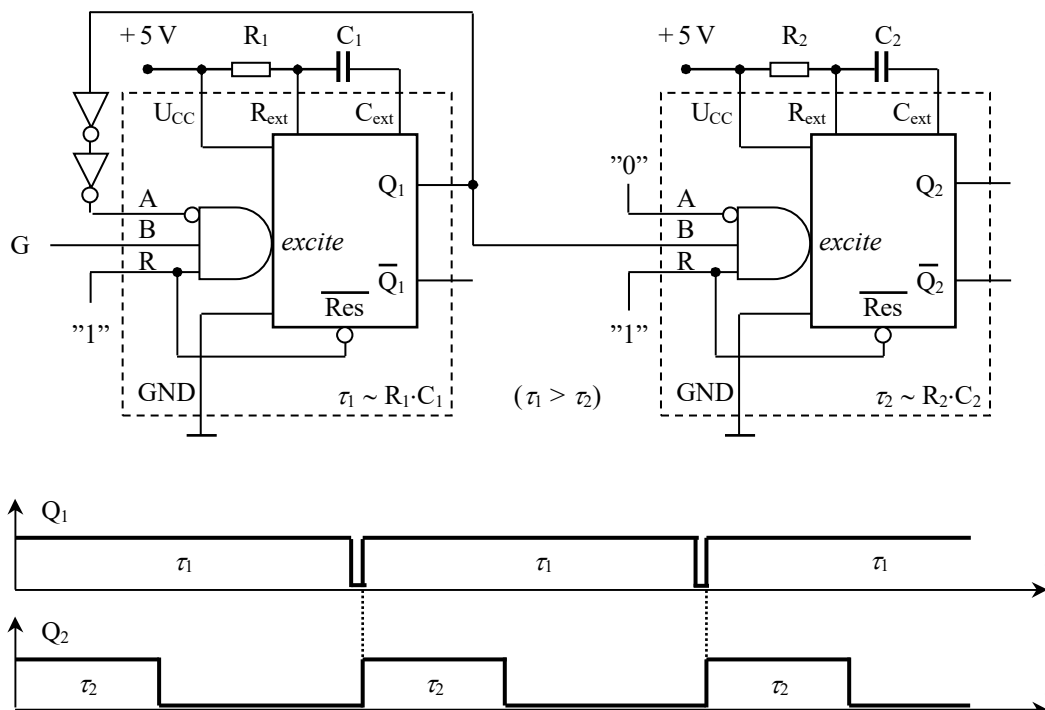
W podanym powyżej przykładzie występuje pasywny układ całkujący zbudowany z elementów RC. Układy astabilne dają się też budować z elementów RC tworzących pasywne układy różniczkujące (przykłady wielu praktycznych rozwiązań dostępne są w literaturze). Prosty generator można zbudować korzystając z pojedynczego układu monostabilnego wyzwalającego się samodzielnie. Dodatkowo wysoki stan sygnału zewnętrznego ($G = 1$) zatrzymuje generator, a opadające zbocze na tym wejściu wznowia pracę układu.



Inny sposób syntezy generatorów polega na wykorzystaniu wzajemnie się wyzwalających układów monostabilnych. Na poniższym schemacie dwa układy 74123 są połączone w taki sposób, aby zakończenie impulsu w jednym układzie (zbcze opadające na wyjściu Q) inicjowało impuls na wyjściu drugiego układu. Niski stan sygnału zewnętrznego ($G=0$) zatrzymuje generator, a narastające zbocze na tym wejściu wznowia pracę układu.



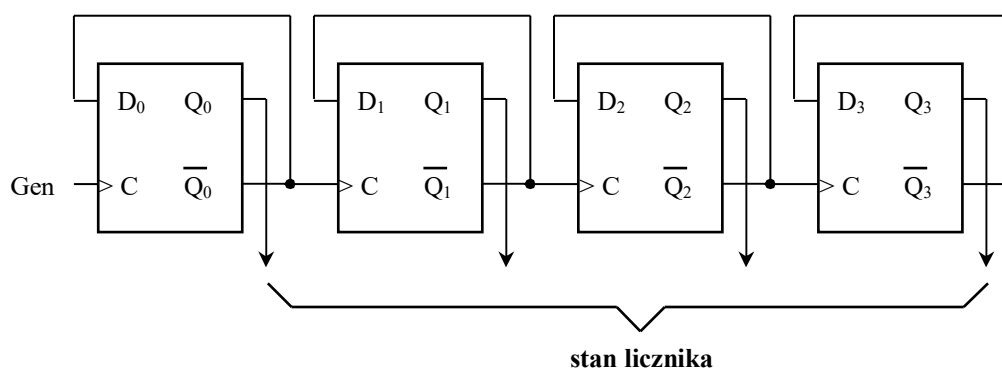
Na kolejnym schemacie pierwszy z układów 74123 wyzwala się samodzielnie (retrygowalność) umożliwiając regulację częstotliwości całego generatora. Drugi układ monostabilny służy do regulacji wypełnienia przebiegu prostokątnego na wyjściu Q2. Sygnał zewnętrzny G pozwala zatrzymać generator ($G=0$) lub narastającym zboczem wznowić jego pracę.



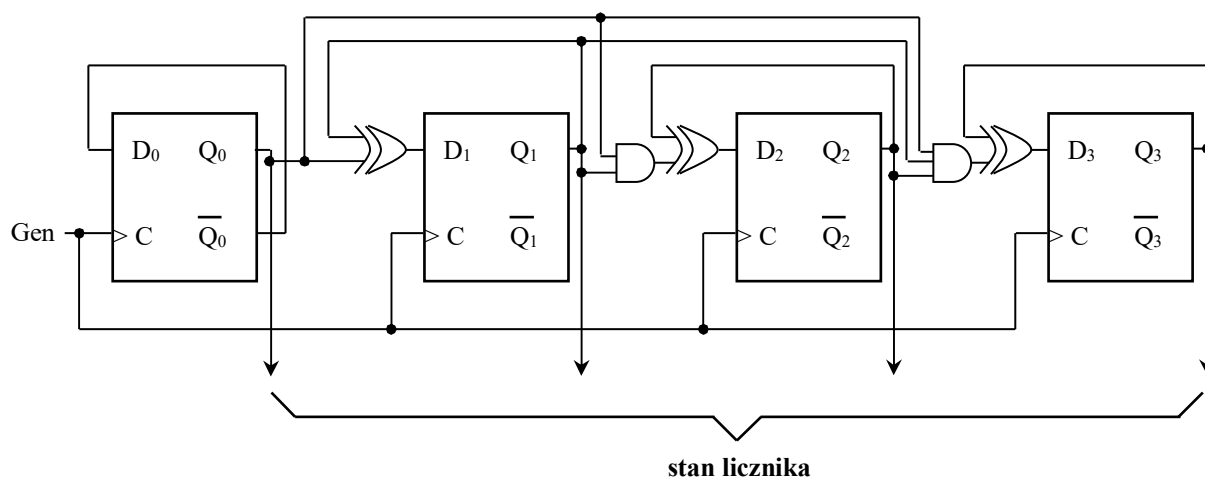
3. Scalone układy licznikowe

Wśród scalonych układów licznikowych wyróżnić można liczniki asynchroniczne i synchroniczne.

Konstrukcyjnie prostsze liczniki asynchroniczne realizowane są w postaci kaskady tzw. "dwójek liczących" (czyli prostych liczników modulo 2). Sygnał taktujący jest wówczas podawany tylko na wejście zegarowe pierwszej "dwójki liczącej", a sygnał wyjściowy kolejnej takiej "dwójki" pobudza wejście zegarowe "dwójki" sąsiedniej. Ponieważ każdy układ składowy w kaskadzie dzieli częstotliwość wejściową przez dwa, na bitach wyjściowych "dwójek liczących" stan zmienia się w naturalnym kodzie binarnym. Na poniższym rysunku licznik asynchroniczny złożony z czterech "dwójek liczących" zlicza binarnie modulo 16 (stan $[Q_3 Q_2 Q_1 Q_0] = 0 \dots 15$).



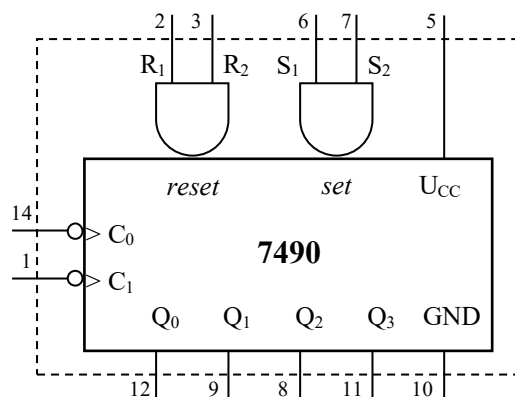
W przypadku liczników synchronicznych sygnał taktujący podawany jest jednocześnie na wejścia zegarowe wszystkich przerzutników tworzących układ, przy czym wewnętrzna logika połączeń przerzutników zapewnia zliczanie we właściwym kodzie. Niektóre liczniki synchroniczne mają możliwość zliczania w obydwu kierunkach oraz wyposażone są w wejścia równoległe pozwalające wpisywać stan początkowy. Na poniższym rysunku licznik synchroniczny zbudowany z przerzutników D i bramek logicznych zlicza binarnie modulo 16 (stan $[Q_3 Q_2 Q_1 Q_0] = 0 \dots 15$).



Z porównania rozwiązań wyraźnie widać, że stan licznika zbudowanego z "dwójek liczących" ustala się asynchronicznie: najpierw aktualizowany jest bit Q_0 , a potem kolejno bity Q_1 , Q_2 i Q_3 . W przypadku licznika synchronicznego aktualizacja bitów stanu $[Q_3 Q_2 Q_1 Q_0]$ przebiega natomiast jednocześnie we wszystkich przerzutnikach. Warto zauważyć, że skoro stan $[Q_3 Q_2 Q_1 Q_0]$ w obydwu licznikach zmienia się w zakresie $0 \dots 15$ (w zapisie binarnym "0000" ... "1111"), to negacja stanu $[\bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0]$ zmienia się w zakresie $15 \dots 0$ (liczenie w dół).

Wybrane scalone liczniki asynchroniczne i synchroniczne omówione są w dalszej części skryptu.

Wprowadzenie końcówek liczników asynchronicznych 7490, 7492 i 7493 ilustrują rysunki.



Licznik asynchroniczny 7490

C_0 – zegar "dwójki liczącej" Q_0

C_1 – zegar kaskady "dwójek liczących" $Q_3 Q_2 Q_1$ (modulo 5)

$Q_3 Q_2 Q_1 Q_0$ – wyjście równoległe (stan)

R_1, R_2 – wpis stanu "0000" (dla $R_1 = R_2 = 1$)

W_1, W_2 – wpis stanu "1001" (dla $W_1 = W_2 = 1$)

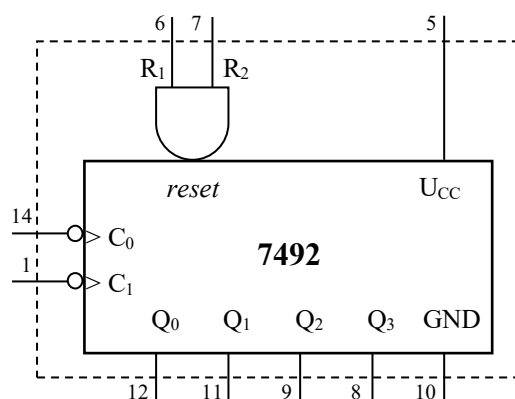
Aktywne zbocze zegara: **opadające**

Liczenie: tylko w górę (0, 1, ...)

Typowe połączenie:

Gen $\rightarrow C_0$, $Q_0 \rightarrow C_1$

Liczenie: modulo 10 (0 ... 9)



Licznik asynchroniczny 7492

C_0 – zegar "dwójki liczącej" Q_0

C_1 – zegar kaskady "dwójek liczących" $Q_3 Q_2 Q_1$ (modulo 6)

$Q_3 Q_2 Q_1 Q_0$ – wyjście równoległe (stan)

R_1, R_2 – wpis stanu "0000" (dla $R_1 = R_2 = 1$)

Aktywne zbocze zegara: **opadające**

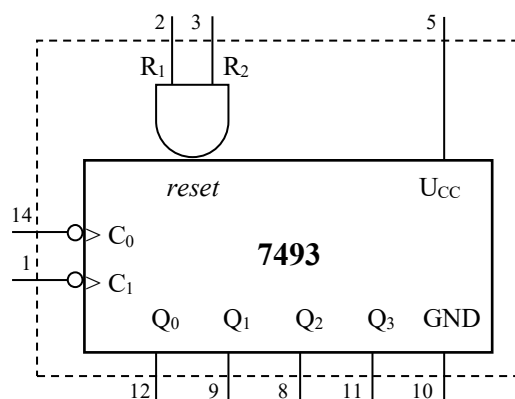
Liczenie: tylko w górę (0, 1, ...)

Typowe połączenie:

Gen $\rightarrow C_0$, $Q_0 \rightarrow C_1$

Liczenie: modulo 12 (0 ... 11)

Inny kod liczenia: wagi ($Q_3 Q_2 Q_1 Q_0$) = (6 4 2 1)



Licznik asynchroniczny 7493

C_0 – zegar "dwójki liczącej" Q_0

C_1 – zegar kaskady "dwójek liczących" $Q_3 Q_2 Q_1$ (modulo 8)

$Q_3 Q_2 Q_1 Q_0$ – wyjście równoległe (stan)

R_1, R_2 – wpis stanu "0000" (dla $R_1 = R_2 = 1$)

Aktywne zbocze zegara: **opadające**

Liczenie: tylko w górę (0, 1, ...)

Typowe połączenie:

Gen $\rightarrow C_0$, $Q_0 \rightarrow C_1$

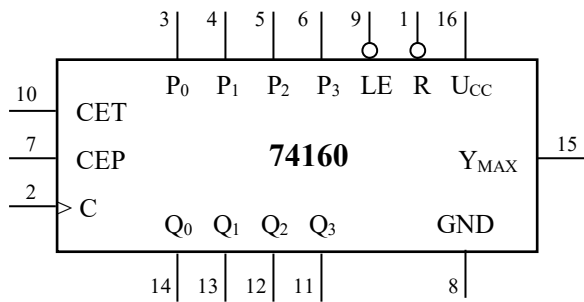
Liczenie: modulo 16 (0 ... 15)

Zasadę działania liczników (z uwzględnieniem połączenia $Q_0 \rightarrow C_1$) objaśnia poniższa tabela. Symbol "↓" oznacza opadające zbocze zegara.

C_0	$S_1 \cdot S_2$	$R_1 \cdot R_2$	Działanie licznika
×	×	1	Zerowanie asynchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow "0000"$
×	1	0	Ładowanie asynchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow "1001"$ (tylko w 7490)
↓	0	0	Liczenie w górę: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [Q_3 Q_2 Q_1 Q_0] + 1$

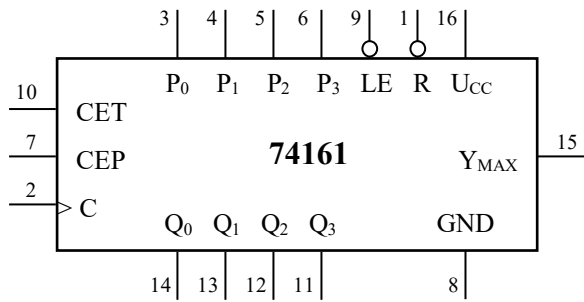
Liczniki 7490, 7492 i 7493 można łączyć szeregowo podając najstarszy bit (Q_3) młodsze licznika na wejście zegarowe (C_0) starszego licznika.

Wprowadzenie końcówek liczników synchronicznych 74160 i 74161 ilustrują rysunki.



Licznik synchroniczny 74160

- C – wejście zegarowe licznika (**zbocze narastające**)
- $P_3 P_2 P_1 P_0$ – wejście równoległe (do wpisu)
- $Q_3 Q_2 Q_1 Q_0$ – wyjście równoległe (stan)
- R – zerowanie licznika (asynchroniczne)
- LE – wpis wejścia równoległego (**synchroniczny**)
- CEP – zezwolenie na zliczanie
- CET – zezwolenie na wytworzenie sygnału Y_{MAX}
- Y_{MAX} – sygnał przepełnienia (impuls dodatni)
- Liczenie w górę: modulo 10 (0 ... 9)



Licznik synchroniczny 74161

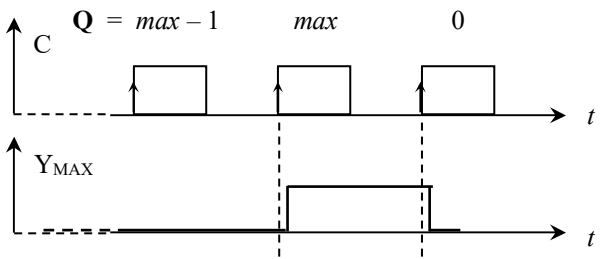
- C – wejście zegarowe licznika (**zbocze narastające**)
- $P_3 P_2 P_1 P_0$ – wejście równoległe (do wpisu)
- $Q_3 Q_2 Q_1 Q_0$ – wyjście równoległe (stan)
- R – zerowanie licznika (asynchroniczne)
- LE – wpis wejścia równoległego (**synchroniczny**)
- CEP – zezwolenie na zliczanie
- CET – zezwolenie na wytworzenie sygnału Y_{MAX}
- Y_{MAX} – sygnał przepełnienia (impuls dodatni)
- Liczenie w górę: modulo 16 (0 ... 15)

Zasadę działania liczników objaśnia tabela. Symbol "↑" oznacza narastające zbocze zegara.

C	CET·CEP	LE	R	Działanie licznika
×	×	×	0	Zerowanie asynchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow "0000"$
↑	1	0	1	Ladowanie synchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [P_3 P_2 P_1 P_0]$
×	0	1	1	Pamiętanie stanu $[Q_3 Q_2 Q_1 Q_0]$
↑	1	1	1	Liczenie w górę: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [Q_3 Q_2 Q_1 Q_0] + 1$

Sposób sygnalizacji przepełnienia (Y_{MAX}) ilustruje przebieg czasowy. Symbol "max" oznacza ostatni stan licznika: $max = 9$ (dla układu 74160) oraz $max = 15$ (dla układu 74161). Na rysunkach pokazano, że odpowiedź jest opóźniona w stosunku do pobudzenia (czas propagacji).

Liczenie w górę



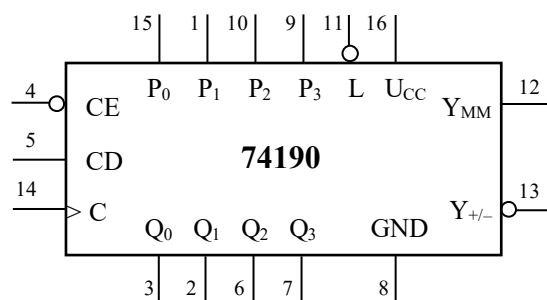
Warunek liczenia

$$R = 1, LE = 1, CET = 1, CEP = 1$$

Uwaga! Ponieważ liczniki 74160 i 74161 są zbudowane z przerzutników JK-MS (Master-Slave), zmiany sygnałów CET, CEP i LE muszą być dokonywane wyłącznie przy wysokim stanie wejścia zegarowego ($C = 1$).

Liczniki 74160 i 74161 można łączyć szeregowo podając zanegowany sygnał przepełnienia (Y_{MAX}) młodszeo licznika na wejście zegarowe (C) starszeo licznika. Przy łączeniu równoległym sygnał taktujący jest wspólny, a sygnał przepełnienia (Y_{MAX}) młodszeo licznika jest podawany na wejście zezwalające (CEP) starszeo licznika (przy $CET = 1$ w obydwu licznikach).

Wprowadzenie końcówek liczników synchronicznych 74190 i 74191 ilustrują rysunki.



Licznik synchroniczny 74190

C – wejście zegarowe licznika (**zbocze narastające**)

P₃ P₂ P₁ P₀ – wejście równoległe (do wpisu)

Q₃ Q₂ Q₁ Q₀ – wyjście równoległe (stan)

L – wpis wejścia równoległego (asynchroniczny)

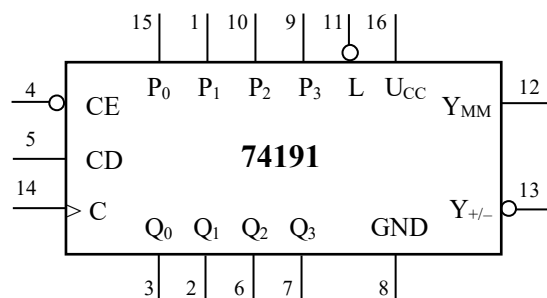
CE – zezwolenie na zliczanie

CD – kierunek zliczania (0 – w górę, 1 – w dół)

Y_{MM} – sygnalizacja krańcowego stanu (impuls dodatni)

Y_{+/-} – przeniesienie lub pożyczka (impuls odwrotny)

Liczenie dwukierunkowe: modulo 10 (0 ... 9)



Licznik synchroniczny 74191

C – wejście zegarowe licznika (**zbocze narastające**)

P₃ P₂ P₁ P₀ – wejście równoległe (do wpisu)

Q₃ Q₂ Q₁ Q₀ – wyjście równoległe (stan)

L – wpis wejścia równoległego (asynchroniczny)

CE – zezwolenie na zliczanie

CD – kierunek zliczania (0 – w górę, 1 – w dół)

Y_{MM} – sygnalizacja krańcowego stanu (impuls dodatni)

Y_{+/-} – przeniesienie lub pożyczka (impuls odwrotny)

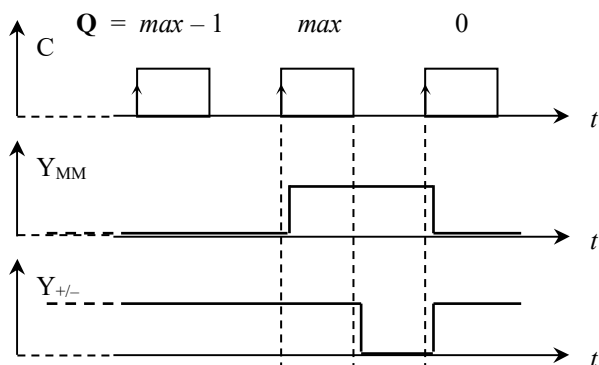
Liczenie dwukierunkowe: modulo 16 (0 ... 15)

Zasadę działania liczników objaśnia tabela. Symbol "↑" oznacza narastające zbocze zegara.

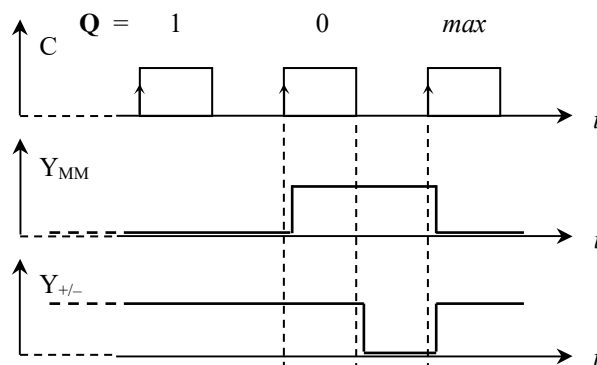
C	CD	CE	L	Działanie licznika
×	×	×	0	Ładowanie asynchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [P_3 P_2 P_1 P_0]$
×	×	1	1	Pamiętanie stanu $[Q_3 Q_2 Q_1 Q_0]$
↑	0	0	1	Liczenie w górę: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [Q_3 Q_2 Q_1 Q_0] + 1$
↑	1	0	1	Liczenie w dół: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [Q_3 Q_2 Q_1 Q_0] - 1$

Sygnalizowanie przeniesienia lub pożyczki (Y_{+/-}) oraz krańcowego stanu (Y_M) ilustrują przebiegi czasowe. Symbol "max" oznacza ostatni stan licznika: *max* = 9 (dla układu 74190) oraz *max* = 15 (dla układu 74191). Odpowiedzi są opóźnione w stosunku do pobudzenia (czas propagacji).

Liczenie w górę

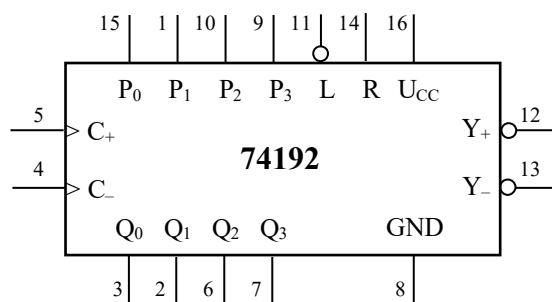


Liczenie w dół



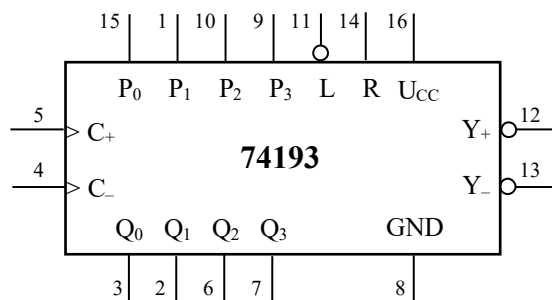
Zmiana kierunku liczenia (CD) musi następować przy wysokim stanie wejścia zegarowego (C = 1). Liczniki 74190 i 74191 można łączyć szeregowo lub równoległe (zob. przykłady).

Wprowadzenie końcówek liczników synchronicznych 74192 i 74193 ilustrują rysunki.



Licznik synchroniczny 74192

C_+ – wejście zegarowe zliczania w górę (**zbocze narastające**)
 C_- – wejście zegarowe zliczania w dół (**zbocze narastające**)
 $P_3 P_2 P_1 P_0$ – wejście równoległe (do wpisu)
 $Q_3 Q_2 Q_1 Q_0$ – wyjście równoległe (stan)
 R – zerowanie licznika (asynchroniczne)
 L – wpis wejścia równoległego (asynchroniczny)
 Y_+ – przeniesienie przy liczeniu w górę (impuls odwrotny)
 Y_- – pożyczka przy liczeniu w dół (impuls odwrotny)
 Liczenie dwukierunkowe: modulo 10 (0 ... 9)



Licznik synchroniczny 74193

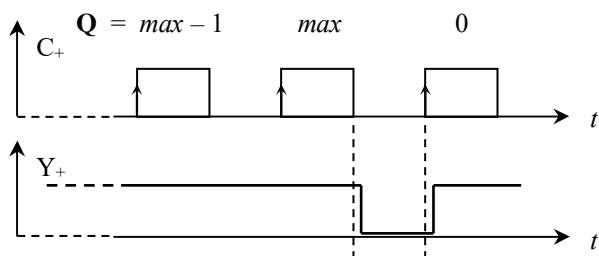
C_+ – wejście zegarowe zliczania w górę (**zbocze narastające**)
 C_- – wejście zegarowe zliczania w dół (**zbocze narastające**)
 $P_3 P_2 P_1 P_0$ – wejście równoległe (do wpisu)
 $Q_3 Q_2 Q_1 Q_0$ – wyjście równoległe (stan)
 R – zerowanie licznika (asynchroniczne)
 L – wpis wejścia równoległego (asynchroniczny)
 Y_+ – przeniesienie przy liczeniu w górę (impuls odwrotny)
 Y_- – pożyczka przy liczeniu w dół (impuls odwrotny)
 Liczenie dwukierunkowe: modulo 16 (0 ... 15)

Zasadę działania liczników objaśnia tabela. Symbol "↑" oznacza narastające zbocze zegara.

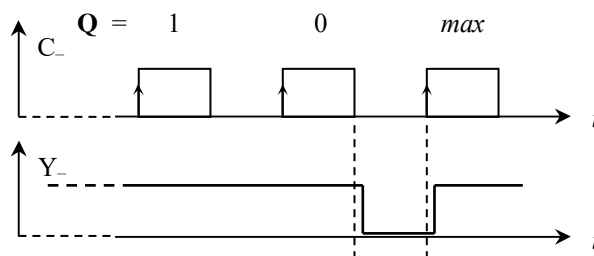
C_+	C_-	L	R	Działanie licznika
x	x	x	1	Zerowanie asynchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow "0000"$
x	x	0	0	Ładowanie asynchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [P_3 P_2 P_1 P_0]$
↑	1	1	0	Liczenie w górę: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [Q_3 Q_2 Q_1 Q_0] + 1$
1	↑	1	0	Liczenie w dół: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [Q_3 Q_2 Q_1 Q_0] - 1$

Sposób sygnalizacji przeniesienia (Y_+) i pożyczki (Y_-) ilustrują przebiegi czasowe. Symbol "max" oznacza ostatni stan licznika: $max = 9$ (dla układu 74192) oraz $max = 15$ (dla układu 74193). Na rysunkach pokazano, że odpowiedź jest opóźniona w stosunku do pobudzenia (czas propagacji).

Liczenie w górę

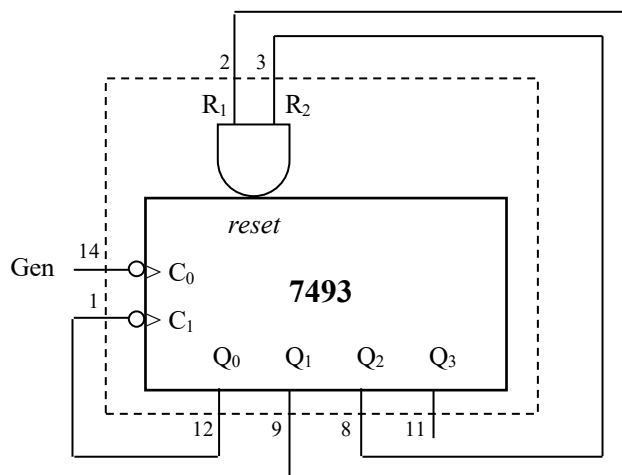


Liczenie w dół



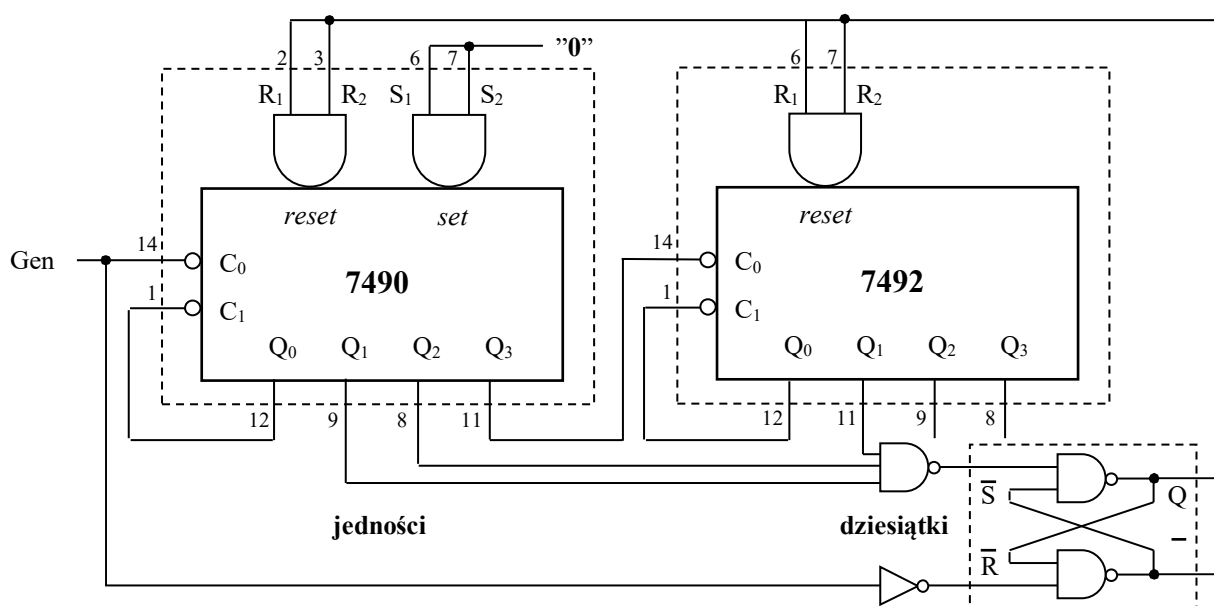
Zmiana kierunku liczenia (przełączanie wejść C_+ i C_-) musi następować przy wysokim stanie wejść zegarowych ($C_+ = 1$ i $C_- = 1$). Liczniki 74192 i 74193 można łączyć szeregowo podając sygnały wyjściowe Y_+ i Y_- młodszego licznika odpowiednio na wejścia C_+ i C_- starszego licznika.

Na podanym schemacie licznik 7493 został zmodyfikowany aby liczyć modulo 6 (0 ... 5).



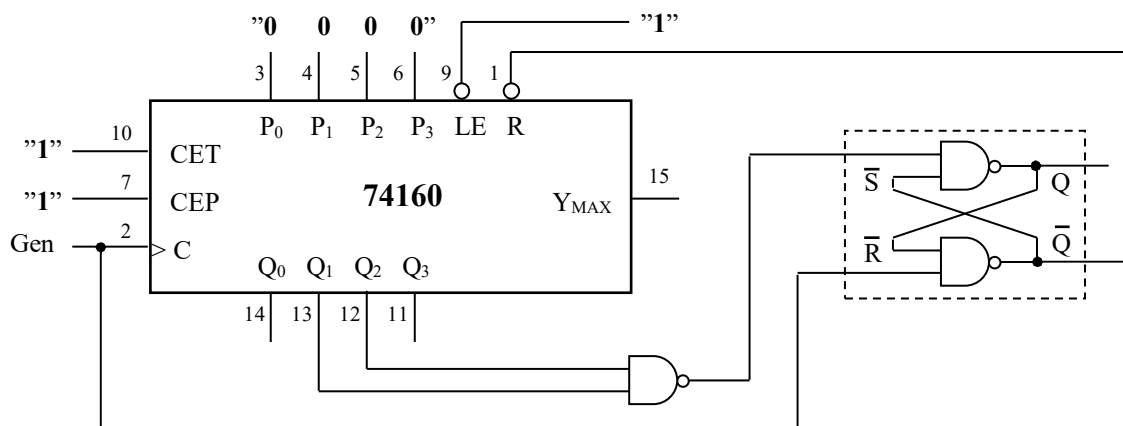
W chwili wykrycia kodu binarnego $Q_3 Q_2 Q_1 Q_0 = "0110"$ ($Q = 6$) następuje ustawienie wejść zerujących jednocześnie w stan wysoki $R_1 = R_2 = 1$ (warunek zerowania). Zatem po zakończeniu stanu $Q = 5$ wyzerowany licznik kontynuuje zliczanie od stanu $"0000"$ ($Q = 0$). Wadą takiego rozwiązania jest jednak niebezpieczeństwo wystąpienia tzw. wyścigu. Jeżeli bowiem w momencie wykrycia stanu $Q = 6$ (co uaktywnia linie R_1 i R_2) czasy zerowania ustawionych bitów (Q_1 i Q_2) okażą się różne, to sygnał zerujący w postaci iloczynu logicznego $R_1 \cdot R_2$ przestanie działać. W rezultacie zerowanie stanu nie zostanie dokończony. Aby wydłużyć działanie impulsu zerującego należy zastosować asynchroniczny przerzutnik $\overline{S} \overline{R}$. Zabieg taki jest niezbędny zwłaszcza w przypadku, gdy liczniki (mające zwykle różne czasy propagacji) łączymy w kaskadę.

Na kolejnym schemacie połączone szeregowo układy 7490 i 7492 liczą modulo 26 (0 ... 25).



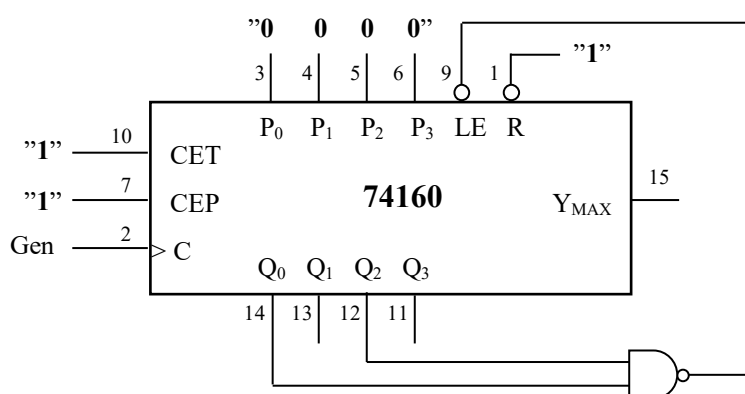
Ponieważ dekodowanie stanu $"0010 \ 0110"$ ($Q = 26$) wymaga wykrycia trzech ustawionych bitów, wewnętrzne bramki AND z dwoma wejściami nie mogą być wykorzystane. Pojawienie się stanu wysokiego jednocześnie na badanych liniach uaktywnia wejście ustawiające przerzutnika, co powoduje wysterowanie wejść zerujących liczników ($R_1 = R_2 = 1$). Kasowanie liczników trwa aż do momentu pojawienia się stanu wysokiego na wejściu taktującym (Gen), kiedy to odblokowany przerzutnik ustawia linie zerujące w stan niski ($R_1 = R_2 = 0$). Bramka NOT na wejściu kasującym przerzutnika jest niezbędna, gdyż liczniki są aktywne na opadające zbocze sygnału taktującego.

Na podanym schemacie licznik 74160 został zmodyfikowany aby liczyć modulo 6 (0 ... 5).



Wykrycie kodu binarnego "0110" ($Q = 6$) uaktywnia wejście ustawiające przerzutnika ($\bar{S} = 0$), co powoduje zmianę na wyjściu układu $\bar{S}\bar{R}$ ($Q = 1, \bar{Q} = 0$) i wysterowanie wejścia zerującego licznika ($R = 0$). Zastosowany przerzutnik asynchroniczny wydłuża czas trwania impulsu zerującego, gdyż odblokowanie przerzutnika ($\bar{R} = 0$) nastąpi dopiero w chwili przejścia sygnału Gen ze stanu wysokiego w stan niski (tzn. po upływie połowy okresu sygnału taktującego). Dekodowany tutaj stan końcowy ($Q = 6$) przekraczający dozwolony zakres liczenia musi się pojawić na krótką chwilę (kilkanaście nanosekund), aby można było uaktywnić układ zerujący.

Wady tej nie ma realizacja, gdzie zamiast asynchronicznego kasowania (R) wykorzystuje się sygnał synchronicznego wpisu (LE) wejść $P_3 P_2 P_1 P_0 = "0000"$ na wyjścia $Q_3 Q_2 Q_1 Q_0$ licznika.

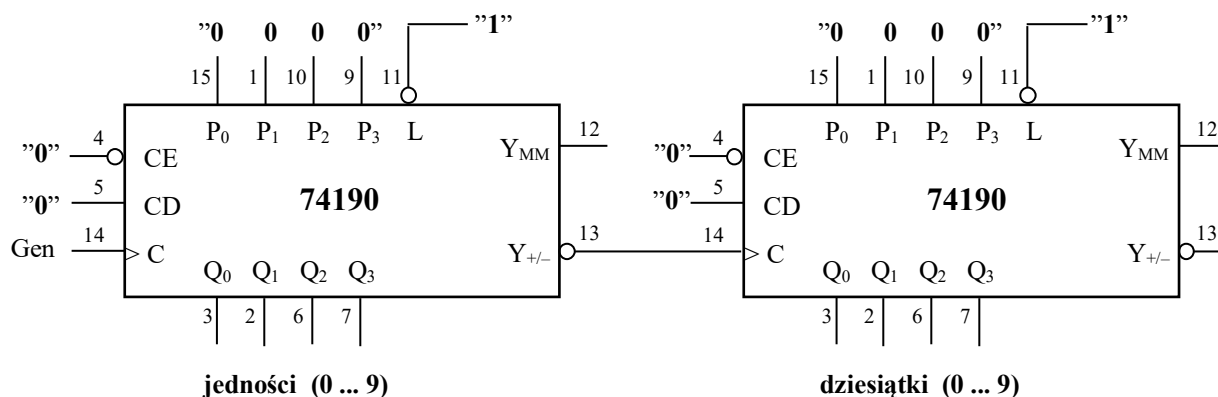


W powyższym rozwiązaniu wykrywany kod binarny "0101" ($Q = 5$) jest ostatnim stanem należącym do grafu licznika modulo 6. Ponieważ wejście ładujące ma charakter synchroniczny, podanie sygnału aktywnego ($LE = 0$) nie wywołuje początkowo żadnego efektu. Dopiero pojawienie się najbliższego narastającego zbocza sygnału taktującego (tzn. zbocza wyznaczającego koniec stanu $Q = 5$) powoduje załadowanie wejść równoległych na wyjście. Stan przekraczający zakres liczenia nie pojawia się zatem ani na moment na wyjściach licznika. Ponadto, z uwagi na synchronizowany sposób ładowania, zbędne jest stosowanie przerzutników przedłużających czas trwania sygnału ładującego. Ustawiając na wejściach równoległych liczbę binarną M i podając na wejście LE sygnał zgłaszający stanem niskim moment wystąpienie na wyjściu licznika kodu binarnego N ($M \leq N$) uzyskuje się układ zliczający w zakresie $M \dots N$.

Liczniki 74160 i 74161 można łączyć kaskadowo w sposób szeregowy lub równoległy (szczegóły podane zostały przy opisie samych liczników).

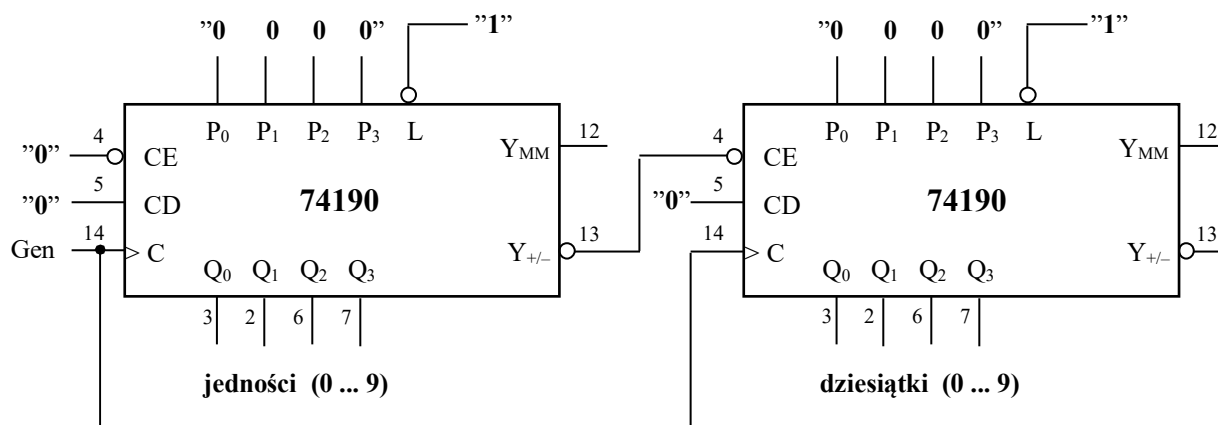
Większość liczników scalonych może być łączona kaskadowo wyłącznie w sposób szeregowy. W przypadku liczników 74190 i 74191 możliwe jest również łączenie w sposób równoległy.

Pokazana na poniższym schemacie realizacja szeregową polega na połączeniu sygnału przeniesienia ($Y_{+/-}$) młodszej części układu liczącego na wejście zegarowe (C) części starszej. Zliczanie w układzie odbywa się w górę ($CD = 0$) modulo 100 ($0 \dots 99$).



Sygnał przeniesienia ($Y_{+/-}$) z młodszego licznika pojawia się w chwili przejścia ze stanu $Q = 9$ ponownie do stanu $Q = 0$ (tzn. po zliczeniu 10 impulsów z wejścia taktującego). Narastające zbocze sygnału przeniesienia, oznaczające moment wyzerowania "licznika jedności", działa na wejście zegarowe starszego układu i zwiększa tym samym zawartość "licznika dziesiątek". Z uwagi na szeregowy sposób przekazywania przeniesienia liczba dziesiątek ustala się minimalnie wolniej, niż liczba jedności.

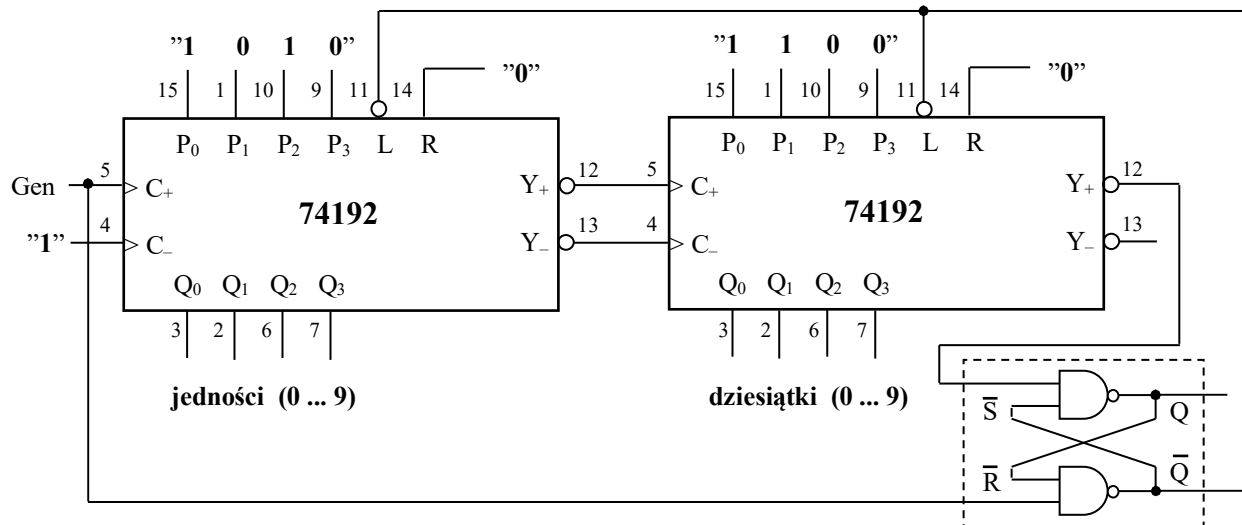
Ponieważ rozważane liczniki są typu synchronicznego, bardziej eleganckie wydaje się łączenie tych układów w sposób równoległy. Pokazana na kolejnym schemacie realizacja zliczania w górę ($CD = 0$) modulo 100 ($0 \dots 99$) polega na połączeniu sygnału przeniesienia ($Y_{+/-}$) młodszej części układu liczącego na wejście zezwalające (CE) części starszej. Jednocześnie sygnał taktujący (Gen) podawany jest równolegle na obydwie układy, dzięki czemu zmiana stanu liczników dokonuje się w tym samym czasie.



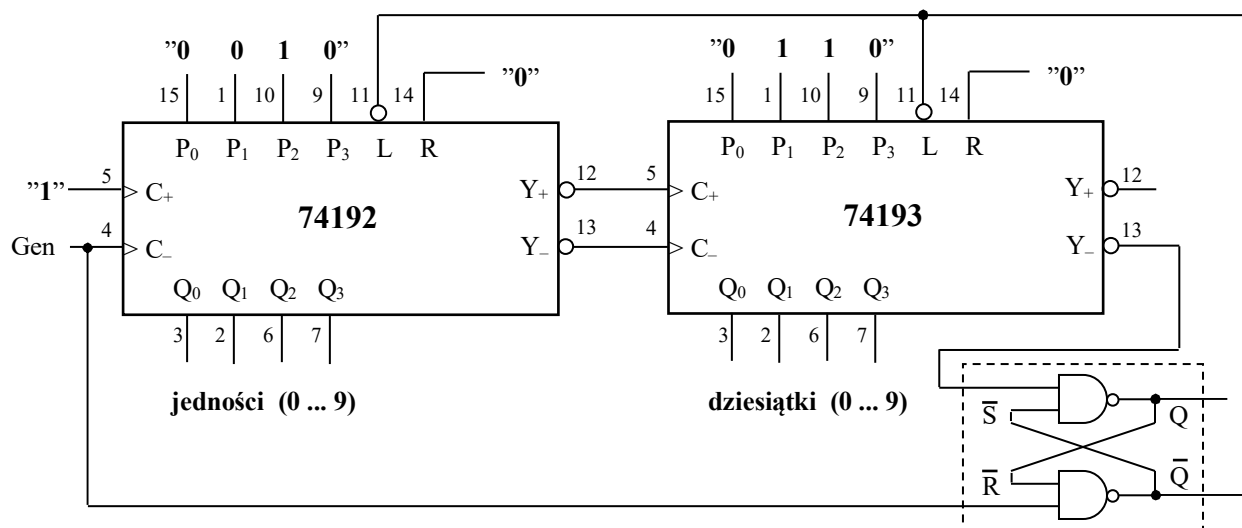
Zmieniając w obydwu rozwiązaniach wartość bitu kierunku ($CD = 1$) uzyskuje się układy zliczające modulo 100 w dół ($99 \dots 0$).

Liczniki 74192 i 74193 mogą być łączone kaskadowo wyłącznie w sposób szeregowy (w licznikach nie istnieje wejście zezwalające na zliczanie). Realizacja kaskady polega na połączeniu wyjść przeniesienia (Y_+) i pożyczki (Y_-) młodszych układów odpowiednio z wejściami zegarowymi zliczającymi w górę (C_+) i w dół (C_-) układu starszego.

Pokazany na poniższym schemacie układ zlicza w górę modulo 65 (35 ... 99).



Układ przedstawiony na kolejnym schemacie zlicza w dół modulo 65 (64 ... 0).



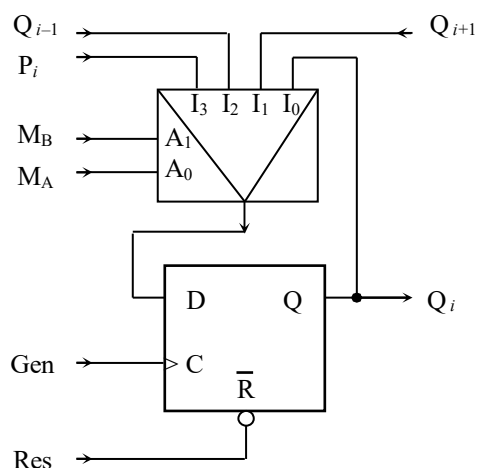
W przedstawionych rozwiązaniach kluczową rolę odgrywa przerzutnik asynchroniczny $\bar{S}\bar{R}$. Sygnał przeniesienia Y_+ (lub pożyczki Y_-) pojawia się w momencie dojścia układu do stanu końcowego (odpowiednio $Q = 99$ na pierwszym schemacie i $Q = 0$ na drugim schemacie). Sygnał ten przechodząc w stan niski wysterowuje wejście ustawiające (\bar{S}) przerzutnika i powoduje ustawienie wyjścia przerzutnika w stan wysoki ($Q = 1$). Minimalnie wcześniej sygnał taktujący (Gen) przechodząc ze stanu wysokiego w stan niski uaktywnia wejście kasujące (\bar{R}) przerzutnika i wymusza ustawienie wyjścia zanegowanego także w stan wysoki ($\bar{Q} = 1$). Dopiero w chwili pojawienia się najbliższego narastającego zbocza sygnału Gen, co oznacza zakończenie zliczania ostatniego stanu (tj. odpowiednio $Q = 99$ i $Q = 0$), wejście $\bar{R} = 1$ odblokowuje przerzutnik powodując tym samym ustawienie na jego wyjściach bitów $Q = 1$ i $\bar{Q} = 0$. Wyjście \bar{Q} przerzutnika włącza asynchroniczne ładowanie ($L = 0$) stanu początkowego liczników trwające do momentu pojawienia się opadającego zbocza sygnału Gen (ładowanie trwa pół okresu sygnału Gen).

4. Scalone rejestry przesuwne

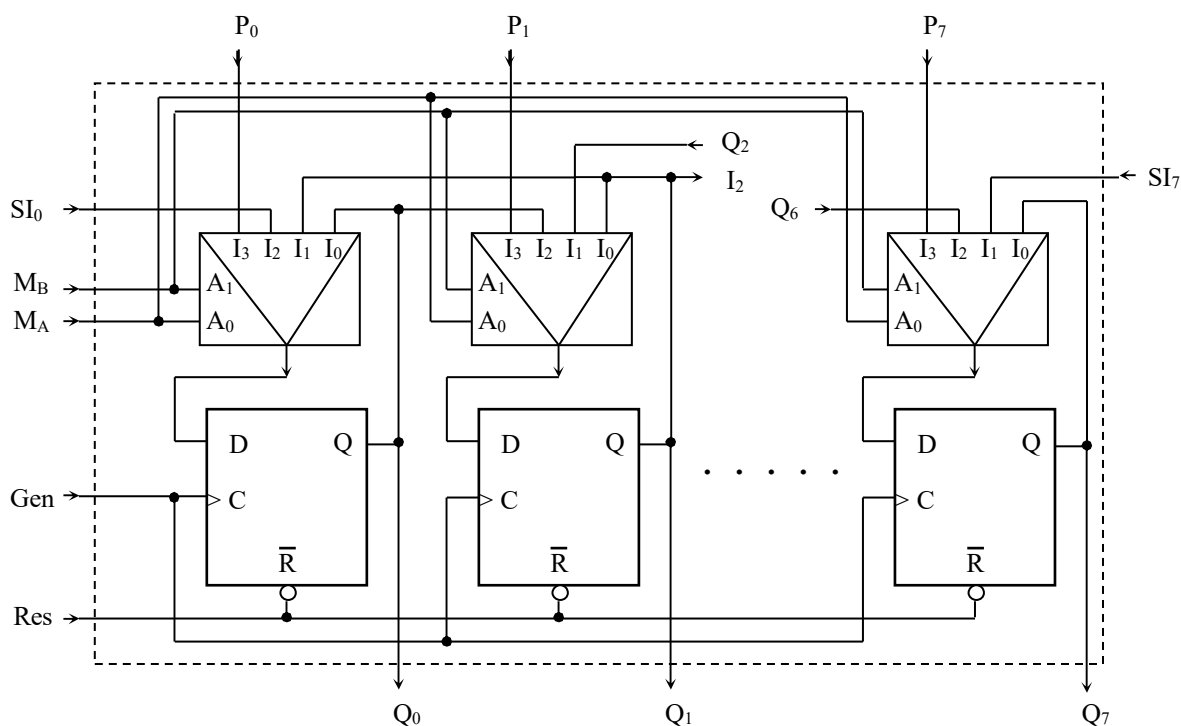
Rejestry scalone są układami umożliwiającymi przechowywanie i proste przekształcanie wielobitowej informacji binarnej. Przekształcanie informacji polega najczęściej na przesuwaniu lub rotacji bitów słowa zapisanego w rejestrze. Ponadto w wielu rejestrach możliwe jest zatrzymywanie informacji lub zerowanie bitów. Najprostszym rejestrem (1-bitowym) jest zwykły przerzutnik synchroniczny, a typowe rejestry 8-bitowe konstruowane są jako kaskada odpowiednio połączonych przerzutników. Biorąc pod uwagę sposób wprowadzania i wyprowadzania danych binarnych wyróżnić można następujące typy rejestrów:

- z szeregowym wejściem i szeregowym wyjściem (SISO – Serial Input Serial Output),
- z szeregowym wejściem i równoległym wyjściem (SIPO – Serial Input Parallel Output),
- z równoległym wejściem i szeregowym wyjściem (PISO – Parallel Input Serial Output),
- z równoległym wejściem i równoległym wyjściem (PIPO – Parallel Input Parallel Output).

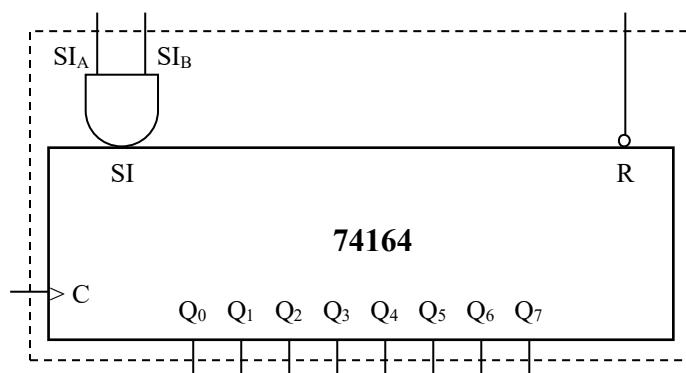
Pojedynczą komórkę uniwersalnego rejestru PIPO można zbudować na przerzutniku D i multiplexerze (rys. obok). W zależności od wybranego trybu pracy możliwe jest: zapamiętanie stanu ($M_A M_B = 00$), przesuw $Q_{i-1} \rightarrow Q_i$ do przodu ($M_A M_B = 01$), przesuw $Q_{i+1} \rightarrow Q_i$ do tyłu ($M_A M_B = 10$) oraz wpis $P_i \rightarrow Q_i$ równoległy ($M_A M_B = 11$). Wszystkie podane operacje wykonywane są w sposób synchroniczny w takt sygnału z generatora (Gen). Ponadto komórka rejestru może być asynchronicznie zerowana (Res).



Łącząc identyczne komórki w kaskadę uzyskuje się natychmiast rejestr przesuwny (rys. poniżej) działający podobnie do układu 74198 (opis dalej).



Wprowadzenie końcówek rejestru 74164 (SISO, SIPO) ilustruje rysunek.



Rejestr scalony 74164

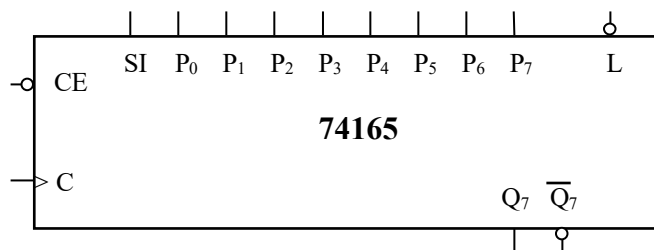
- C – wejście zegarowe rejestru (**zbcze narastające**)
- $Q_7 \dots Q_0$ – wyjście równoległe (stan)
- R – zerowanie rejestru (asynchroniczne)
- SI_A – wejście szeregowe A (przesuw do przodu)
- SI_B – wejście szeregowe B (przesuw do przodu)
- ($SI = SI_A \cdot SI_B$ – wejście efektywne)

Zasadę działania rejestru objaśnia tabela. Symbol "↑" oznacza narastające zbocze zegara.

C	R	Działanie rejestru 74164
×	0	Zerowanie asynchroniczne: $[Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0] \leftarrow "00000000"$
↑	1	Przesuw do przodu: $SI \rightarrow Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3 \rightarrow Q_4 \rightarrow Q_5 \rightarrow Q_6 \rightarrow Q_7$

W rejestrze 74164 efektywne wejście szeregowe jest iloczynem logicznym ($SI_A \cdot SI_B$) poszczególnych wejść. Dane w rejestrze mogą być synchronicznie przesuwane do przodu, a wejście kasujące (R) umożliwia asynchroniczny wpis stanu zerowego.

Wprowadzenie końcówek rejestru 74165 (SISO, PISO) ilustruje rysunek.



Rejestr scalony 74165

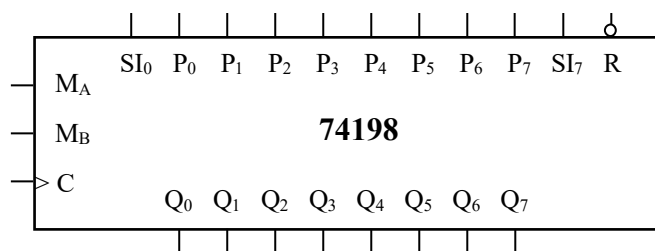
- C – wejście zegarowe rejestru (**zbcze narastające**)
- $P_7 \dots P_0$ – wejście równoległe (do wpisu)
- Q_7, \bar{Q}_7 – wyjście szeregowe i negacja wyjścia
- L – wpis wejścia równoległego (asynchroniczny)
- CE – zezwolenie na przesuw bitów w rejestrze
- SI – wejście szeregowe (przesuw do przodu)

Zasadę działania rejestru objaśnia tabela. Symbol "↑" oznacza narastające zbocze zegara.

C	CE	L	Działanie rejestru 74165
×	×	0	Wpis równoległy: $[Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0] \leftarrow [P_7 P_6 P_5 P_4 P_3 P_2 P_1 P_0]$
×	1	1	Pamiętanie stanu $[Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0]$
↑	0	1	Przesuw do przodu: $SI \rightarrow Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3 \rightarrow Q_4 \rightarrow Q_5 \rightarrow Q_6 \rightarrow Q_7$

Rejestr 74165 przechowuje cały 8-bitowy stan, ale dostępny jest jedynie bit Q_7 i negacja tego bitu. Stan niski na wejściu zezwalającym ($CE = 0$) pozwala na synchroniczne przesuwanie do przodu danych w rejestrze, a wejście ładujące (L) umożliwia asynchroniczny wpis wejścia równoległego.

Wyprowadzenie końcówek rejestru 74198 (SISO, SIPO, PISO, PIPO) ilustruje rysunek.



Rejestr scalony 74198

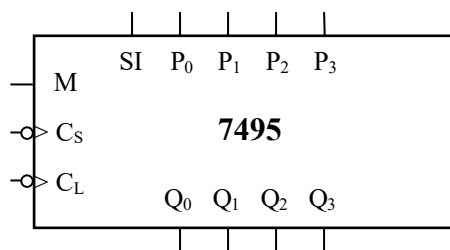
C – wejście zegarowe rejestru (**zbocze narastające**)
P₇ . . . P₀ – wejście równoległe (do wpisu)
Q₇ . . . Q₀ – wyjście równoległe (stan)
R – zerowanie rejestru (asynchroniczne)
SI₀ – wejście szeregowo (przesuw do przodu)
SI₇ – wejście szeregowo (przesuw do tyłu)
M_A , M_B – definiowanie trybu pracy (00, 01, 10, 11)

Zasadę działania rejestru objaśnia tabela. Symbol "↑" oznacza narastające zbocze zegara.

C	M _A	M _B	R	Działanie rejestru 74198
×	×	×	0	Zerowanie asynchroniczne: [Q ₇ Q ₆ Q ₅ Q ₄ Q ₃ Q ₂ Q ₁ Q ₀] ← "00000000"
×	0	0	1	Pamiętanie stanu [Q ₇ Q ₆ Q ₅ Q ₄ Q ₃ Q ₂ Q ₁ Q ₀]
↑	0	1	1	Przesuw do przodu: SI ₀ → Q ₀ → Q ₁ → Q ₂ → Q ₃ → Q ₄ → Q ₅ → Q ₆ → Q ₇
↑	1	0	1	Przesuw do tyłu: SI ₇ → Q ₇ → Q ₆ → Q ₅ → Q ₄ → Q ₃ → Q ₂ → Q ₁ → Q ₀
↑	1	1	1	Wpis równoległy: [Q ₇ Q ₆ Q ₅ Q ₄ Q ₃ Q ₂ Q ₁ Q ₀] ← [P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀]

Uniwersalny rejestr 74198 umożliwia synchroniczne przesuwanie danych zarówno do przodu (M_A M_B = 01), jak i do tyłu (M_A M_B = 10). Dodatkowo rejestr można synchronicznie załadować danymi z wejścia równoległego (M_A M_B = 11) lub zatrzasać jego zawartość (M_A M_B = 00). Wejście kasujące (R) natomiast pozwala wpisać asynchronicznie do rejestru stan zerowy.

Wyprowadzenie końcówek rejestru 7495 (SISO, SIPO, PISO, PIPO) ilustruje rysunek.



Rejestr scalony 7495

C_S – wejście zegarowe przesuwu (**zbocze opadające**)
C_L – wejście zegarowe wpisu (**zbocze opadające**)
P₃ . . . P₀ – wejście równoległe (do wpisu)
Q₃ . . . Q₀ – wyjście równoległe (stan)
SI – wejście szeregowo (przesuw do przodu)
M – definiowanie trybu pracy (0, 1)

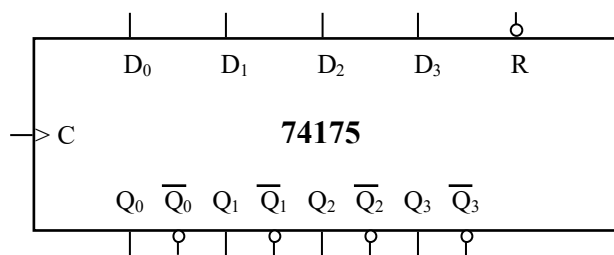
Zasadę działania rejestru objaśnia tabela. Symbol "↓" oznacza opadające zbocze zegara.

C _S	C _L	M	Działanie rejestru 7495
↓	×	0	Przesuw do przodu: SI → Q ₀ → Q ₁ → Q ₂ → Q ₃
×	↓	1	Wpis równoległy: [Q ₃ Q ₂ Q ₁ Q ₀] ← [P ₃ P ₂ P ₁ P ₀]

Rejestr 7495 umożliwia przesuwanie danych do przodu (M=0) synchronicznie na opadające zbocze zegara C_S oraz ładowanie danych z wejścia równoległego (M=1) synchronicznie na opadające zbocze zegara C_L. W rejestrze nie występują wejścia sterujące typu asynchronicznego. Przesuw danych do tyłu (Q₃ → Q₂ → Q₁ → Q₀) można uzyskać łącząc parami końcówki Q₃ → P₃, Q₂ → P₂, Q₁ → P₁, Q₀ → P₀ i używając zegara C_L w trybie wpisu równoległego (M=1).

W układach budowanych z rejestrów pomocniczą rolę odgrywają przerzutniki synchroniczne. Najprostsze przerzutniki D, umożliwiające synchroniczne przepisywanie bitu wejściowego na wyjście, mogą być wyzwalane zboczem zegara (przerzutniki "klasyczne") lub poziomem zegara (przerzutniki typu "zatrask").

Wyprowadzenie końcówek układu 74175 (z 4 przerzutnikami D "klasyczne") ilustruje rysunek.



Przerzutniki D "klasyczne" 74175

C – wejście zegarowe wpisu (zbocze narastające)

$D_3 \dots D_0$ – wejścia bitów danych

$Q_3 \dots Q_0$ – wyjścia przerzutników

$\overline{Q}_3 \dots \overline{Q}_0$ – negacje wyjść przerzutników

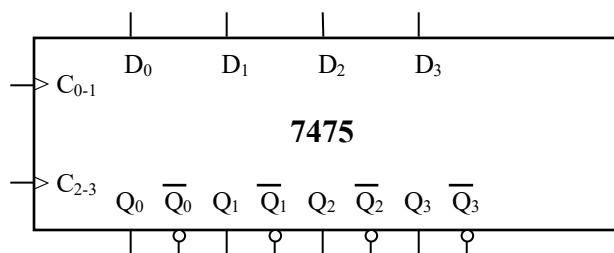
R – zerowanie przerzutników (asynchroniczne)

Zasadę działania przerzutników objaśnia tabela. Symbol " \uparrow " oznacza narastające zbocze zegara.

C	R	Działanie przerzutników 74175
\times	0	Zerowanie asynchroniczne: $[Q_3 Q_2 Q_1 Q_0] \leftarrow "0000"$
\uparrow	1	Wpis danych: $[Q_3 Q_2 Q_1 Q_0] \leftarrow [D_3 D_2 D_1 D_0]$

Przerzutniki D "klasyczne" 74175 przesyłają dane z wejść binarnych D na odpowiednie wyjścia Q tylko w chwili pojawienia się narastającego zbocza na wejściu zegarowym (C). Niski stan na wejściu kasującym (R = 0) powoduje asynchroniczne wyzerowanie wszystkich przerzutników.

Wyprowadzenie końcówek układu 7475 (z 4 przerzutnikami D "zatrask") ilustruje rysunek.



Przerzutniki D "zatrask" 7475

C_{0-1} – wejście zegarowe (wspólne dla D_0 i D_1)

C_{2-3} – wejście zegarowe (wspólne dla D_2 i D_3)

$D_3 \dots D_0$ – wejścia bitów danych

$Q_3 \dots Q_0$ – wyjścia przerzutników

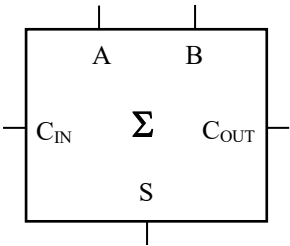
$\overline{Q}_3 \dots \overline{Q}_0$ – negacje wyjść przerzutników

Zasadę działania przerzutników objaśnia tabela.

C_{0-1}	C_{2-3}	Działanie przerzutników 7475
0	0	Pamiętanie wszystkich bitów stanu $[Q_3 Q_2 Q_1 Q_0]$
0	1	Pamiętanie bitów stanu $[Q_1 Q_0]$; Wpis danych: $[Q_3 Q_2] \leftarrow [D_3 D_2]$
1	0	Wpis danych: $[Q_1 Q_0] \leftarrow [D_1 D_0]$; Pamiętanie bitów stanu $[Q_3 Q_2]$.
1	1	Wpis danych: $[Q_1 Q_0] \leftarrow [D_1 D_0]$; Wpis danych: $[Q_3 Q_2] \leftarrow [D_3 D_2]$.

Przerzutniki D "zatrask" 7475 przesyłają wejścia binarne D na odpowiednie wyjścia Q, tak długo jak wejście zegarowe jest w stanie wysokim (C = 1). Niski stan na wejściu zegarowym (C = 0) powoduje zatrzaśnięcie informacji wewnątrz przerzutników.

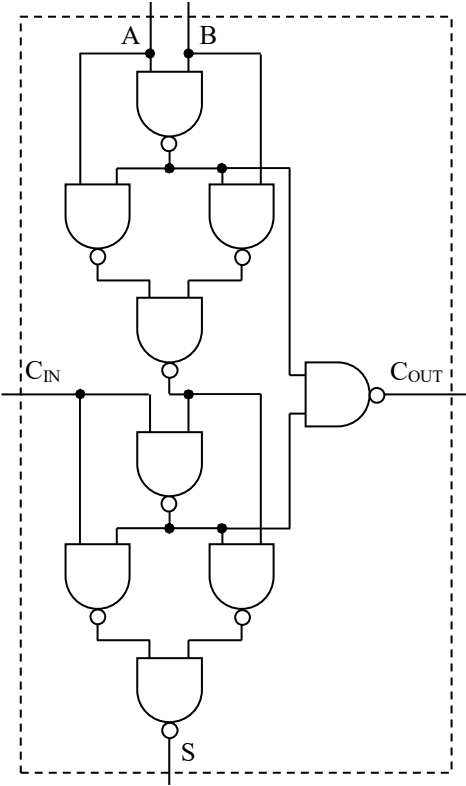
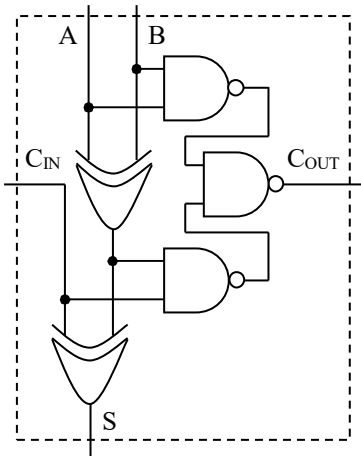
Korzystając z rejestrów i przerzutników łatwo zbudować proste układy arytmetyczne. W takim przypadku wygodnie jest posłużyć się gotowymi układami kombinacyjnymi wykonującymi elementarne sumowania. Poniżej opisano sumator wykonujący dodawanie 1-bitowe.



Sumator 1-bitowy – oznaczenia

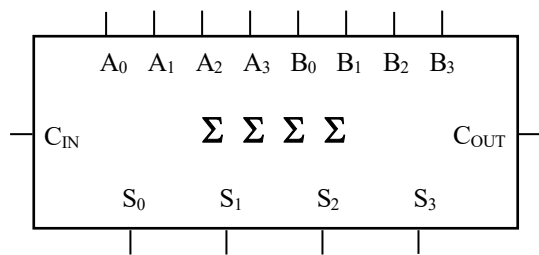
- A – argument 1-bitowy
- B – argument 1-bitowy
- C_{IN} – przeniesienie wejściowe
- S – suma 1-bitowa
- C_{OUT} – przeniesienie wyjściowe

Sumator 1-bitowy wykonuje dodawanie arytmetyczne bitowych argumentów (A, B) wraz z bitem przeniesienia wejściowego (C_{IN}). Dwubitowy wynik sumowania (A + B + C_{IN}) przekazywany jest odpowiednio na wyjście sumy S (młodszy bit) oraz wyjście przeniesienia C_{OUT} (starszy bit). Przykładowe schematy realizacyjne układu i zasadę działania sumatora pokazano poniżej.



C _{IN}	A	B	C _{OUT}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Wyprowadzenie końcówek układu 7483 (sumator 4-bitowy) ilustruje rysunek.



Sumator 4-bitowy – oznaczenia

$A_3 \dots A_0$ – argument 4-bitowy

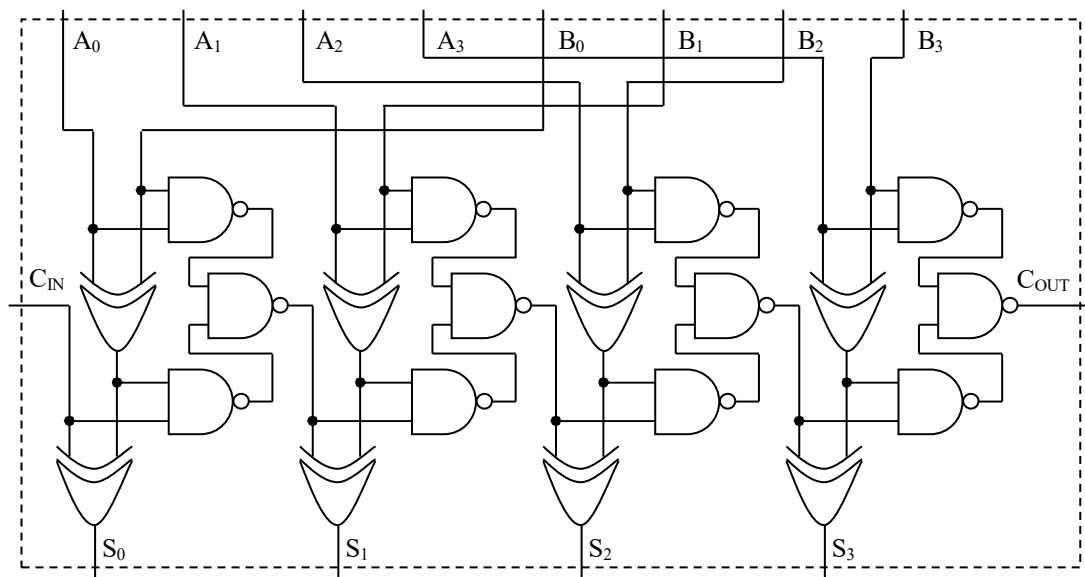
B₃ . . . B₀ – argument 4-bitowy

 C_{IN} – przeniesienie wejściowe

$S_3 \dots S_0$ – suma 4-bitowa

C_{OUT} – przeniesienie wyjściowe

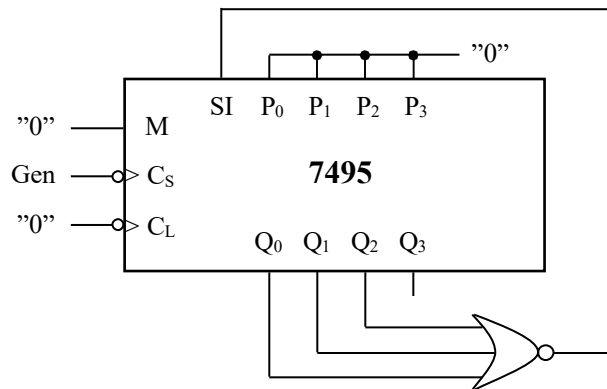
Przedstawiony sumator wykonuje dodawanie arytmetyczne wejściowych argumentów 4-bitowych ($A_3 A_2 A_1 A_0$) i ($B_3 B_2 B_1 B_0$) wraz z bitem przeniesienia wejściowego (C_{IN}). Pięciobitowy wynik sumowania przekazywany jest odpowiednio na wyjścia sumy ($S_3 S_2 S_1 S_0$) oraz wyjście przeniesienia C_{OUT} (najstarszy bit). Schemat realizacyjny w postaci iteracyjnej kaskady sumatorów 1-bitowych i fragment tabeli układu (pełna tabela zawiera 512 wierszy) podano poniżej.

[illegible]

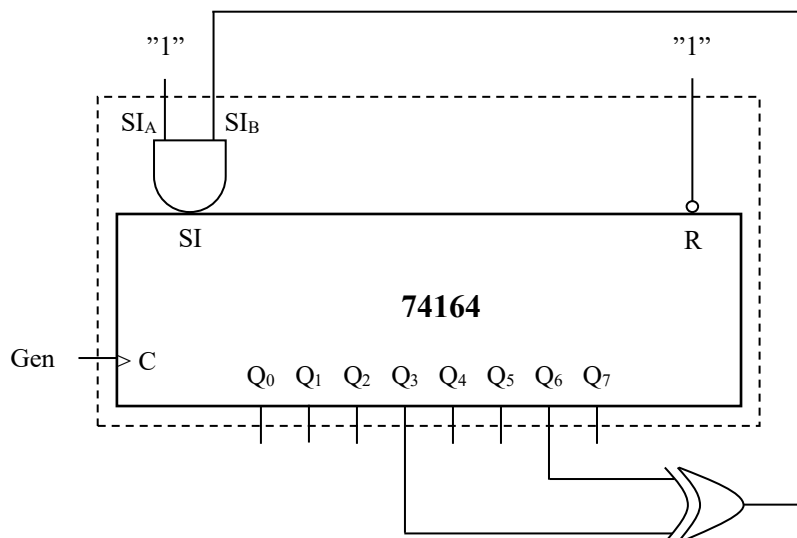
Rejestry scalone nadają się do konstruowania specyficznych układów liczących. W poniższym przykładzie realizowany jest układ "krążącej jedynki", czyli licznik synchroniczny przechodzący kolejno przez następujące stany $[Q_0 Q_1 Q_2 Q_3]$:

$[1000] \rightarrow [0100] \rightarrow [0010] \rightarrow [0001] \rightarrow [1000] \rightarrow \dots$

Zastosowane w układzie sprzężenie korygujące doprowadza licznik do właściwego stanu, w sytuacji gdy w rejestrze występuje początkowo niewłaściwy kod. W realizacji uproszczonej wystarczy natomiast podłączyć bit Q_3 bezpośrednio do wejścia SI oraz wpisać równolegle do rejestru którykolwiek z poprawnych kodów.

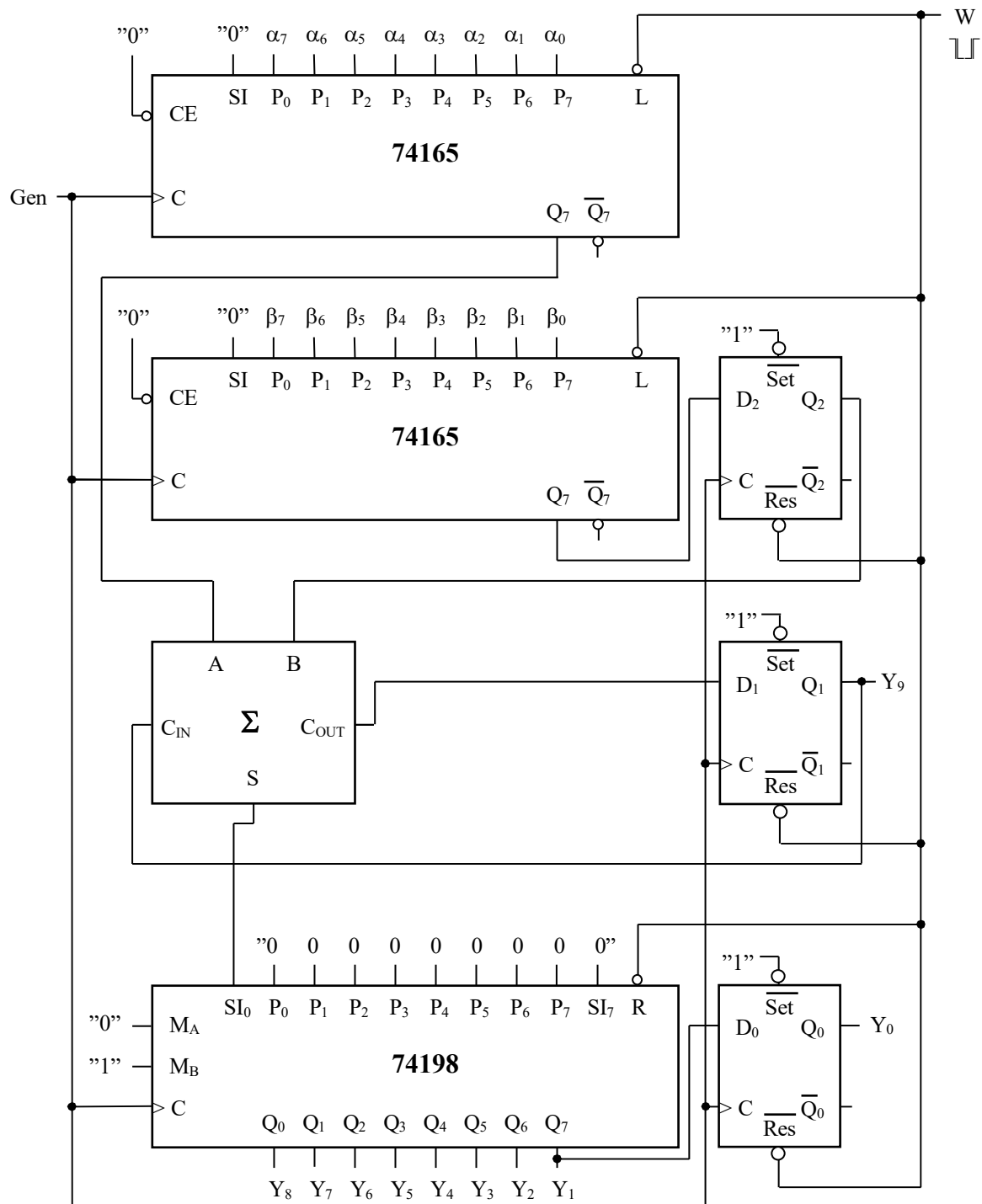


Kolejny przykład pokazuje sposób syntezy tzw. "rejestru liniowego". W podanym rozwiązaniu stosowane jest sprzężenie optymalne ($SI = Q_3 \oplus Q_6$) pozwalające osiągnąć maksymalną pojemność uzyskanego rejestru liniowego ($V=7$). Sposoby znajdowania optymalnych sprzężeń dla rejestrów liniowych o innych pojemnościach znaleźć można w podanej na wstępie literaturze.



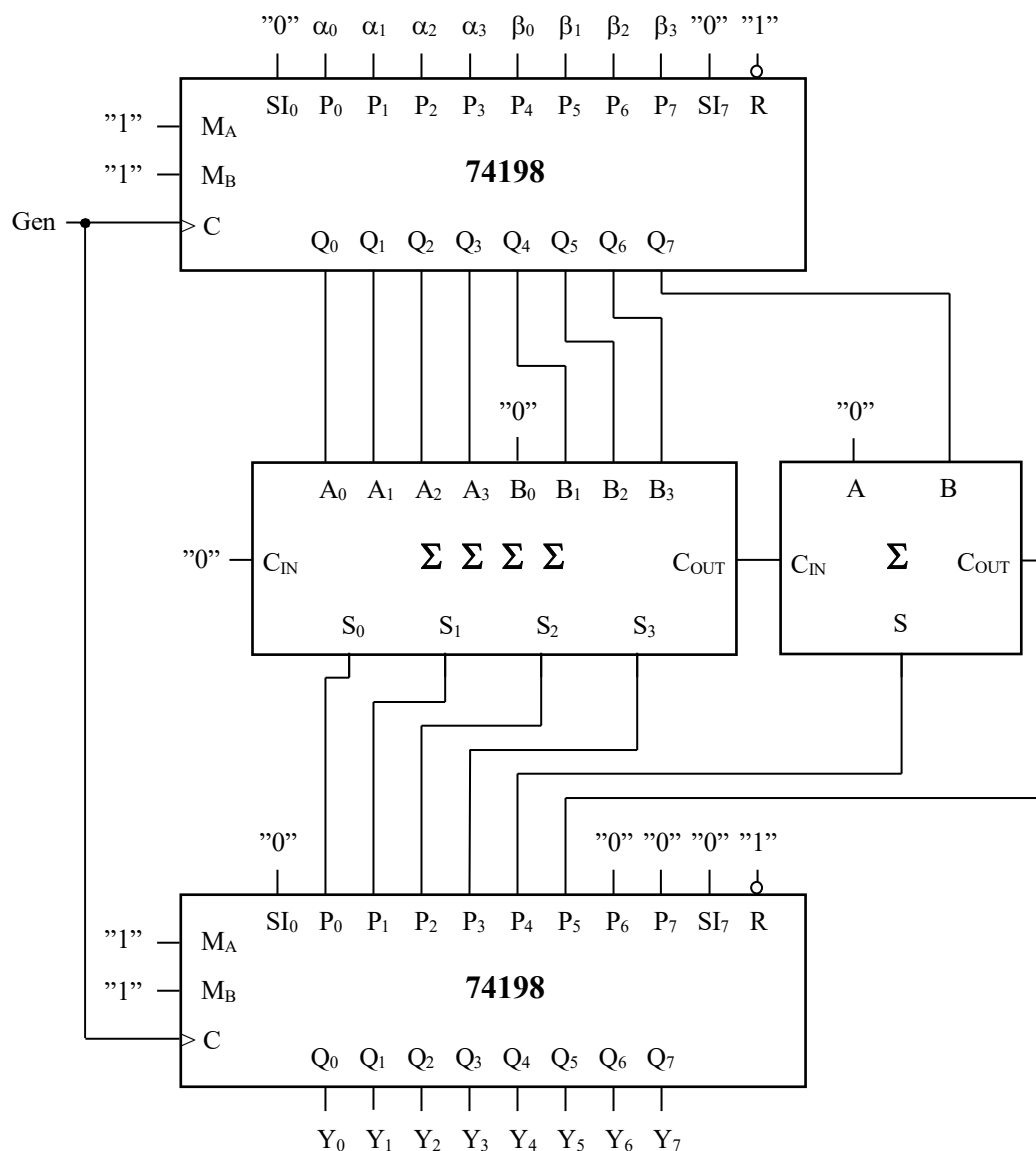
Warto zauważyć, że powyższy układ realizuje w sposób sprzętowy pewne szyfrowanie binarne.

Poniższy układ oblicza szeregowo wyrażenie arytmetyczne $Y = \alpha + 2 \cdot \beta$, gdzie 8-bitowe argumenty $\alpha = (\alpha_7 \dots \alpha_0)$ i $\beta = (\beta_7 \dots \beta_0)$ wprowadzane są do sumatora 1-bitowego z rejestrów przesuwnych. Ponieważ operacja wykonywana jest szeregowo, przeniesienie wychodzące (C_{OUT}) podawane jest poprzez przerzutnik D_1 jako przeniesienie wejściowe (C_{IN}) przy dodawania kolejnej pary bitów. Impuls odwrotny (\overline{L}) na wejściu W ładuje liczby α i β do rejestrów 74165 i zeruje przerzutniki. Uzyskany po 9 taktach zegarowych (narastające zbocza sygnału Gen) wynik zapisywany jest do rejestru 74198, przy czym mnożenie liczby β przez 2 jest realizowane poprzez opóźnienie ciągu bitów (przerzutnik D_2). Ponieważ wynik Y może być maksymalnie 10-bitowy ($Y_9 \dots Y_0$), najmłodszy bit (Y_0) jest zapamiętywany w dodatkowym przerzutniku D_0 . Najstarszy bit (Y_9) jest natomiast dostępny na wyjściu przerzutnika D_1 .



Wpisując liczby do rejestrów należy pamiętać, że sumowanie zaczyna się od bitów najmłodszych.

Kolejny układ oblicza równoległe wyrażenie arytmetyczne $Y = \alpha + 2 \cdot \beta$, gdzie podane argumenty $\alpha = (\alpha_3 \dots \alpha_0)$ i $\beta = (\beta_3 \dots \beta_0)$ są 4-bitowe. Liczby α i β wprowadzane są jednocześnie do rejestru 74198 (narastające zbocze sygnału taktującego Gen). Mnożenie liczby β przez 2 realizowane jest w sumatorze 4-bitowym poprzez przesunięcie bitów i dopisanie na najmłodszej pozycji wartości "0". Ponieważ wynik dodawania może być maksymalnie 6-bitowy, do sumatora 4-bitowego dołączony jest kaskadowo sumator 1-bitowy. Obliczony wynik jest przy kolejnym narastającym zboczu sygnału Gen wpisywany równoległe do wyjściowego rejestru 74198.



W przedstawionym rozwiązaniu dane wejściowe i wynik są wpisywane do rejestrów równoległe w sposób synchroniczny (tj. przy narastającym zboczu sygnału Gen), zatem zerowanie rejestrów przed wykonaniem dodawania nie musi być wykonywane.

Przykładowe zadania projektowe

1. Zaprojektować układ generujący na każdym narastającym zboczach sygnału wejściowego impulsy o różnych czasach trwania: dla pierwszego, trzeciego, piątego ... zbocza sygnału należy wygenerować impuls o czasie trwania T_1 , a dla drugiego, czwartego, szóstego ... zbocza sygnału należy wygenerować impuls o czasie trwania T_2 . W rozwiązaniu wykorzystać układy monostabilne 74123 (czasy T_1 i T_2), multiplekser, przerzutnik D oraz bramki.

Wskazówka. Liczenie modulo 2 zboczy sygnału (parzyste lub nieparzyste) zrealizować za pomocą "dwójki liczącej" (przerzutnik D), a do przełączania generowanych przez układy monostabilne impulsów wykorzystać multiplekser.

2. Zaprojektować układ generujący samoistnie przebieg prostokątny o wypełnieniu 50% i cyfrowo regulowanej częstotliwości. Częstotliwość sygnału wyjściowego powinna wynosić $f = f_0 / (2 \cdot N)$, gdzie f_0 oznacza częstotliwość sygnału na wejściu, a N jest liczbą ($0 < N < 16$) definiowaną za pomocą czterech przełączników binarnych. W rozwiązaniu wykorzystać układy monostabilne 74123, licznik 74193, przerzutnik D oraz bramki.

Wskazówka. Generator przebiegu prostokątnego (o częstotliwości f_0) zbudować na układach monostabilnych. Licznik (zliczanie w dół) wykorzystać do odliczania N impulsów, a sygnał pożyczki (Y_-) wykrywać w celu ponownego załadowania wartości N i wznowienia zliczania. Krótki sygnał pożyczki (Y_-) pojawiający się z częstotliwością f_0 / N można przekształcić za pomocą "dwójki liczącej" (przerzutnik D) w taki sposób, aby przebieg wyjściowy miał oczekiwane wypełnienie 50%.

3. Zaprojektować układ generujący samoistnie przebieg prostokątny o określonej częstotliwości i cyfrowo regulowanym wypełnieniu. Zastosować dwa przełączniki binarne do określenia stopnia wypełnienia przebiegu wyjściowego ("01" – oznacza 25% wypełnienia, "10" – oznacza 50% wypełnienia i "11" – oznacza 75% wypełnienia). W rozwiązaniu wykorzystać układy monostabilne 74123, licznik 74193, multiplekser, przerzutnik D oraz bramki.

Wskazówka. Generator przebiegu prostokątnego zbudować na układach monostabilnych. Licznik (zliczanie w dół) wykorzystać do odliczania impulsów, a sygnał pożyczki (Y_-) wykrywać w celu ponownego załadowania wartości początkowej i wznowienia zliczania. Wypełnienie sygnału wyjściowego zrealizować za pomocą przerzutnika D i multipleksa.

4. Licznik 74193 skonfigurować tak, aby liczył wahadłowo w pełnym zakresie (0, 1, ..., 14, 15, 14, ..., 1, 0, 1, ... itd.). W rozwiązaniu wykorzystać przerzutnik D oraz bramki.

Wskazówka. Przy zliczaniu wahadłowym należy w przerzutniku D pamiętać kierunek liczenia (0 – w górę, 1 – w dół). W momencie wykrycia stanu krańcowego licznika (tj. narastającego zbocza sygnału przeniesienia Y_+ lub narastającego zbocza sygnału pożyczki Y_-) wpisywać asynchronicznie do licznika odpowiednią wartość (tzn. liczbę 14 przy zmianie kierunku na zliczania w dół oraz liczbę 1 przy zmianie kierunku na zliczania w górę). Jednocześnie stan przerzutnika D należy zmienić na przeciwny.

5. Zbudować elektroniczną kostkę do gry (losowanie 1 ... 6 oczek). Losowanie powinno rozpoczynać się w momencie wciśnięcia klawisza, a liczbę oczek należy wyświetlać na diodach świecących (LED) w chwili puszczenia klawisza. W rozwiązaniu wykorzystać układy monostabilne 74123, licznik 7493, multipleksery oraz bramki.

Wskazówka. Generator przebiegu prostokątnego (uruchamiany i zatrzymywany przyciskiem) zbudować na układach monostabilnych. W liczniku asynchronicznym wprowadzić odpowiednie sprzężenie, tak aby zliczać modulo 6 (0 ... 5). Korzystając z multipleksów i bramek zbudować kombinacyjny dekodery zamieniający "wylosowane" kody binarne (000, 001, 010, 011, 100, 101) odpowiednio na liczbę oczek (000001, 000011, 000111, 001111, 011111, 111111).