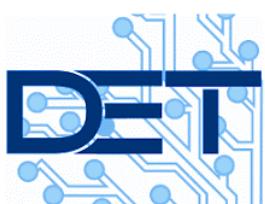


Politecnico di Torino



Workshop

Realizzazione di un Sistema Fotonico di Trasmissione Dati



Gruppo 2
Marco Bracchetti s277909
Davide Costa s274707
Antonio Moles s275921

ANNO ACCADEMICO 2020-2021

Indice

Introduzione

1 Specifiche e Flusso di Progettazione	1
1.1 Specifiche di Progetto	1
1.2 Flusso di Progettazione	1
2 Analisi del Ricevitore	2
2.1 Tensione massima in uscita	2
2.2 Tensione minima in uscita	3
3 Schema a blocchi	5
3.1 Scelta dell'Architettura	5
3.2 Analisi del Funzionamento dello Schema a Blocchi	6
4 Selezione dei Componenti	7
4.1 LTC6419: Amplificatore Differenziale	7
4.2 ADG1421: Dual SPST Switch	8
4.3 LTC6752: Comparatore	9
4.4 Regolatori di tensione lineari	9
4.4.1 µA78M05 – 5 V Positive Voltage Regulator	10
4.4.2 µA79M05 - Fixed Negative Voltage Regulators	10
4.4.3 TPS7B8833QKVURQ1 – 3.3 V Positive Voltage Regulator	11
4.4.4 ADP7104CPZ-2.5-R7 - Low Noise, CMOS LDO	11
4.4.5 ADP7185ACPZN2.5-R7 – Ultra Low Noise Negative Linear Regulator	12
4.5 Altri componenti	13
4.5.1 CD4532BM: Encoder 8:3	13
4.5.2 74VHC238FT: Decoder 3:8	13
4.5.3 EG1218: Slide Switch	14
4.5.4 Led Gialli	14
4.5.5 Led Verdi	14
4.5.6 Diodi 1N4148W	14
4.5.7 Connettori per il Segnale	15
4.5.8 Connettori per l'Alimentazione	15
4.5.9 Capacità e Resistenze	15
5 Schematici LTSpice	16
5.1 Ingresso con Adattamento di Impedenza	16
5.2 Stadi di Amplificazione	17
5.3 Stadio di Filtraggio	18
5.4 Circuito Decisore di Uscita	19
6 Simulazione LTSpice	20
6.1 PRBS	20
6.2 Simulazione del Rumore	20
6.2.1 Rumore del segnale	20
6.2.2 Rumore di alimentazione	22
6.3 Risultati della Simulazione	23
7 Layout del circuito stampato	26
7.1 Layer Stack-up	26
7.2 Footprints, Padstacks, Vias e Traces	27
7.3 Complete Board Layout	27
8 Case Layout	33
9 Bill of Material e Stima dei Costi	34
10 Conclusioni	35
A Appendice	36

Introduzione

L'obiettivo del progetto interdisciplinare “Realizzazione di un sistema fotonico di trasmissione dati” è stato lo sviluppo di una *adapter board* da utilizzare tra un foto-ricevitore ed un *BER tester*.

In particolare, il circuito in esame ha l'obiettivo di ricevere un flusso di bit dal foto-ricevitore *New Focus 1811*, connesso tramite fibra ottica, elaborarlo e renderlo compatibile con i livelli logici standard *LVCMOS33* che caratterizzano l'input del *BER tester*. Il ricevitore dovrà inoltre funzionare per i cinque seguenti bit rate: 10 kbps , 100 kbps , 1 Mbps , 10 Mbps , 100 Mbps .

La prima parte dell'attività didattica è stata dedicata allo studio del problema da un punto di vista teorico. Il passo successivo è stato quello di proporre una soluzione al livello di astrazione *block diagram*. Per implementare a livello circuitale lo schema a blocchi, sono quindi stati selezionati i componenti reali. Successivamente, il circuito è stato simulato tramite il software *LTSpice* per testarne in prima approssimazione le prestazioni. Infine, il circuito è stato implementato progettando un *layout* su PCB tramite il software *Altium*.

1 Specifiche e Flusso di Progettazione

1.1 Specifiche di Progetto

Il sistema è stato progettato per operare sotto le seguenti condizioni:

- Impedenza di uscita del foto-ricevitore: 50Ω
- Livelli logici in ingresso: da estrarre tramite studio della *sensitivity* (capitolo 2)
- Bit rate: 10 kbps , 100 kbps , 1 Mbps , 10 Mbps , 100 Mbps
- Livelli logici in uscita: LVCMOS33
- Massima distorsione del *duty cycle*: 60%/40%
- Probabilità di errore: $P_e < 10^{-10}$

1.2 Flusso di Progettazione

Per la realizzazione del sistema, è stato seguito il seguente flusso di progettazione:

- Analisi delle specifiche del progetto
- Realizzazione dello schema a blocchi
- Selezione dei componenti
- Design del circuito e simulazioni con *LTspice*
- Design del *layout* della PCB con *Altium Designer*

2 Analisi del Ricevitore

Il primo passo per la realizzazione del sistema è l'analisi del ricevitore: in particolare, in questo capitolo si riporta lo studio effettuato per ottenere la dinamica di uscita del foto-ricevitore.

Dal datasheet sono stati estratti i seguenti dati:

- Foto-ricevitore accoppiato in DC
- Responsivity @ 1300 nm : $R \approx 0.95\text{ A/W}$ (ricavato dalla Figura 2.1)
- Guadagno di transimpedenza: $G = 40\text{ V/mA}$
- Minimum NEP @ $[0, 10]\text{ MHz}$: $NEP_{0-10M} = 2.5\text{ pW}/\sqrt{\text{Hz}}$
- Minimum NEP @ $[10, 200]\text{ MHz}$: $NEP_{10M-200M} = 22.5\text{ pW}/\sqrt{\text{Hz}}$
- Potenza di saturazione: $P_{sat} = 55\text{ }\mu\text{W}$

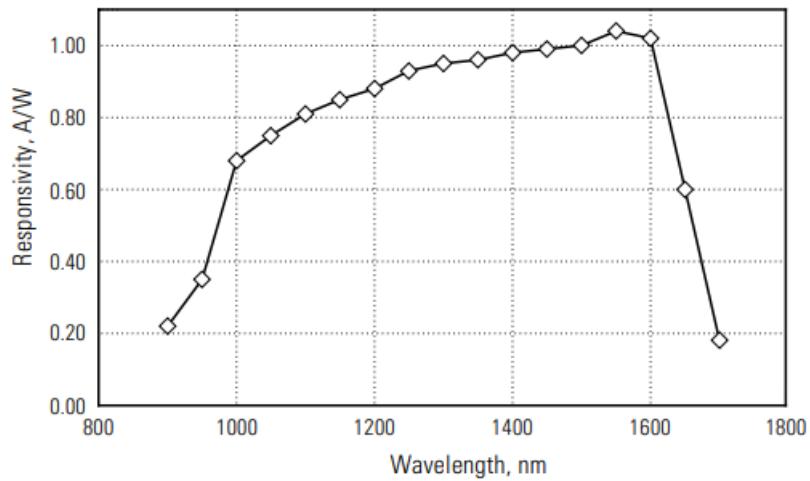


Figura 2.1 – Responsivity del foto-ricevitore

Lo schema a blocchi del foto-ricevitore è riportato in Figura 2.2.

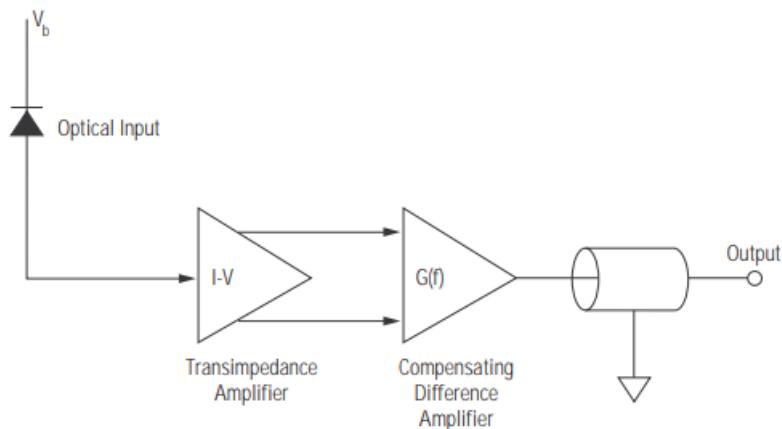


Figura 2.2 – Schema a blocchi del foto-ricevitore

2.1 Tensione massima in uscita

Per calcolare la massima tensione in uscita dal foto-ricevitore, si considera il caso in cui al suo ingresso è presente una potenza ottica uguale alla potenza di saturazione riportata nel *datasheet*. In corrispondenza di tale potenza si ottiene la massima corrente erogabile dal fotodiodo, che si ricava come segue:

$$I_{sat} = R \cdot P_{sat} \approx 52.25\text{ }\mu\text{A}$$

Infine, la massima tensione in uscita è calcolata come mostrato di seguito:

$$V_{max} = G \cdot I_{sat} \approx 2.09 V$$

2.2 Tensione minima in uscita

Per tensione minima in uscita dal foto-ricevitore si intende la minima tensione per cui il circuito dovrà interpretare il segnale come un ‘1’ logico.

Per eliminare il rumore fuori banda, per ogni bit rate verrà utilizzato un diverso filtro passa-basso del primo ordine. La frequenza di taglio di tali filtri è stata scelta in modo da minimizzare la probabilità di errore, e corrisponde circa all’80% del bit rate.

Le frequenze di taglio dei cinque filtri sono quindi le seguenti: $f_{c|10\text{ kbps}} = 8\text{ kHz}$, $f_{c|100\text{ kbps}} = 80\text{ kHz}$, $f_{c|1\text{ Mbps}} = 800\text{ kHz}$, $f_{c|10\text{ Mbps}} = 8\text{ MHz}$, $f_{c|100\text{ Mbps}} = 80\text{ MHz}$.

A partire da questa informazione è possibile calcolare, per ogni bit rate, il valore rms atteso del rumore in tensione $V_{n rms}$ come segue:

$$V_{n rms|10\text{ kbps}} = NEP_{0-10M} \cdot \sqrt{f_{c|10\text{ kbps}}} \cdot R \cdot G \approx 8.5 \mu V$$

$$V_{n rms|100\text{ kbps}} = NEP_{0-10M} \cdot \sqrt{f_{c|100\text{ kbps}}} \cdot R \cdot G \approx 26.9 \mu V$$

$$V_{n rms|1\text{ Mbps}} = NEP_{0-10M} \cdot \sqrt{f_{c|1\text{ Mbps}}} \cdot R \cdot G \approx 85.0 \mu V$$

$$V_{n rms|10\text{ Mbps}} = NEP_{0-10M} \cdot \sqrt{f_{c|10\text{ Mbps}}} \cdot R \cdot G \approx 268.7 \mu V$$

$$V_{n rms|100\text{ Mbps}} = NEP_{10M-200M} \cdot \sqrt{f_{c|100\text{ Mbps}}} \cdot R \cdot G \approx 7.6 mV$$

Tale valore è poi utilizzato per ricavare, per ogni bit rate, l’andamento della probabilità di errore (BER) rispetto alla tensione di uscita del foto-ricevitore.

La formula utilizzata è riportata di seguito:

$$BER = Q \left(\frac{V_{out}}{2V_{n rms}} \right)$$

dove $Q(x)$ è la error function.

In Figura 2.3 sono quindi rappresentati i grafici in cui il BER è rappresentato in funzione della tensione di uscita del foto-ricevitore.

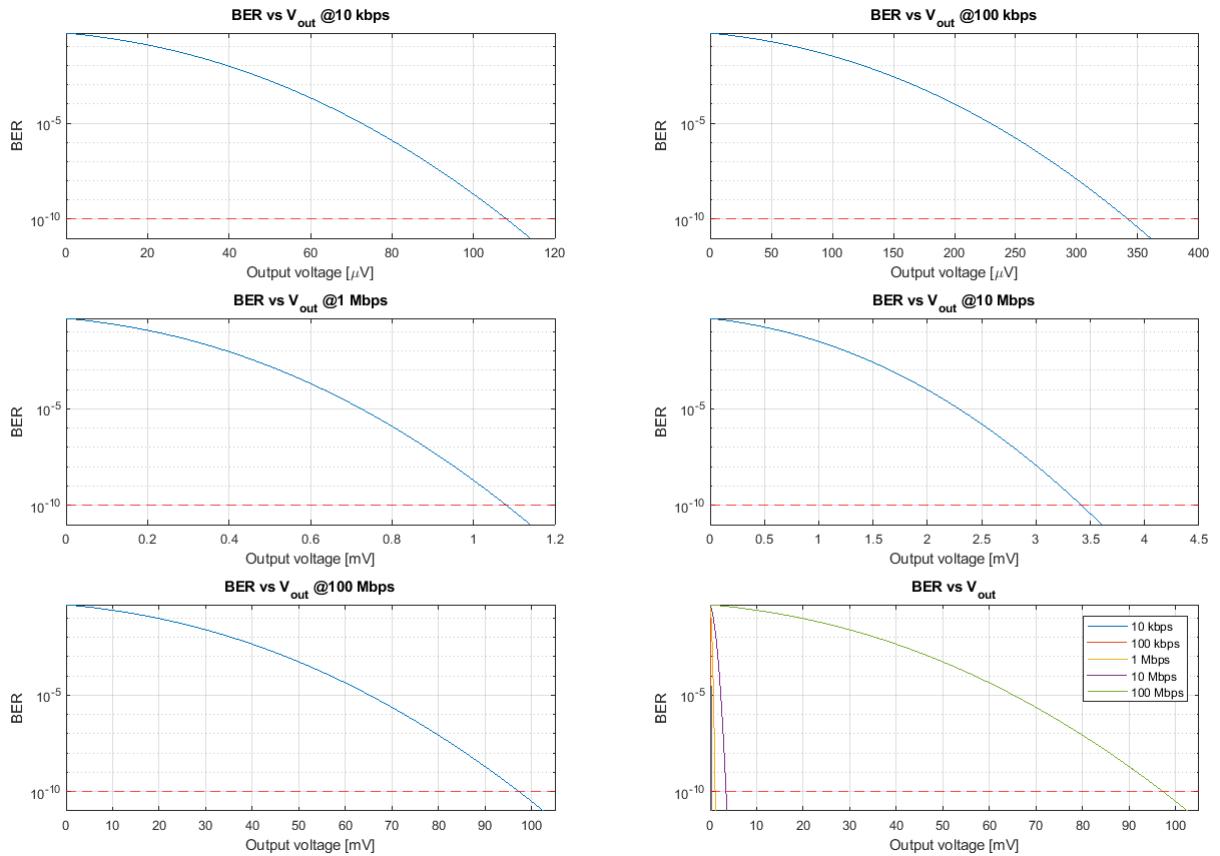


Figura 2.3 – BER rispetto alla tensione di uscita del foto-ricevitore per i diversi bit rate

Per ottenere un valore di probabilità di errore inferiore a 10^{-10} , i valori di *sensitivity* in tensione da considerare, ovvero le tensioni minime, sono le seguenti:

$$V_{min|10 \text{ kbps}} \approx 108 \mu V$$

$$V_{min|100 \text{ kbps}} \approx 342 \mu V$$

$$V_{min|1 \text{ Mbps}} \approx 1.1 \text{ mV}$$

$$V_{min|10 \text{ Mbps}} \approx 3.4 \text{ mV}$$

$$V_{min|100 \text{ Mbps}} \approx 97.3 \text{ mV}$$

Come ci si poteva aspettare, il caso peggiore è legato al bit rate minore.
In conclusione, la minore tensione di ingresso è dunque $V_{min} = 108 \mu V$.

3 Schema a blocchi

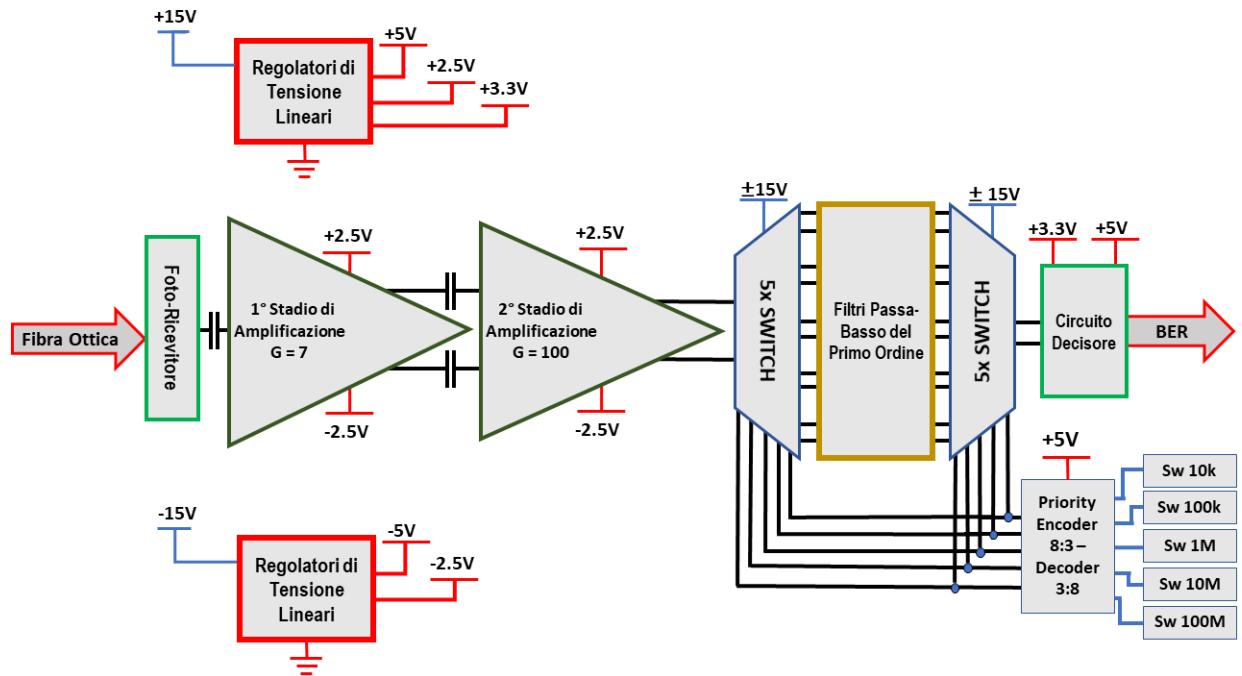


Figura 3.1 – Schema a blocchi del circuito

Di seguito sono riportati i componenti dello schema a blocchi rappresentati in Figura 3.1:

- Foto-ricevitore: New Focus Model 1811 - DC coupled, 125-MHz.
- 1° / 2° Stadio di Amplificazione: LTC6419 Differential Amplifier
- Switch: ADG1421 - iCMOS Dual SPST Switches
- Circuito Decisore: LTC6752 - Comparator Rail-to-Rail Inputs and CMOS Outputs
- Regolatori di Tensione Lineari
 - Positive Supply: μA78M05 - TPS7B8833QKVURQ1 - ADP7104ACPZ-2.5-R7
 - Negative Supply: μA79M05 – ADP7185ACPZN2.5-R7
- Priority Encoder: CD4532
- Decoder: 74VHC238FT

3.1 Scelta dell'Architettura

Il principale problema posto dalle specifiche di progetto è relativo al *range* molto ampio del segnale di ingresso. Le due principali soluzioni sono rappresentate da:

- Limiting amplifier
- AGC amplifier

La prima soluzione consiste nel mantenere fisso il guadagno, sfruttando la saturazione dell'amplificatore stesso come limitatore per segnali di ingresso con ampiezza molto grande. La seconda, invece, fa uso di un *feedback* per regolare dinamicamente il guadagno in base all'ampiezza del segnale in ingresso,

A prima vista, poiché l'AGC garantisce una maggiore linearità per tutto il *range* del segnale di ingresso, questa soluzione sembra essere la migliore.

Ad un'analisi più approfondita, però, la prima soluzione garantisce diversi vantaggi rispetto alla seconda: presenta una complessità molto minore (che consente a sua volta un progetto con consumi di potenza significativamente inferiori), una banda maggiore ed una migliore immunità al rumore. Per le sopracitate ragioni, la scelta di *design* è ricaduta sul *limiting amplifier*.

I risultati di tale confronto sono riassunti nella seguente tabella¹.

	Limiting amplifier	AGC amplifier
Linearity	–	+
Complexity	+	–
Bandwidth	+	–
Noise	+	–
Power consumption	+	–

Figura 3.2

3.2 Analisi del Funzionamento dello Schema a Blocchi

La prima operazione effettuata dal circuito è l'accoppiamento in AC del segnale, tramite l'utilizzo di una capacità. Tale capacità è caratterizzata da un valore molto grande rispetto alle altre capacità del circuito ($330\ \mu F$): in questo modo è possibile ammettere componenti del segnale a frequenze molto basse, così da avere buone prestazioni anche per PRBS di ordine elevato.

In seguito, il segnale, privato della componente continua, subisce una prima amplificazione e viene convertito in segnale differenziale, in modo da aumentare la reiezione del rumore. Il primo stadio ha un guadagno $G_1 = 7$, valore che:

- Garantisce un'amplificazione sufficiente per piccole tensioni di ingresso
- Evita la saturazione del primo amplificatore per segnali di ingresso con ampiezza picco-picco minore di $1.43\ V$
- Assicura sufficienti prestazioni anche per segnali con ampiezza picco-picco maggiore di $1.43\ V$, evitando una saturazione profonda

Dopo un ulteriore accoppiamento in AC, necessario per eliminare la componente di *offset* generata dal primo stadio di amplificazione, è presente un secondo stadio caratterizzato da un guadagno $G_2 = 100$. Tale valore è stato scelto in modo da garantire una significativa amplificazione per i segnali meno ampi. Inoltre, questo amplificatore, come si vedrà nel successivo capitolo, è stato scelto perché in grado di saturare (limitando quindi il segnale per ingressi molto ampi) senza avere un eccessivo decadimento delle prestazioni.

Successivamente, il segnale viene distribuito in parallelo a cinque *switch* differenziali, che, tramite opportuna selezione, lo connettono al filtro scelto in base bit rate. Il segnale filtrato viene poi reindirizzato, tramite altri cinque *switch*, verso il circuito decisore. Per quanto riguarda la generazione dei segnali di selezione degli *switch*, sono stati utilizzati cinque *slide switch*, uno per ogni bit rate, connessi ad un *priority encoder* 3:8 (in modo da non connettere mai più di un filtro contemporaneamente) e ad un *decoder* 8:3. I segnali generati dal *decoder* sono poi connessi alla rispettiva coppia di *switch* in ingresso ed in uscita al filtro.

L'ultimo blocco è il circuito decisore che, utilizzando una soglia di ingresso fissata a $5\ mV$, discrimina i due livelli logici, fornendo in uscita un valore di tensione compatibile con i livelli logici LVCMS33 del BER tester.

¹Filip Tavernier and Michiel Steyaert. *High-Speed Optical Receivers with Integrated Photodiode in Nanoscale CMOS*. Springer, New York, New York, 2011.

4 Selezione dei Componenti

Il seguente capitolo comprende una lista dettagliata dei componenti utilizzati nel progetto con un'analisi delle principali caratteristiche ricavate dai *datasheet*.

4.1 LTC6419: Amplificatore Differenziale

LTC6419 è un amplificatore differenziale duale, caratterizzato da un elevato prodotto banda-guadagno (10 GHz) e slew-rate ($3300\text{ V}/\mu\text{s}$), utilizzato in entrambi gli stadi di amplificazione.

Il guadagno viene fissato tramite le resistenze esterne di retroazione.

Ogni amplificatore assorbe 52 mA di corrente di alimentazione ed è disponibile in un compatto *package* $4\text{ mm} \times 3\text{ mm}$ LQFN a 20 pin che garantisce il corretto funzionamento ad una temperatura compresa tra -40°C e 125°C .

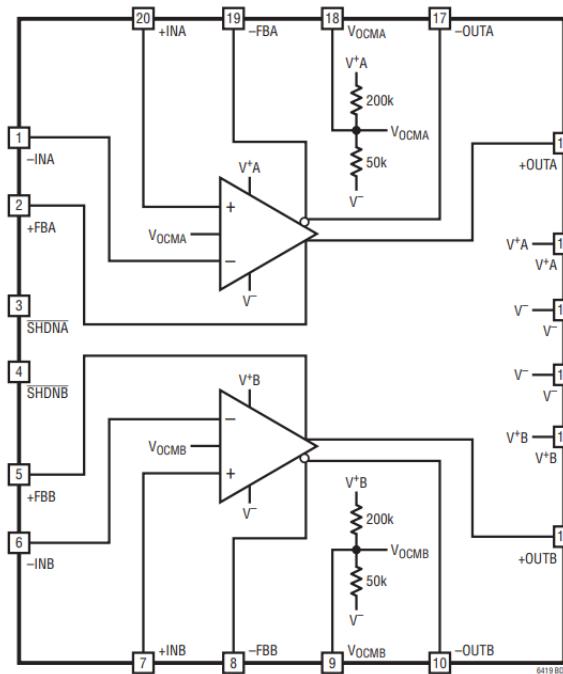


Figura 4.1 – Schema a blocchi dell'amplificatore

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- 10 GHz Gain-Bandwidth Product
- $1.1\text{ nV}/\sqrt{\text{Hz}}$ Input Noise Density
- $3299\text{ V}/\mu\text{s}$ Differential Slew Rate
- 52 mA Supply Current (Per Amplifier)
- 2.7 V to 5.25 V Supply Voltage Range
- Fully Differential Input and Output
- Total Supply Voltage ($V_+ - V_-$) = 5.5 V
- Input Current = $\pm 10\text{ mA}$
- Output Current = 50 mA_{rms}

4.2 ADG1421: Dual SPST Switch

L'ADG1421 è un circuito integrato che contiene due interruttori bidirezionali SPST (*Single Pole Single Throw*). Nel sistema elettronico progettato gli *switch* vengono pilotati in modo da selezionare il filtro relativo al bit rate corrente.

Quando il segnale di selezione (IN1 e IN2 in Figura 4.2) si trova al valore logico alto, i pin S1 (S2) e D1 (D2) sono collegati; sono disconnessi altrimenti.

Il processo modulare iCMOS permette la tolleranza di alte tensioni di alimentazione, incrementando le prestazioni e abbassando drasticamente i consumi, e permettendo inoltre di ridurre la dimensione dell'integrato.

Il componente è stato scelto sia per le ridotte capacità parassite sia per il valore di resistenza serie R_{ON} particolarmente basso (2.1 Ω nominale), come riportato in Figura 4.3. Inoltre, esso mostra un adeguato comportamento in frequenza ($f_c = 180 \text{ MHz}$).

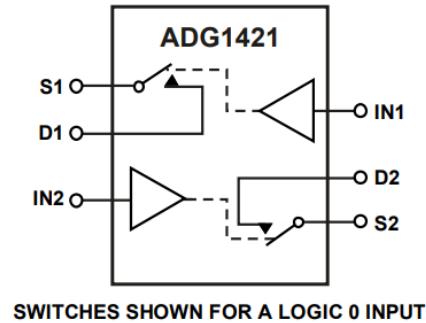


Figura 4.2 – Schematico dello switch

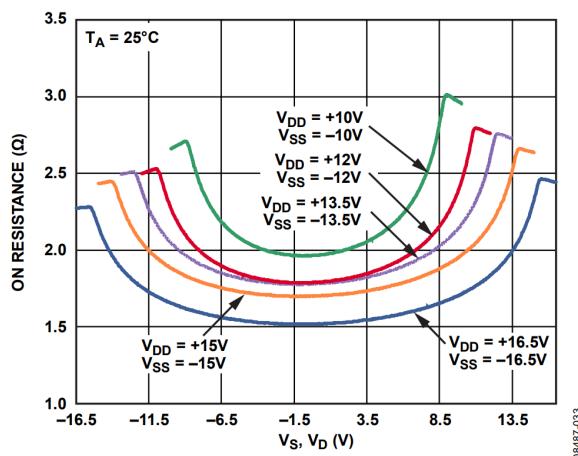


Figura 4.3 – R_{ON} vs V_D , V_S

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- 2.1 Ω ON resistance
- 0.5 Ω maximum ON resistance flatness
- Up to 250 mA continuous current
- Fully specified at +12 V, ±15 V, ±5 V
- 3 V logic-compatible inputs
- Rail-to-rail operation
- 10-lead MSOP and 10-lead, 3 mm x 3 mm LFCSP packages
- Maximum Voltage supply (V_{DD} to V_{SS}): 35 V
- -3 dB Bandwidth 180 MHz typ @ ±15 V supply
- CS (Off) 18 pF typ - CS (On) 86 pF typ - CD (Off) 22 pF typ

4.3 LTC6752: Comparatore

LTC6752 è un comparatore ad alte prestazioni in grado di supportare frequenze di commutazione fino a 280 MHz . Nella nostra applicazione è utilizzato come decisore e per adattare il segnale d'uscita ai livelli logici richiesti dal BER tester. Il comparatore presenta un breve ritardo di propagazione di 2.9 ns e tempi di salita/discesa di 1.2 ns .

Il componente permette, tramite un pin esterno, di regolare l'isteresi del comparatore, la quale, di default, ha un valore di 5 mV . Il dispositivo possiede infine uno *stage* di protezione di diodi per prevenire eventuali danni.

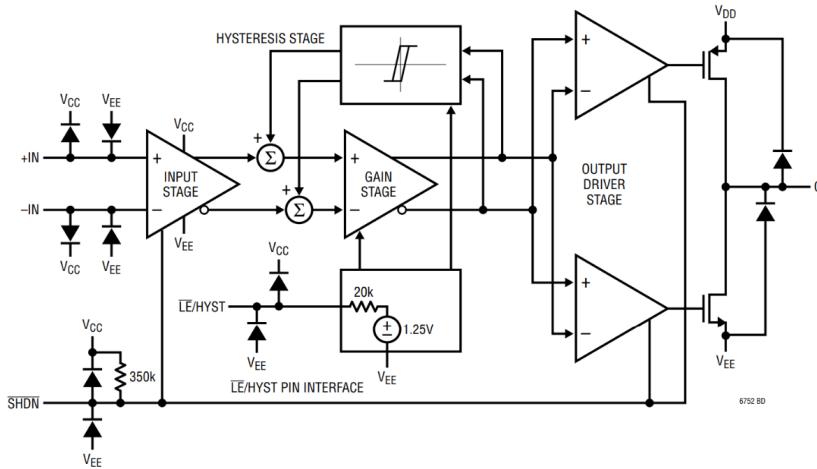


Figura 4.4 – Schematico del comparatore

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- Very High Toggle Rate: 280 MHz
- Low Propagation Delay: 2.9 ns
- Rise/Fall time (10% to 90%): 1.2 ns
- Rail-to-Rail Inputs Extend Beyond Both Rails
- Output Latch and Adjustable Hysteresis
- Fully Specified from -55°C to 125°C
- Packages: TSOT-23, SC70, MSOP, $3\text{ mm} \times 3\text{ mm}$ QFN
- 2.4 V to 5.25 V Input Supply.
- 1.71 V to 3.5 V Output Supply (Separate Supply Option)
- Output Current Capability: $\pm 22\text{ mA}$
- Low Quiescent Current: 4.5 mA
- Differential Input Noise Voltage Density = $1.1\text{ nV}/\sqrt{\text{Hz}}$

4.4 Regolatori di tensione lineari

Per l'alimentazione dei componenti è stato necessario inserire diversi regolatori di tensione lineari. Avendo a disposizione soltanto un'alimentazione duale di $\pm 15\text{ V}$ (fornita dall'alimentatore da banco stabilizzato) ed essendo necessarie alimentazioni più piccole, la scelta era tra utilizzare degli *step down switching DC-DC converter* o dei regolatori di tensione lineari. Sono stati selezionati questi ultimi dato che essi introducono un rumore sull'alimentazione notevolmente ridotto rispetto ai primi, e, poiché il circuito lavora con tensioni di ingresso molto piccole (nell'ordine dei μV), ciò avrebbe potuto comportare malfunzionamenti. D'altro canto, i regolatori lineari tendono a riscaldare maggiormente all'aumentare della potenza dissipata; per ovviare a questo problema sono stati inseriti più regolatori lineari in cascata in modo da diminuire la caduta di tensione sui singoli, riducendo di conseguenza la potenza dissipata da questi ultimi. Di seguito sono riportati i componenti utilizzati nel progetto.

4.4.1 μ A78M05 – 5 V Positive Voltage Regulator

Questo regolatore di tensione lineare è utilizzato per generare una tensione positiva di 5 V, include una regolazione interna per l'eliminazione del rumore e possiede un limitatore di corrente interno ed un *thermal shutdown* che lo rende immune ai sovraccarichi. Può erogare una corrente massima di 500 mA.

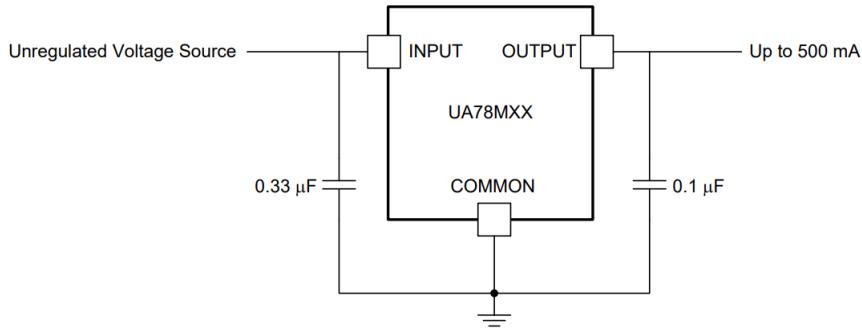


Figura 4.5 – Schematico del μ A78M05

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- 3-Terminal Regulators
- No External Components
- Internal Thermal-Overload Protection
- High Power-Dissipation Capability
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation
- Input Voltage Maximum: 25 V
- Output Current up to 500 mA
- Ripple Rejection: 80 dB typical
- Output Noise Voltage: 40 μ V
- Junction-to-ambient thermal resistance: 30.3 °C/W @KVU package

4.4.2 μ A79M05 - Fixed Negative Voltage Regulators

Questo regolatore è il complementare del modello μ A78M05 e possiede le sue stesse caratteristiche.

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- 3-Terminal Regulators
- No External Components
- Internal Thermal-Overload Protection
- High Power-Dissipation Capability
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation
- Input Voltage Maximum: -25 V
- Output Current up to 500 mA
- Ripple Rejection: 60 dB typical
- Output Noise Voltage: 120 μ V
- Junction-to-ambient thermal resistance: 17 °C/W @KVU package

4.4.3 TPS7B8833QKVURQ1 – 3.3 V Positive Voltage Regulator

Questo regolatore di tensione lineare è utilizzato per generare una tensione positiva di 3.3 V e può erogare una corrente massima di 500 mA .

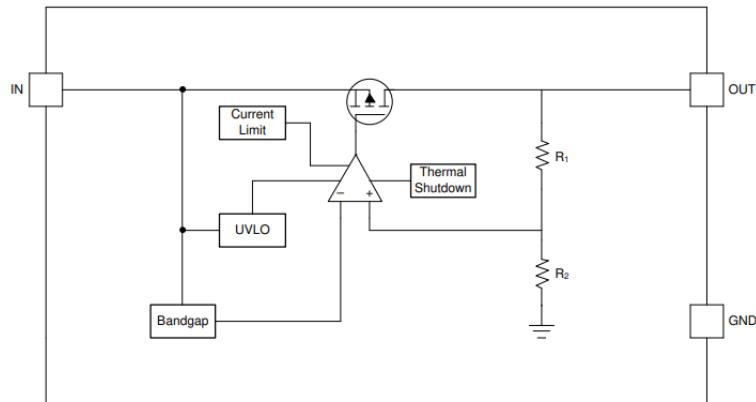


Figura 4.6 – Schematico del TPS7B8833QKVURQ1

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- Input voltage range: 3 V to 40 V (42 V max)
- Output voltage range: 3.3 V and 5 V (fixed)
- Maximum output current: 500 mA
- Output voltage accuracy: $\pm 1.15\%$ (max)
- Low dropout voltage: 525 mV (max) at 450 mA
- Low quiescent current: 17 μA (typ) at light loads
- Package 3-pin TO-252: ($R_{\Theta JA}$): $30^\circ\text{C}/\text{W}$

4.4.4 ADP7104CPZ-2.5-R7 - Low Noise, CMOS LDO

Questo regolatore di tensione lineare è utilizzato per generare una tensione positiva di 2.5 V e garantisce un'elevata reiezione del rumore dell'alimentazione.

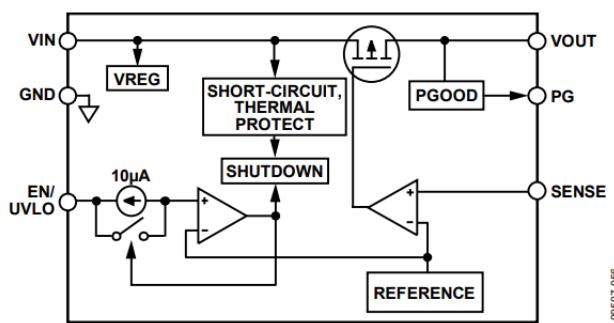


Figura 4.7 – Schematico dell'ADP7104CPZ-2.5-R7

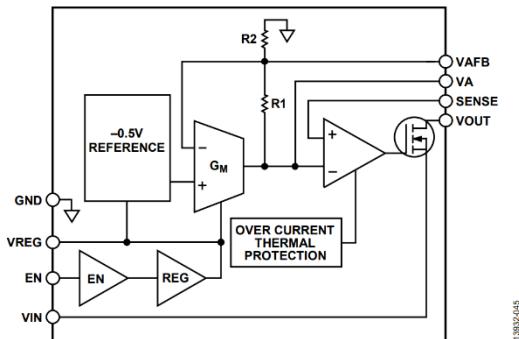
BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- Regulation to noise sensitive applications.
- Foldback current limit and thermal overload protection
- Few External Components needed
- Internal Thermal-Overload Protection
- Reverse current protection

- Input Voltage Maximum: 20 V
- Output Current up to 500 mA
- Ripple Rejection: 60 dB typical
- Output Noise Voltage: 15 μ V
- Junction-to-ambient thermal resistance: 40.1 °C/W @8-Lead LFCSP

4.4.5 ADP7185ACPZN2.5-R7 – Ultra Low Noise Negative Linear Regulator

Questo regolatore ha caratteristiche molto simili all'ADP7104 ed è utilizzato per generare una tensione negativa di -2.5 V .



158320245

Figura 4.8 – Schematico dell'ADP7185CPZN2.5-R7

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- Regulation to noise sensitive applications.
- Few External Components needed
- Current-limit and thermal overload protection
- Input Voltage Maximum: -5.5 V
- Output Current up to 500 mA
- Ripple Rejection: 60 dB typical
- Output Noise Voltage: 4 μ V
- Junction-to-ambient thermal resistance: 65.16 °C/W @8-Lead LFCSP

BENEFITS, FEATURES & ELECTRICAL CHARACTERISTICS

- Wide operating voltage range: 2 V to 5.5 V
- Power down protection is provided on all inputs
- Low power dissipation, max $I_{CC} = 4 \mu A$
- Typical $t_{pd} = 5.5 ns$ at $V_{CC} = 5 V$
- Maximum Power Dissipation: 180 mW

4.5.3 EG1218: Slide Switch

Il componente è utilizzato per la selezione del filtro insieme all'*encoder* e al *decoder*.



Figura 4.11 – Slide Switch

4.5.4 Led Gialli

- WL-SMCW SMT Mono-color Chip LED Waterclear
- Color: Yellow
- Peak forward current: 100 mA
- Continuous forward current: 30 mA
- Forward voltage: 2 V
- Peak wavelength: 595 nm

4.5.5 Led Verdi

- Dialight SMD Green Water
- Color: Green
- Peak forward current: 30 mA
- Forward voltage: 1.8 V
- Peak wavelength: 566 nm

4.5.6 Diodi 1N4148W

- Working peak reverse voltage: 100 V
- Power dissipation: 300 mW
- Low forward voltage: maximum of 0.715 V at 1 mA
- Fast reverse recovery: maximum of 4 ns
- Low capacitance: maximum of 2 pF

4.5.7 Connatori per il Segnale

73100-0114 – RF SMA Female Connector with 50Ω Impedance



Figura 4.12 – Connettore per il segnale

4.5.8 Connatori per l’Alimentazione

8971054 - Morsettiera RS PRO, 3 vie, 1 fila, passo 3.5mm



Figura 4.13 – Connettori per l’alimentazione

4.5.9 Capacità e Resistenze

Le resistenze sono state scelte dai cataloghi di Panasonic e Vishay, mentre le capacità, ceramiche e multistrato, sono state prodotte da AVX e Tayio Yuden. Inoltre, durante il design della PCB sono state aggiunte delle resistenze da 0Ω fabbricate da Bourns, utilizzate come *jumper*.

5 Schematici LTSpice

Nella sezione seguente sono riportati i circuiti schematici progettati con LTspice per la simulazione del sistema. In Figura 5.1 è rappresentato l'intero circuito.

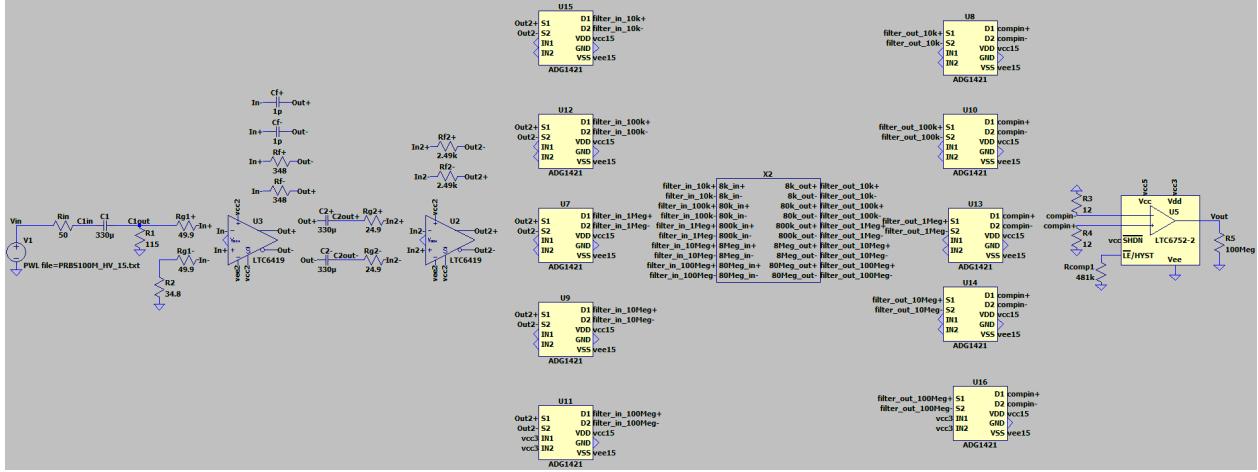


Figura 5.1 – Schematico del circuito utilizzato per le simulazioni

5.1 Ingresso con Adattamento di Impedenza

In Figura 5.2 è riportato il circuito di ingresso, comprendente la capacità C_1 , utilizzata per l'accoppiamento in AC, e le resistenze utilizzate per l'adattamento di impedenza.

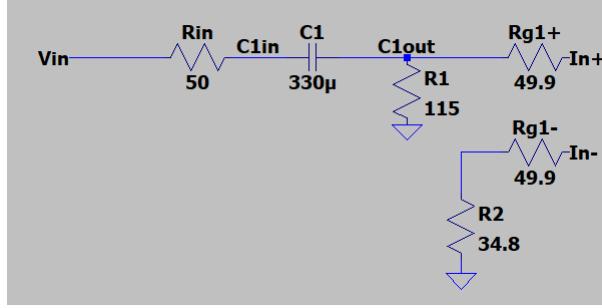


Figura 5.2 – Schematico del circuito di ingresso

L'impedenza di uscita del foto-ricevitore è stata modellata con una resistenza da 50Ω , mentre i valori delle resistenze utilizzate per l'adattamento di impedenza sono stati ricavati dalle formule riportate in Figura 5.3, tratte dal *datasheet* dell'amplificatore LTC6419 (con $R_I = 49.9\Omega$ e $R_F = 348\Omega$).

$$R_{INP} = R_{INM} = \frac{R_I}{1 - \frac{1}{2} \cdot \frac{R_F}{R_I + R_F}}$$

$$R_T = \frac{R_{INM} \cdot R_S}{R_{INM} - R_S} \quad R2 = R_T \parallel R_S = \frac{R_T \cdot R_S}{R_T + R_S}$$

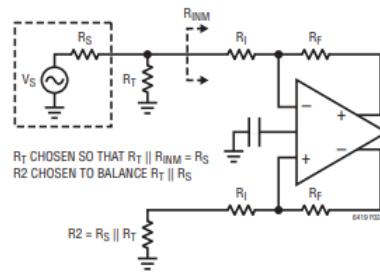


Figura 5.3 – Schema adattamento di impedenza

Il valore della capacità C_1 di $330 \mu F$ è stato scelto perché:

- È abbastanza elevata da garantire una frequenza di taglio inferiore sufficientemente bassa ($f_c = 9.65 Hz$), caratteristica necessaria per un corretto funzionamento per PRBS di ordine elevato
- Condensatori di questo valore hanno ancora dimensioni accettabili per l'implementazione in PCB

5.2 Stadi di Amplificazione

In Figura 5.4 sono riportati i due stadi di amplificazione.

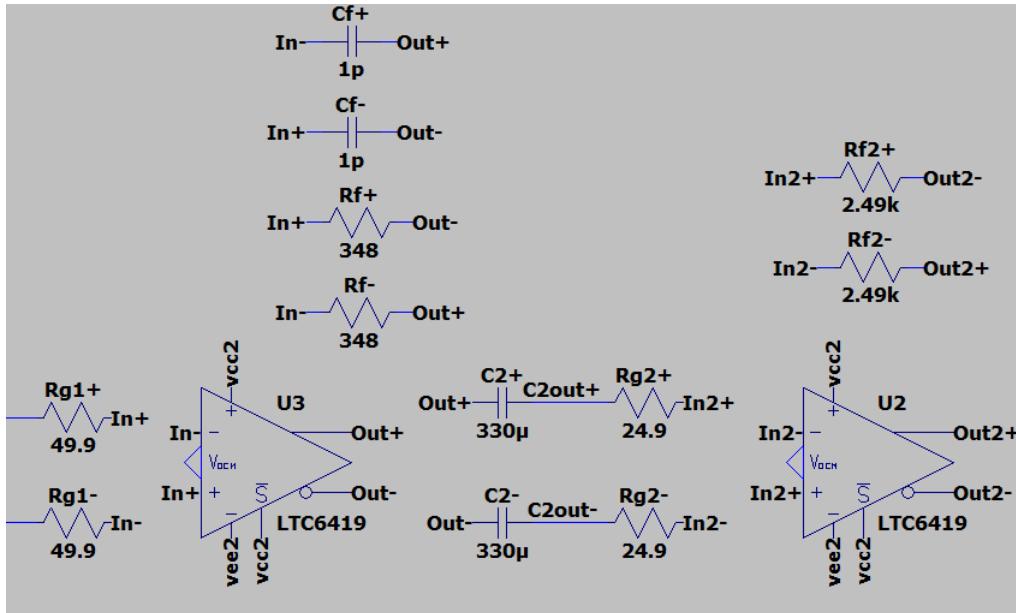


Figura 5.4 – Schematico degli stadi di amplificazione

I valori delle resistenze e delle capacità utilizzate sono stati scelti in base alla tabella mostrata in Figura 5.5, tratta dal *datasheet* dell'amplificatore LTC6419.

$A_V (V/V)$	$R_I (\Omega)$	$R_F (\Omega)$	$C_F (pF)$
1	150	150	1.3
2	100	200	1
5	50	250	0.8
10	50	500	0.4
20	25	500	0.4
100	25	2.5k	0
400	25	10k	0

Figura 5.5 – Tabella per i valori di resistenze e capacità del LTC6419

Per il primo stadio di amplificazione, che ha guadagno $G_1 = 7$ e che fornisce una prima amplificazione del segnale, sono state utilizzate una coppia di resistenze da 49.9Ω in ingresso e due resistenze da 348Ω per il *feedback*. Come consigliato da *datasheet*, è stata inoltre inserita in *feedback* una coppia di capacità da $1 pF$.

Inoltre, il primo stadio ha il compito di effettuare la conversione da *single-ended* a differenziale per diminuire la sensibilità del segnale ai rumori.

Tra i due stadi di amplificazione sono state inserite due capacità di accoppiamento in AC da $330 \mu F$, in modo da eliminare l'*offset* dovuto al primo amplificatore.

Per il secondo stadio, caratterizzato da un guadagno $G_2 = 100$, sono invece state utilizzate due resistenze di ingresso da 24.9Ω , due resistenze di *feedback* da $2.49 k\Omega$ e non sono state utilizzate capacità di *feedback*, come riportato dalla tabella in Figura 5.5.

5.3 Stadio di Filtraggio

Per lo stadio di filtraggio, riportato in Figura 5.6, sono stati utilizzati cinque *switch* differenziali in ingresso al banco di filtri e cinque *switch* in uscita, in modo da selezionare il filtro corretto in base al bit rate desiderato.

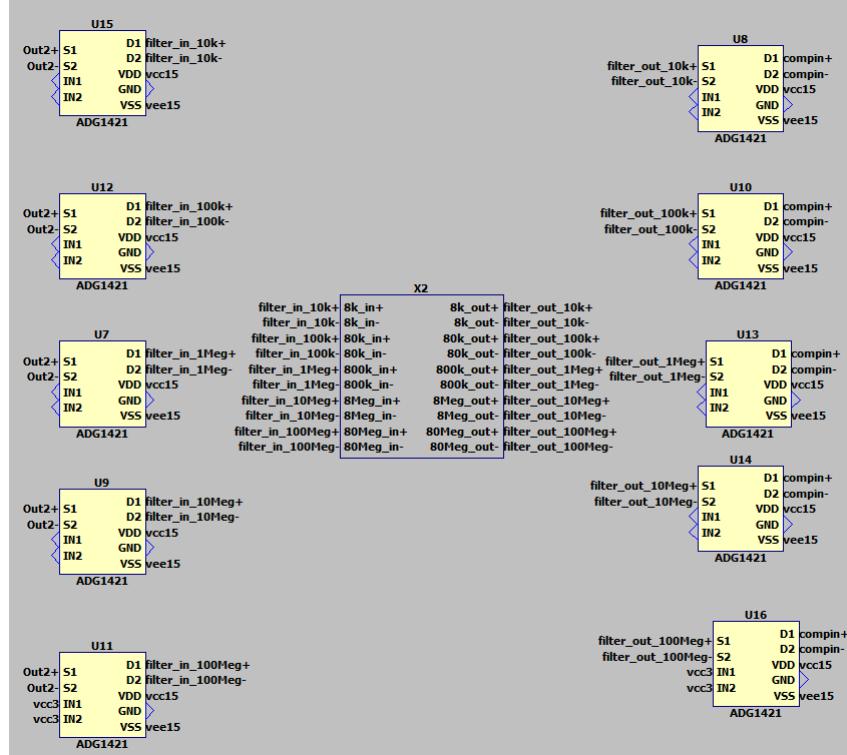


Figura 5.6 – Schematico dello stadio di filtraggio

Per quanto riguarda i filtri, riportati in Figura 5.7, sono stati implementati, come imposto dalle specifiche di progetto, cinque filtri RC differenziali del primo ordine, i cui valori di resistenze e capacità tengono conto della resistenza serie e delle capacità parassite degli *switch*.

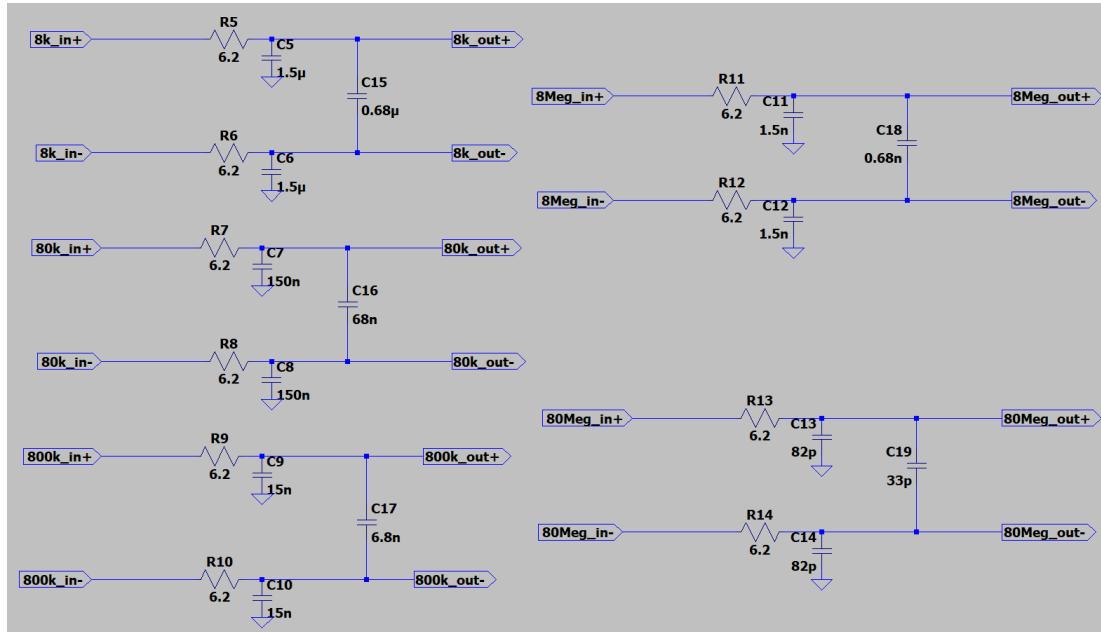


Figura 5.7 – Schematico dei filtri dello stadio di filtraggio

La risposta in frequenza dello stadio di filtraggio, comprendente il contributo degli *switch*, è riportata in Figura 5.8.

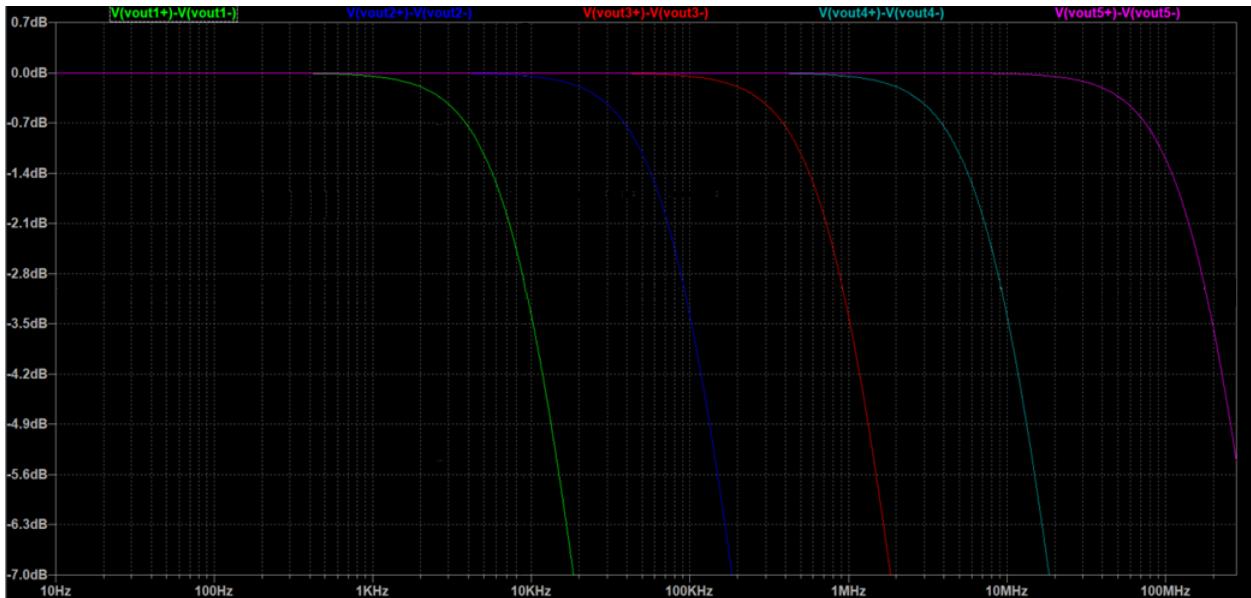


Figura 5.8 – Risposta in frequenza dello stadio di filtraggio

5.4 Circuito Decisore di Uscita

In Figura 5.9 è riportato il circuito decisore di uscita.

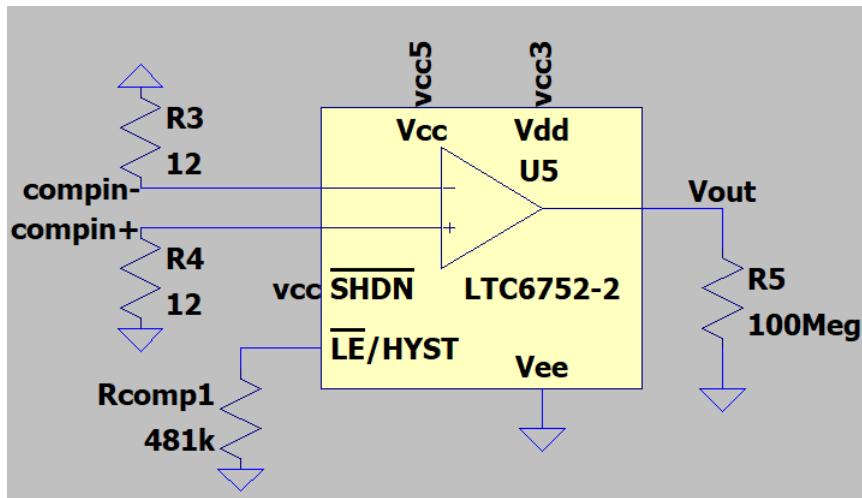


Figura 5.9 – Schematico del circuito decisore di uscita

Le due resistenze da 12Ω connesse all'ingresso del comparatore LTC6752 sono utilizzate per adattare l'uscita dei filtri al comparatore stesso.

La resistenza da $481\text{ k}\Omega$ connessa al pin $\overline{LE}/HYST$ è utilizzata per impostare il valore di isteresi a quello di *default* (5 mV).

Il circuito integrato è alimentato con due diverse tensioni. La tensione di ingresso da 5 V (vcc5) è inserita per permettere al componente di avere una dinamica di ingresso più ampia.

La tensione di uscita da 3.3 V (vcc3) è inserita per impostare i livelli logici di uscita LVCMOS33 che vanno da 0 V (bit '0') a 3.3 V (bit '1').

6 Simulazione LTSpice

6.1 PRBS

Per ottenere una stima corretta delle prestazioni del circuito, sono state eseguite diverse simulazioni del sistema utilizzando come input delle PRBS (*Pseudo Random Bit Sequence*) di differenti ordini.

Tali PRBS sono state generate utilizzando uno script *Matlab*, il quale crea dei file PWL contenenti la sequenza desiderata. Un esempio del contenuto di questo tipo di file è riportato in Figura 6.1.

Mentre la durata complessiva di ogni bit è stabilita dal bit rate, per i tempi di salita e di discesa è stato considerato il parametro fornito dal foto-ricevitore, ovvero 3 ns .

In Figura 6.1 sono anche riportati, sulla destra, i segnali di tensione risultanti dalla simulazione del file PWL.

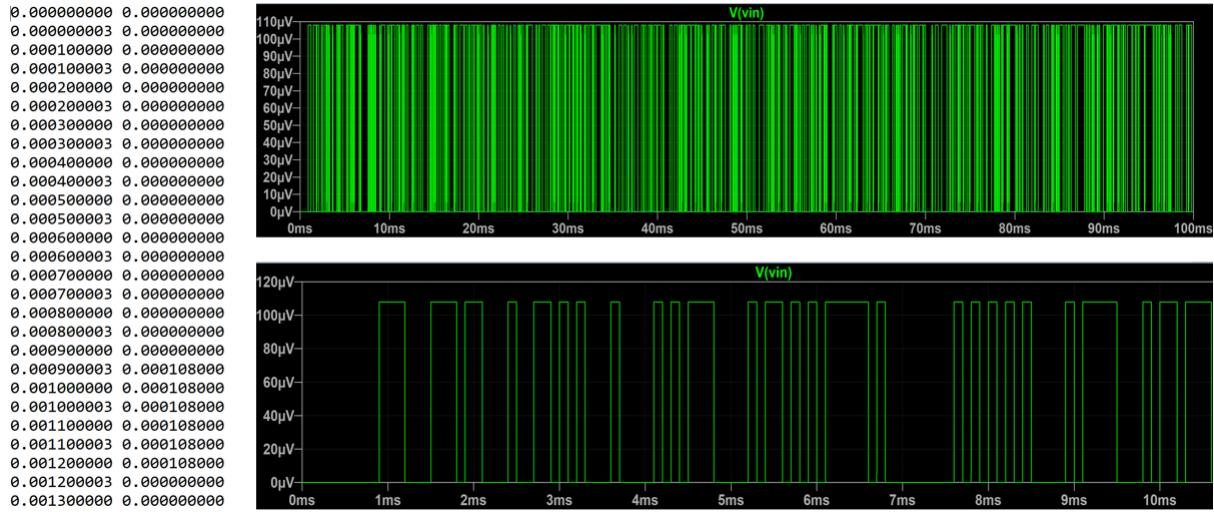


Figura 6.1 – Contenuto del file PWL e risultati della simulazione

Sono state utilizzate PRBS di diverso ordine per esplorare la risposta del sistema anche nel range delle basse frequenze.

Infine, per quanto riguarda i livelli di tensione:

- Il bit '0' è sempre rappresentato dalla tensione 0 V
- Il bit '1', per ogni bit rate, è rappresentato in un caso dal valore più basso possibile (ovvero la tensione di *sensitivity*) e in un altro dal valore più alto possibile (ovvero la tensione di saturazione 2.09 V)

6.2 Simulazione del Rumore

Per simulare il rumore totale nel sistema, è stato considerato sia il rumore introdotto dagli stadi di amplificazione, sia quello proveniente dal foto-ricevitore. È stato inoltre considerato anche il rumore dovuto alle alimentazioni.

6.2.1 Rumore del segnale

Per simulare il rumore introdotto dagli amplificatori, si è riportato in ingresso il valore indicato dal *datasheet*, attenuandolo coerentemente al guadagno degli stadi di amplificazione.

Successivamente, a tale rumore è stato sommato quello prodotto dal foto-ricevitore.

Come è possibile osservare in Figura 6.2, al segnale ideale (cioè l'etichetta "Vsinal") è sommata una certa quantità di rumore bianco (ovvero l'etichetta "Vn_in") diversa per ogni bit rate, in modo da generare il segnale di ingresso reale "Vin". Per far ciò sono stati utilizzati dei generatori di funzione (*behavioral voltage source*).

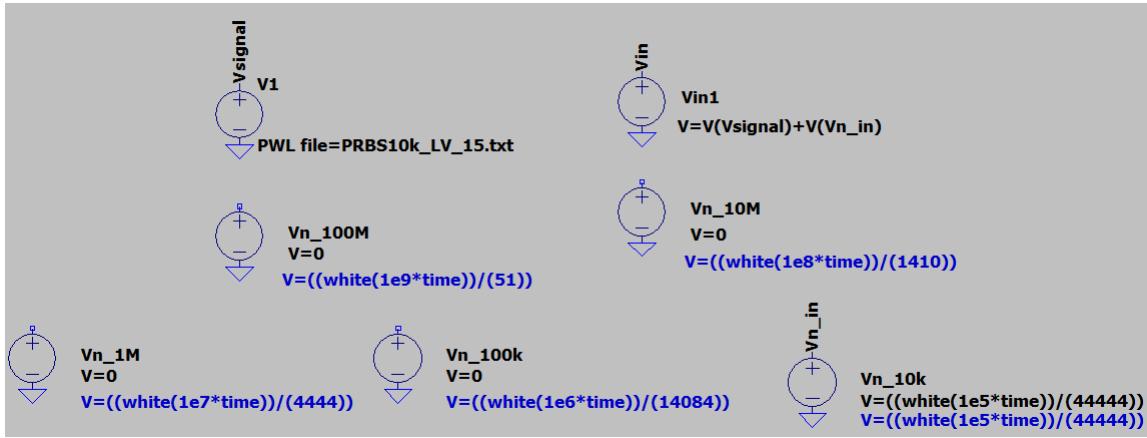


Figura 6.2 – Generatori del rumore relativi al segnale

Per quantificare il rumore sono stati sommati i tre contributi mostrati in Figura 6.3 (rumore del primo stadio, rumore del secondo stadio e rumore del foto-ricevitore), i cui valori di ampiezza sono stati ricavati dai parametri forniti dal *datasheet* dei componenti.

Input noise @Low Voltage	10kbit/s	100 kbit/s	1 Mbit/s	10 Mbit/s	100 Mbit/s
1° Stage [(Noise@G=1)/7]	15,7 nVp-p	49,7 nVp-p	157 nVp-p	497 nVp-p	1,57 μ Vp-p
2° Stage [(Noise@G=1)/700]	157 pVp-p	497 pVp-p	1,57 nVp-p	4,97 nVp-p	15,7 nVp-p
Total Amplifiers Input Noise	15,9 nVp-p	50,2 nVp-p	159 nVp-p	502 nVp-p	1,59 μ Vp-p
Receiver Noise (rms)	7,21 μ Vrms	25 μ Vrms	79,2 μ Vrms	250,5 μ Vrms	250,5 μ Vrms
Receiver Noise (p-p)	22,4 μ Vp-p	70,8 μ Vp-p	224 μ Vp-p	708,4 μ Vp-p	19,3 mVp-p
Total Input Noise	22,4159 μ Vp-p	70,8502 μ Vp-p	224,159 μ Vp-p	708,902 μ Vp-p	19,30159 mVp-p
Total Approximate Input Noise	22,5 μ Vp-p	71 μ Vp-p	225 μ Vp-p	709 μ Vp-p	19,5 mVp-p

Figura 6.3 – Tabella dei valori di rumore sul segnale

Un esempio di rumore ottenuto tramite simulazione è riportato in Figura 6.4.

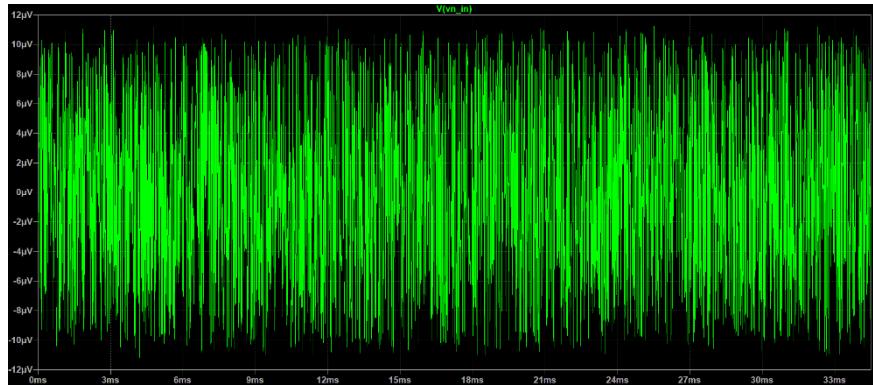


Figura 6.4 – Esempio di rumore sul segnale

6.2.2 Rumore di alimentazione

Il rumore relativo all'alimentazione, sommato come mostrato in Figura 6.5 al valore nominale dell'alimentazione stessa, è stato ottenuto a partire dai *datasheet* dei generatori lineari di tensione analizzati nel precedente capitolo.

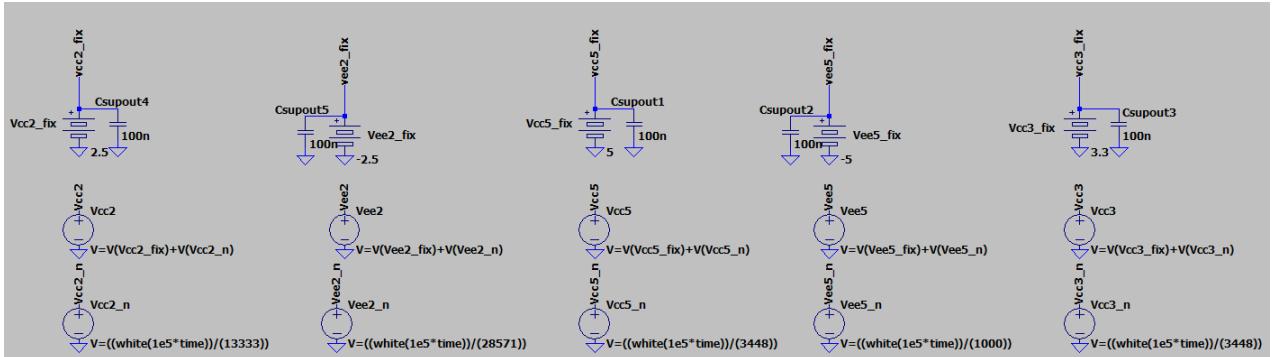


Figura 6.5 – Generatori di rumore relativi all'alimentazione

Nella tabella in Figura 6.6 sono riassunti i valori di rumore utilizzati per le simulazioni.

Noise*	μA78M	μA79M	ADP7104	ADP7185
Typ	58 μ V	200 μ V	15 μ V	7 μ V
Max**	290 μ V	1 mV	75 μ V	35 μ V
*Test condition: 10 Hz to 100 kHz				
** Estimated from other tables: $Noise_{max} \approx 5 \cdot Noise_{typ}$				

Figura 6.6

In Figura 6.7 è riportato il risultato del rumore sui segnali di ingresso e di uscita. Come si nota, l'ampiezza del rumore risulta significativa per il segnale di ingresso ma trascurabile per il segnale di uscita.

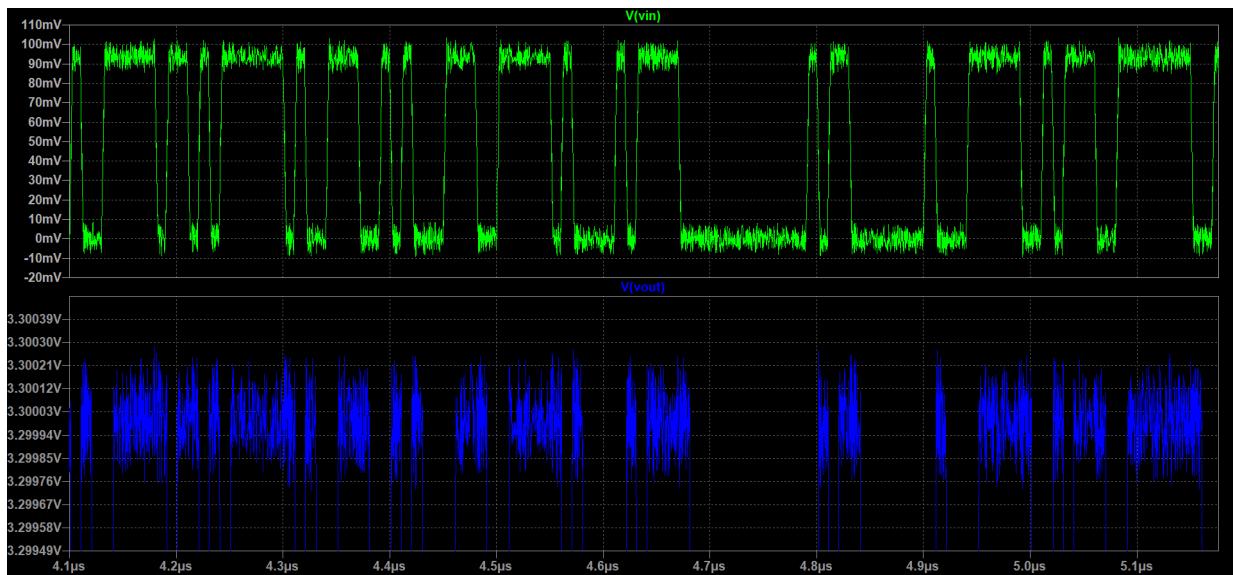


Figura 6.7 – Effetto del rumore sui segnali di ingresso e uscita

6.3 Risultati della Simulazione

In questa sezione sono riportati i principali risultati delle simulazioni effettuate, in cui per l'input sono state utilizzate delle PRBS di ordine 15.

In particolare, sono analizzati i casi di bit rate 10 kbps e 100 Mbps , che rappresentano i due casi critici in quanto:

- Per il bit rate 10 kbps si ha il valore di tensione di *sensitivity* minore: è il caso in cui i valori in uscita dal filtro sono più vicini alla soglia di isteresi del comparatore
- Per il bit rate 100 Mbps , quando il bit '1' è rappresentato dal valore di tensione massimo, gli amplificatori devono lavorare alla massima frequenza e in piena saturazione

In Figura 6.8 sono riportati gli *eye diagram* del segnale di uscita del filtro e del segnale di uscita del comparatore per un bit rate di 10 kbps quando il bit '1' è rappresentato dalla tensione di *sensitivity*.

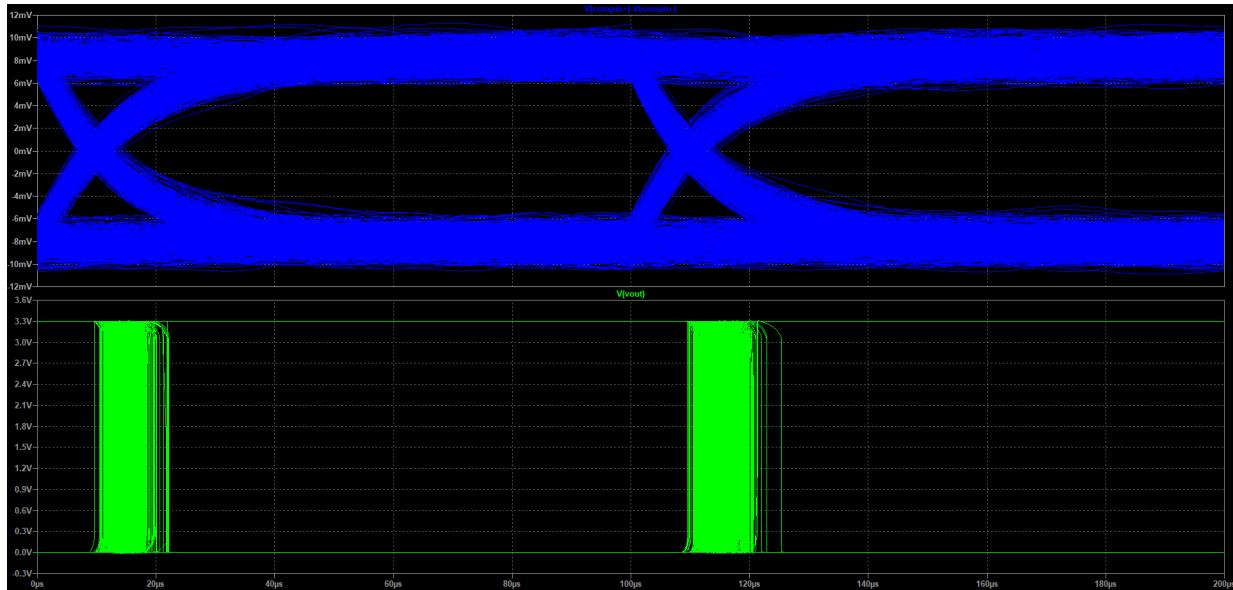


Figura 6.8 – Eye diagram per il bit rate di 10 kbps

In Figura 6.9 sono riportati gli *eye diagram* del segnale di uscita del filtro e del segnale di uscita del comparatore per un bit rate di 100 Mbps quando il bit '1' è rappresentato dal massimo valore di tensione in uscita dal foto-ricevitore.

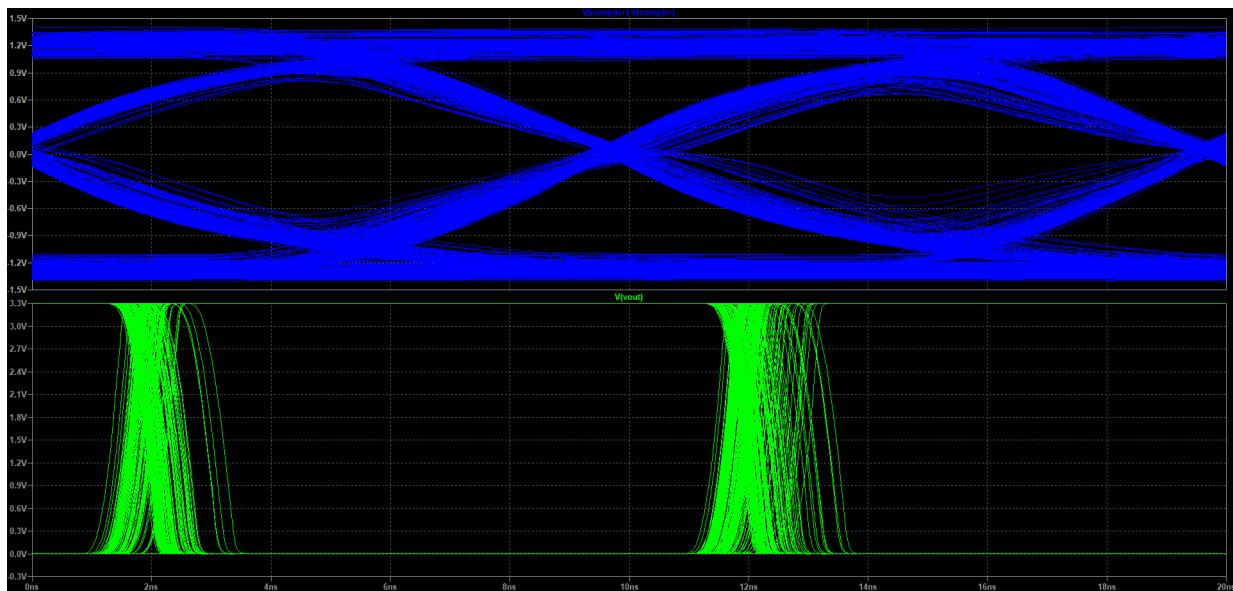


Figura 6.9 – Eye diagram per il bit rate di 100 Mbps

Dai risultati ottenuti dalla simulazione sono ricavati i parametri di *duty cycle distortion* e *jitter distortion*, riportati nella tabella in Figura 6.10. Come si nota, in tutti i casi sono rispettate le specifiche di progetto.

Bit rate	Duty Cycle Distortion %	Jitter Distortion
10 kbps	$89 \mu s / 200 \mu s = 44.5 \%$	$11 \mu s / 100 \mu s = 0.11$
100 Mbps	$9.1 \mu s / 200 \mu s = 45.5 \%$	$1.7 ns / 10 \mu s = 0.17$

Figura 6.10

In Figura 6.11 sono riportate le correnti assorbite dai diversi generatori di tensione utilizzati nello schematico.

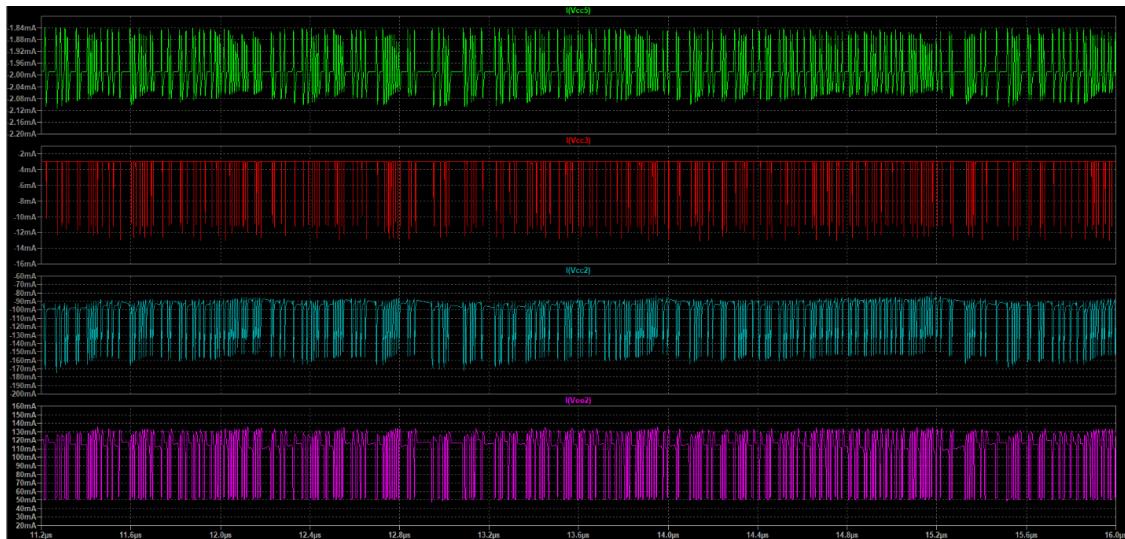


Figura 6.11 – Correnti assorbite dai generatori

Nella tabella in Figura 6.12 sono riportati i valori medi, RMS e massimi di corrente assorbita dal sistema.

	5 V	3.3 V	2.5 V	-2.5 V
Average Current	1.988 mA	3.105 mA	104.8 mA	104.7 mA
RMS Current	1.989 mA	3.256 mA	106.9 mA	108.7 mA
Max Current	2.112 mA	13.37 mA	176.5 mA	136.5 mA

Figura 6.12

A partire da questi dati, è possibile ricavare i valori di potenza dissipata dai generatori, riportati in Figura 6.13.

	5 V	3.3 V	2.5 V	-2.5 V
Average Power	19.88 mW	5.279 mW	262.1 mW	261.6 mW
RMS Power	19.89 mW	5.536 mW	267.2 mW	271.6 mW
Max Power	21.12 mW	22.73 mW	441.2 mW	341.2 mW

Figura 6.13

Infine, utilizzando i parametri di resistenza termica riportati nei *datasheet* dei regolatori di tensione lineari utilizzati per il progetto, sono stati calcolati gli incrementi di temperatura attesi, riportati in Figura 6.14.

	5 V	3.3 V	2.5 V	-2.5 V
RMS Power	19.89 mW	5.536 mW	267.2 mW	271.6 mW
Thermal Resistance	30.3 °C/W	30.3 °C/W	40.1 °C/W	68.8 °C/W
Temperature Rise	0.6 °C	0.17 °C	10.7 °C	18.67 °C

Figura 6.14

Poiché il massimo incremento di temperatura, relativo al regolatore che genera -2.5 V , è di 18.67 °C , considerando una temperatura ambientale di 25 °C , la massima temperatura raggiunta dal sistema è di 43.67 °C , che rientra pienamente nel *range* di funzionamento di tutti i componenti.

Inoltre, per evitare ulteriori incrementi inattesi di temperatura, sono state utilizzate delle aree di dissipazione termica al livello del *layout* PCB.

Infine, in Figura 6.15 e 6.16 è riportata la risposta in frequenza dell'intero circuito rispettivamente nel caso di bit rate di 10 kbps e 100 Mbps .

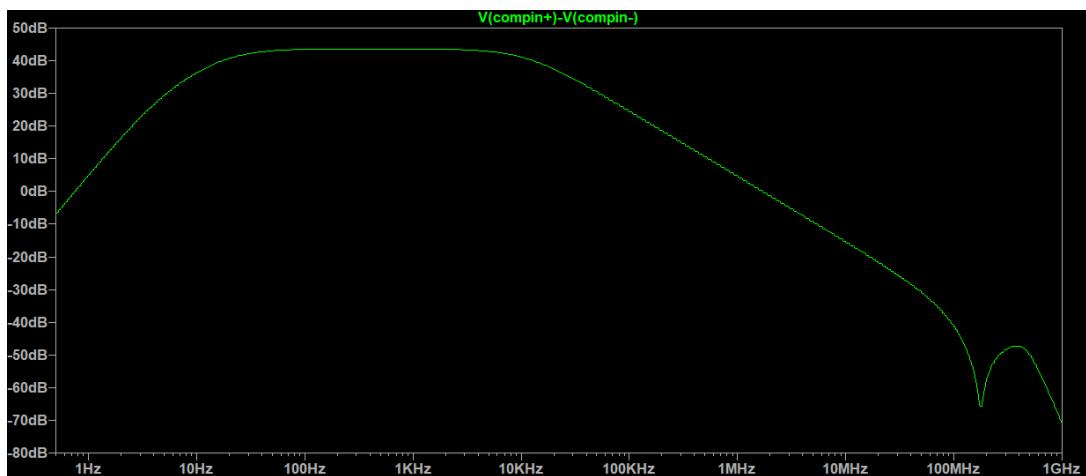


Figura 6.15 – Risposta in frequenza del circuito per bit rate 10 kbps



Figura 6.16 – Risposta in frequenza del circuito per bit rate 100 Mbps

Da questi risultati si deduce che:

- La banda del circuito è influenzata in modo sensibile dal solo stadio di filtraggio, mentre il contributo degli altri componenti risulta trascurabile (essendo la loro banda molto più ampia delle frequenze di taglio dei filtri).
- La frequenza di taglio inferiore è data dalla capacità di accoppiamento in AC: con il valore selezionato è possibile garantire un ottimo comportamento del circuito fino ad una PRBS di ordine 15. Per ordini superiori il sistema continua a funzionare, ma la *performance* del sistema degrada sensibilmente con il crescere dell'ordine della PRBS utilizzata.

7 Layout del circuito stampato

La progettazione della scheda stampata è focalizzata a minimizzare le interferenze per ottimizzare l'integrità del segnale data la sua criticità. Per fare ciò si sceglie una PCB di classe 6 dalla classificazione *Euro Circuit Manufacturing Classification*. La classificazione *Euro-Circuit Board* si basa su classi di modelli e classi di foratura che definiscono i vincoli di progettazione della PCB. Nel capitolo seguente saranno mostrati i dettagli del circuito stampato, con particolare attenzione per la forma della scheda, il *layer stack-up*, i *footprint*, i *padstack* e le *via* utilizzate per progettare l'intera PCB.

7.1 Layer Stack-up

Per isolare meglio i percorsi dei segnali e ottimizzare l'integrità del segnale, è stata progettata una scheda a due *layer*.

Gli strati conduttori sono realizzati in rame con uno spessore di 0.709 *mill*, mentre gli strati dielettrici sono in Fr-4 con una costante dielettrica di 4.8 e 61 *mill* di spessore.

Name	Material	Type	Thickness	Weight	Dk
Top Overlay		Overlay			
Top Solder	Solder Resist	Solder Mask	0.4mil		3.5
Top Layer		Signal	0.709mil	1/2oz	
Dielectric1	FR-4	Core	61.024mil		4.8
Bottom Layer		Signal	0.709mil	1/2oz	
Bottom Solder	Solder Resist	Solder Mask	0.4mil		3.5
Bottom Overlay		Overlay			

Figura 7.1 – Altium Designer Layer Stack-up Table

Il livello superiore (*top layer*) è stato dedicato a instradare i segnali provenienti dal foto-ricevitore, i segnali di selezione dei filtri e le piste per le alimentazioni. Sul *top layer* sono posizionati tutti i componenti del sistema e sono state create delle aree utili a dissipare il calore dei generatori lineari di tensione.

Il livello inferiore (*bottom layer*) è stato dedicato sia ad un piano di massa (*ground plane*) che all'instradamento di alcuni segnali, dato che non è stato possibile mantenere tutti i segnali sul *top layer* a causa delle complesse connessioni tra il segnale e i filtri. Inoltre, si è sfruttato il *bottom layer* anche per delle piste di alimentazione e di segnale di selezione dei filtri.

In Figura 7.2 sono riportate le immagini dei *layer* della scheda. Come è possibile notare, nella parte superiore del *top layer* vi è una zona di dissipazione del calore in cui è situata tutta la sezione di alimentazione del circuito, comprendente i regolatori lineari, i condensatori di *decoupling* e i diodi di protezione. Nel *bottom layer* è presente un unico piano di ground con la presenza di alcune *trace* e dei fori dei componenti *through-hole*, come i connettori e gli *slide switch*.

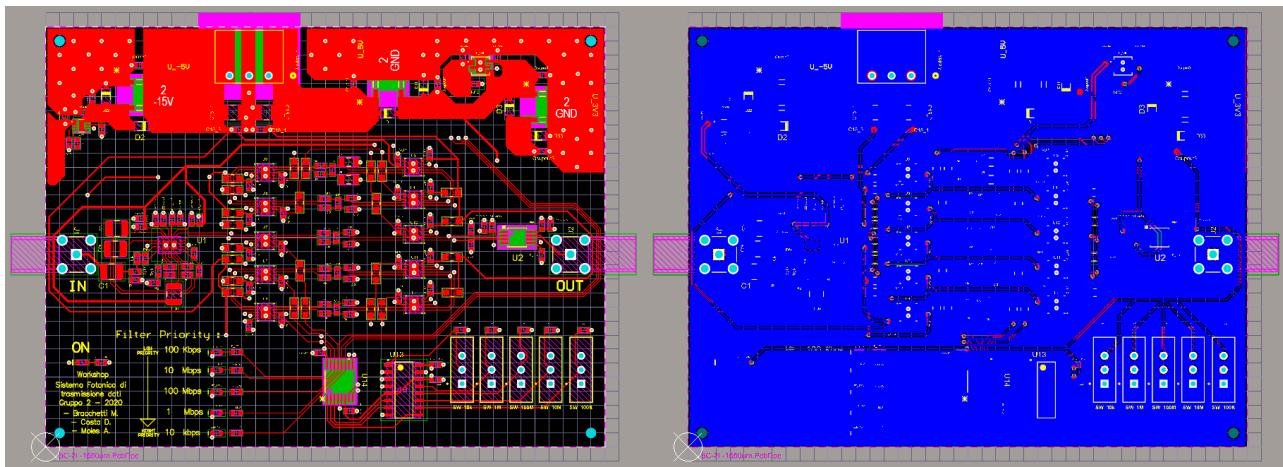


Figura 7.2 – Top e Bottom layer della PCB

7.2 Footprints, Padstacks, Vias e Traces

Sono stati utilizzati principalmente *footprint* e *padstack* scaricati dalle biblioteche online *Samasycs* e *Ultralibrarian*. Tuttavia, alcuni di questi *footprint* hanno richiesto piccole correzioni per poterli adattare alla classe della scheda utilizzata e per poter inserire ulteriori *via* nei *thermal pad* sottostanti ai componenti.

Nella tabella in Figura 7.3 sono elencati tutti i *package* dei componenti presenti nel progetto.

COMPONENTS	PACKAGES
LTC6419	LQFN 20-Lead (4mm × 3mm × 0.75mm)
ADG1421	LFCSP_WD 10-Lead
LTC6752	MSOP 8-Lead Plastic
74VHC238FT	TSSOP16B
CD4532BM	16-SOIC
UA78M05/ UA79M05 / TPS7B8833	KVU3 (TO-252 -3)
ADP7185	8-Lead LFCSP
ADP7104	8-Lead LFCSP_WD
1N4148	SOD123
LEDS	0603
RESISTORS	0603
CAPACITORS	0603 / 1210
0Ω RESISTOR	0805

Figura 7.3

Le *via* sono state utilizzate per collegare i componenti al piano di *ground* e per traslare specifici segnali dal *top layer* al *bottom layer*. Tali *via* sono tutte *plated through hole via*, con un diametro di 0.846 mm ed un foro di 0.499 mm. Inoltre, sono state connesse ai piani tramite un *thermal-relief* diretto.

Per quanto riguarda le piste, sono stati utilizzati diversi spessori: 0.25 mm per le piste del segnale e una dimensione tra 0.381 mm (15 mill) e 0.508 mm (20 mill) per le piste di alimentazione. Per i segnali di selezione dei filtri sono state utilizzate delle piste di 0.2 mm (7.874 mill) o di 0.3 mm (12 mill).

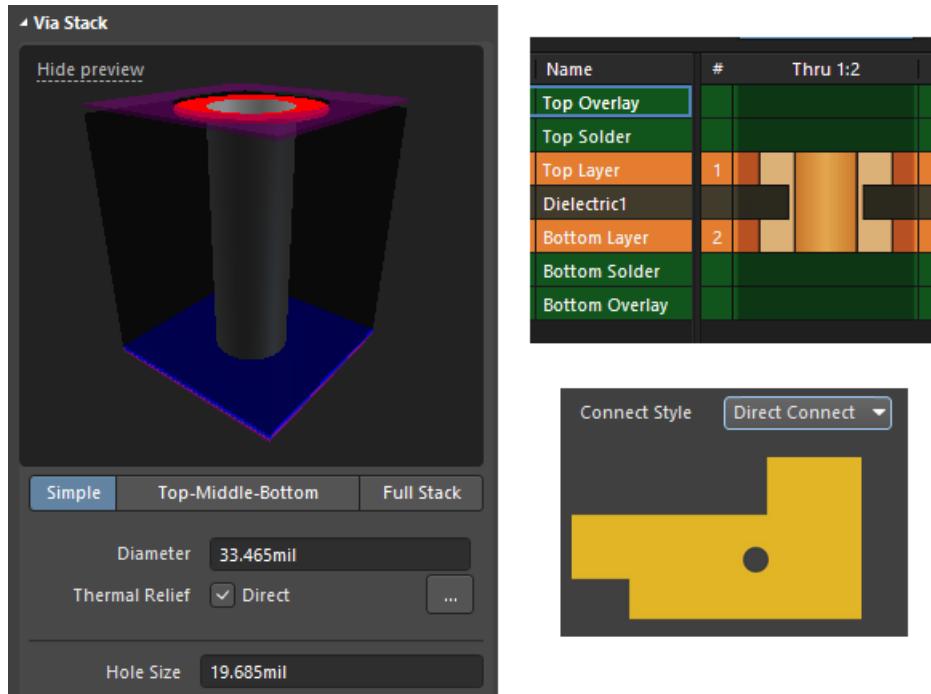


Figura 7.4 – Dettaglio delle via

7.3 Complete Board Layout

In questo capitolo vengono riportati alcuni dettagli del *layout* del circuito stampato, con un'analisi dei componenti principali per mostrare al lettore sia la disposizione dei componenti che le motivazioni di tale disposizione.

Infine, viene riportato l'intero circuito stampato in 3D per mostrare il risultato finale. Per approfondimenti, in appendice sono riportati gli schematici di tutto il circuito, progettati con il software *ECAD Altium Designer*.

Il primo dettaglio (Figura 7.5) riguarda la sezione di ingresso del circuito contenente il *footprint through hole* del connettore SMA ed il circuito integrato (U1) con *package* "Low Profile Quad Flat No lead" (LQFN) dei due amplificatori operazionali differenziali LTC6419. Nella parte superiore rispetto al componente vi sono i condensatori di *bypass*, con *package* 0603, che hanno il ruolo di filtrare i rumori ad alta frequenza generati dall'alimentazione. Alla sinistra del IC vi sono i tre condensatori per l'accoppiamento in AC di ingresso e tra i due stadi, con *package* 1210, mentre i restanti componenti sono resistenze e capacità, con *package* 0603, utilizzati per fissare i guadagni dei due amplificatori. Vi è inoltre una resistenza da 0Ω (*package* 1210) utilizzata per instradare il segnale di *Enable* senza interrompere il *ground* sottostante al segnale differenziale.

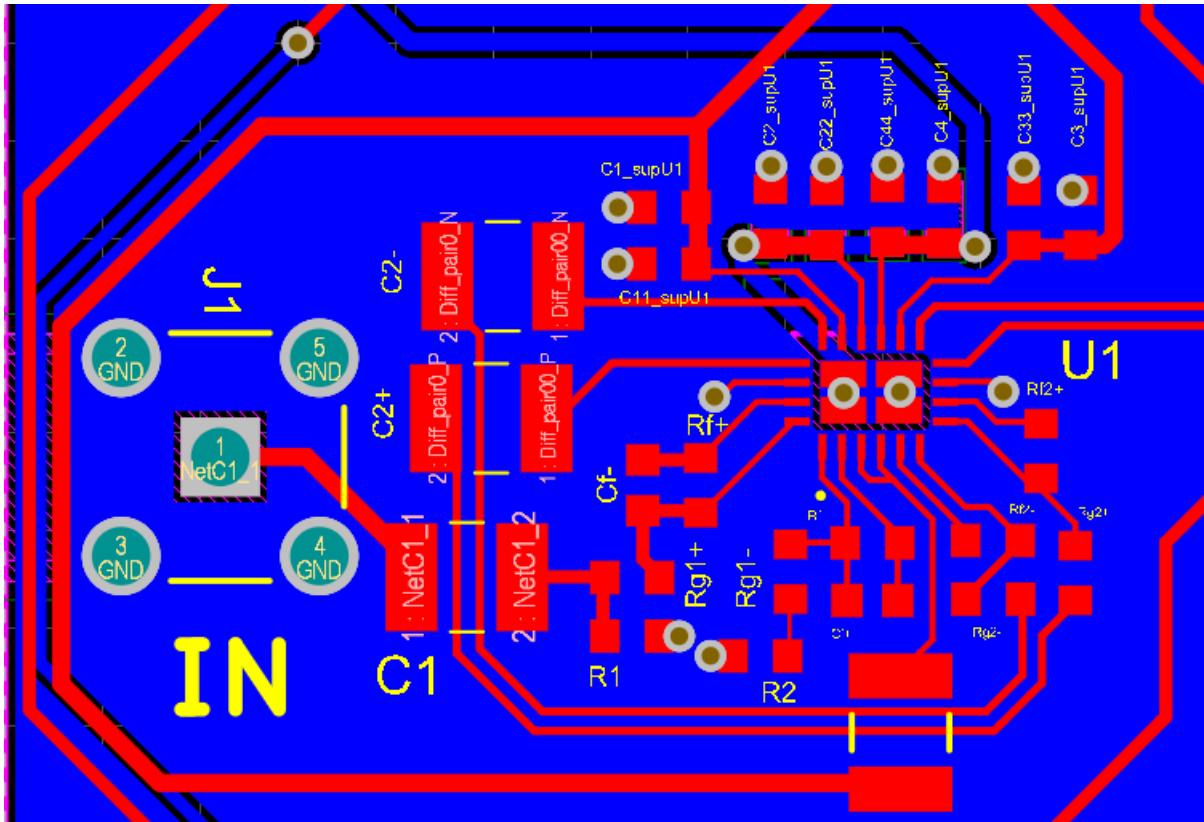


Figura 7.5 – Stadio di amplificazione

In Figura 7.6 è riportata la sezione relativa ai cinque filtri passa-basso differenziali del primo ordine.

Il segnale differenziale, proveniente dall'uscita degli stadi di amplificazione, è fornito in ingresso ai vari filtri facendo sì che il segnale differenziale stesso venga traslato al *bottom layer* al massimo due volte, rispettando tutte le *Design Rules*. I filtri sono stati disposti in modo da avere il *path* più breve per quelli a frequenze più alte (disposti centralmente, in modo da non dover considerare queste connessioni come linee di trasmissione), mentre i due filtri più distanti (quello superiore e quello inferiore) sono quelli relativi ai bit rate più bassi.

È inoltre da evidenziare come le due piste che compongono ogni percorso differenziale abbiano sempre la stessa lunghezza per evitare ritardi tra le componenti positive e negative dei segnali differenziali che le percorrono.

Per evitare di interferire con i segnali differenziali, sono stati disposti diversi *jumper* SMD (resistenze da 0Ω) per l'alimentazione e la selezione degli *switch*.

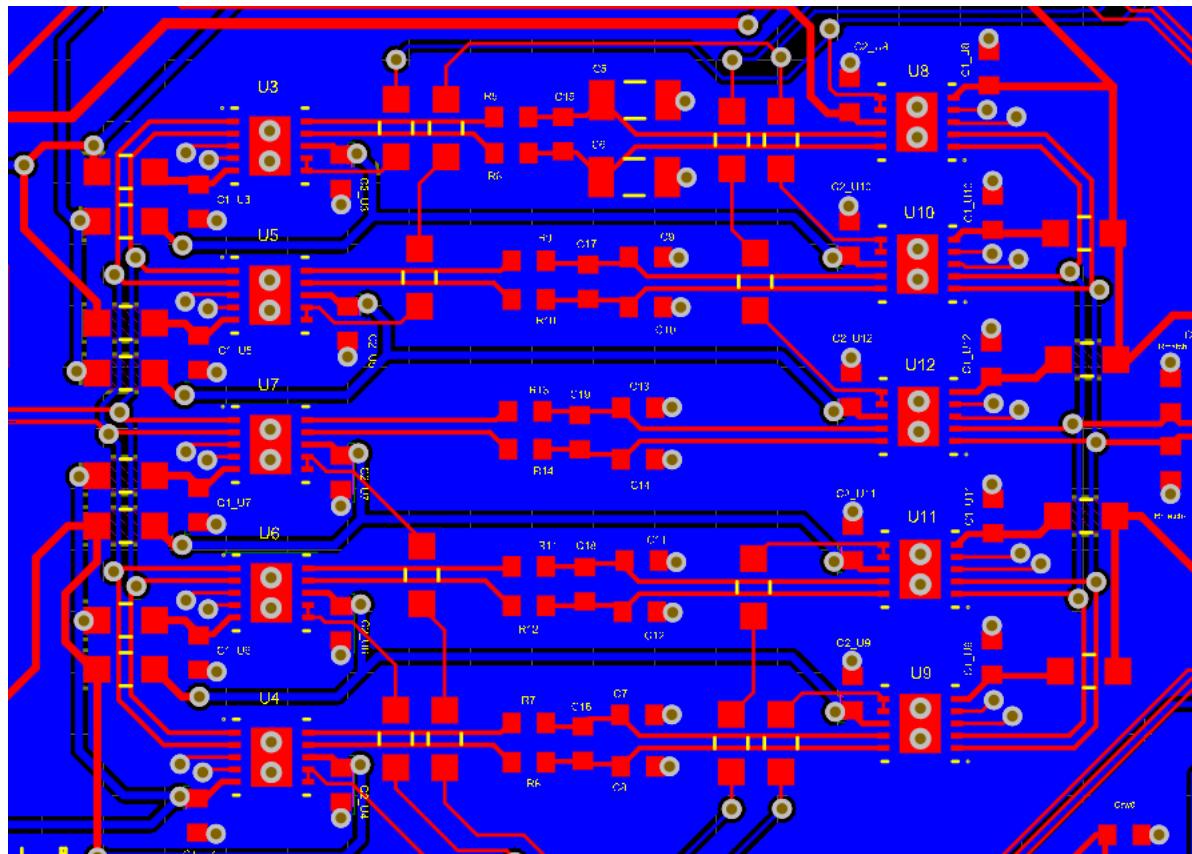


Figura 7.6 – Stadio di filtraggio

Il dettaglio successivo (Figura 7.7) mostra il circuito decisore, comprendente l'integrato LTC6752 con un *package* MSOP (*Mini Small Outline Package*) e il *footprint* del connettore SMA di uscita. Nella sezione è possibile notare i condensatori di *bypass* del componente, le resistenze di *matching* e la resistenza utilizzata per impostare la soglia di isteresi.

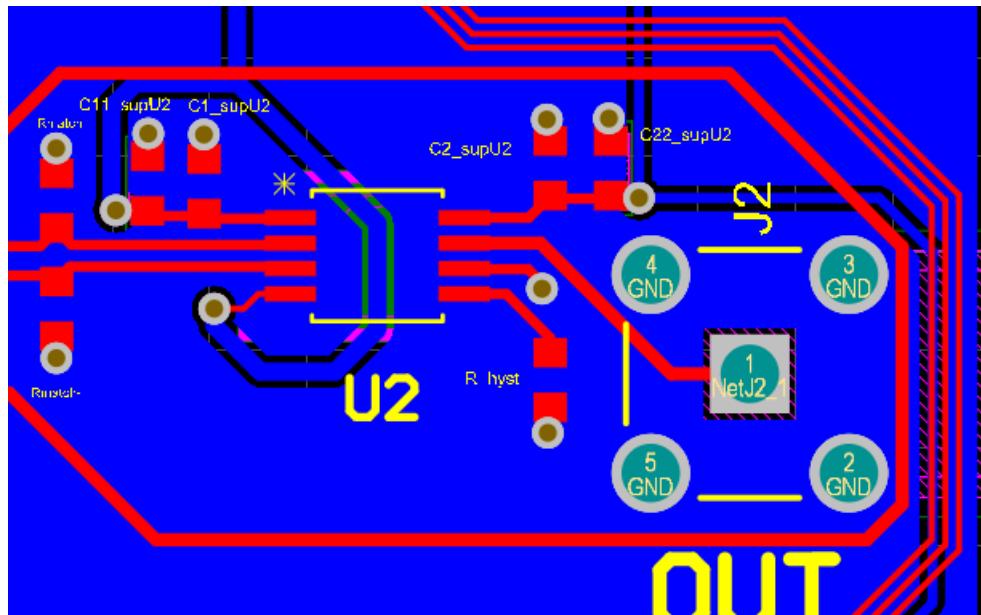


Figura 7.7 – Stadio decisore

L'ultima sezione mostrata (Figura 7.8) è relativa ai LED ed all'interfaccia che segnala all'utente quando il circuito è acceso e quale filtro è selezionato. Il testo è stato stampato sul *Silkscreen Layer*.

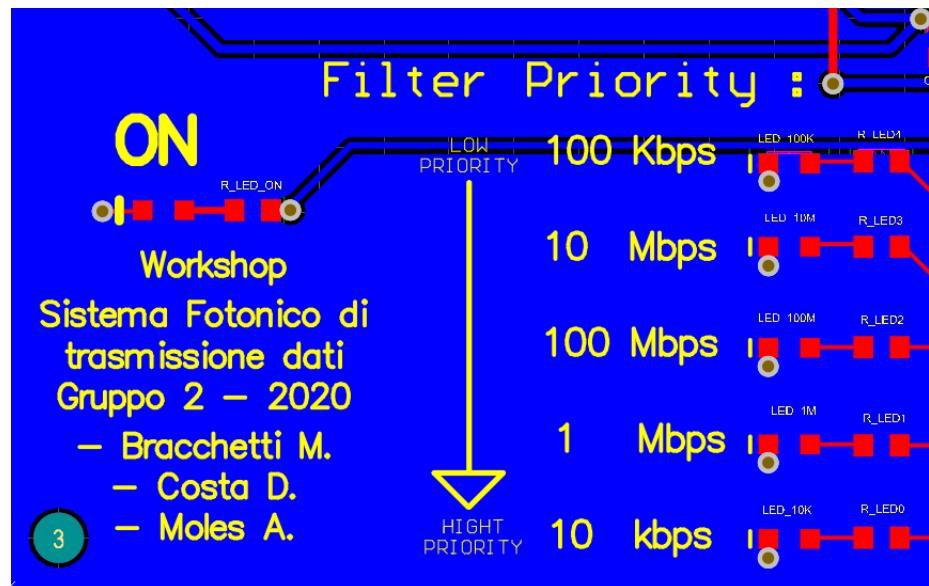


Figura 7.8 – Interfaccia utente

Di seguito sono riportate le immagini 2D e 3D della scheda completa. Come evidenziato, la scheda ha una dimensione totale di $100\text{ mm} \times 75\text{ mm}$.

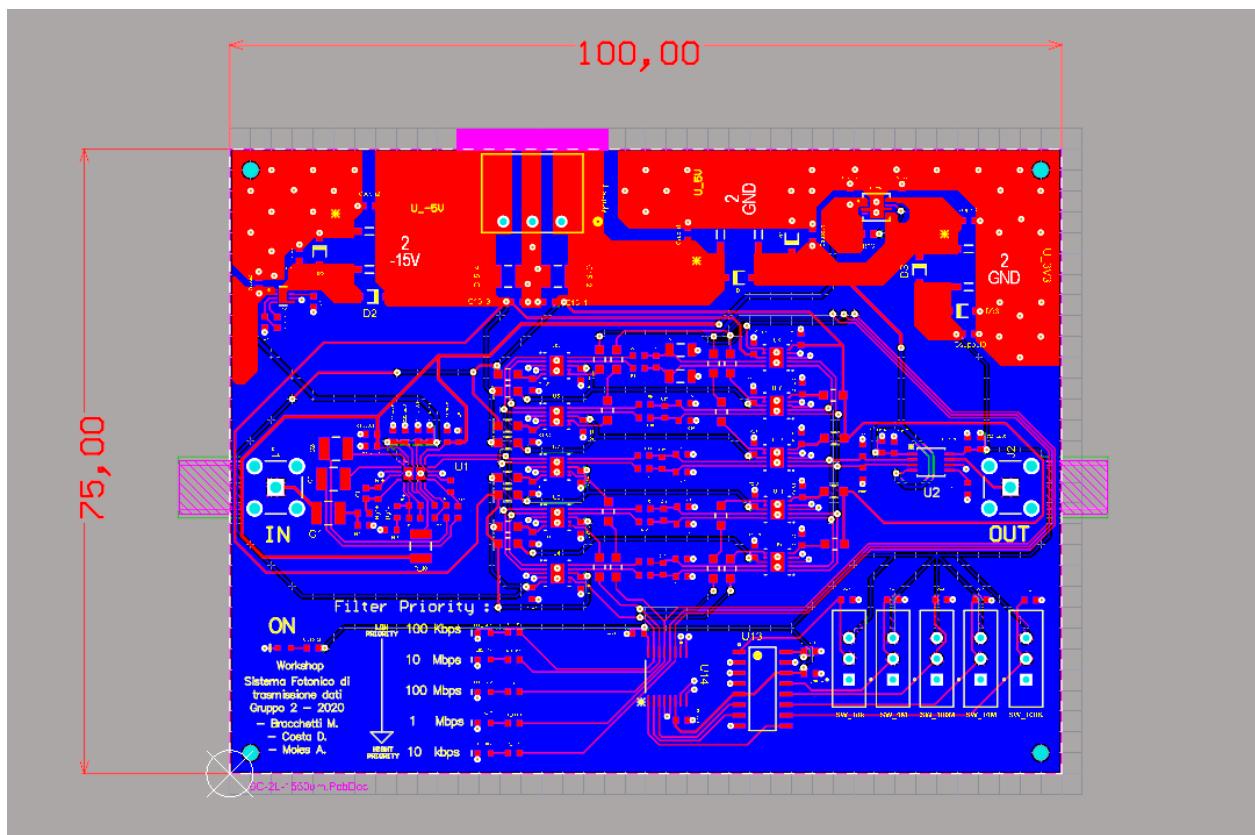


Figura 7.9 – Scheda completa in 2D

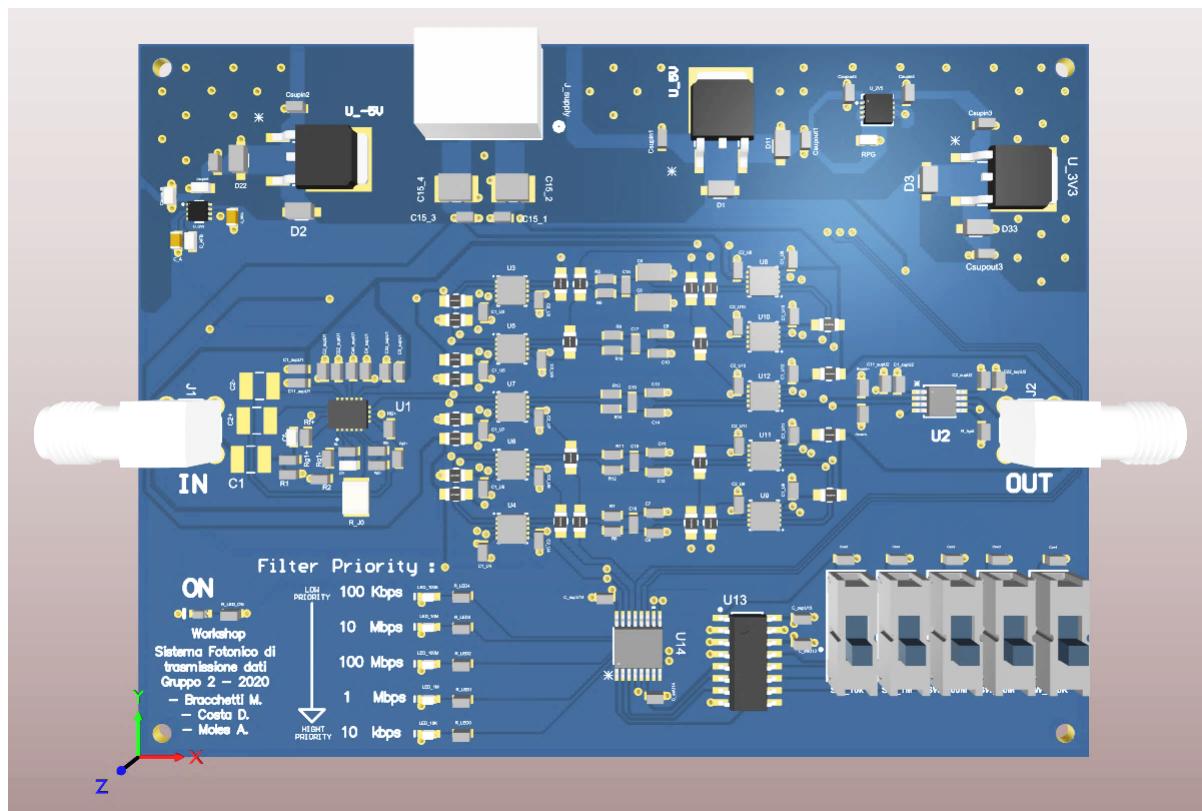


Figura 7.10 – Scheda completa in 3D, vista dall’alto

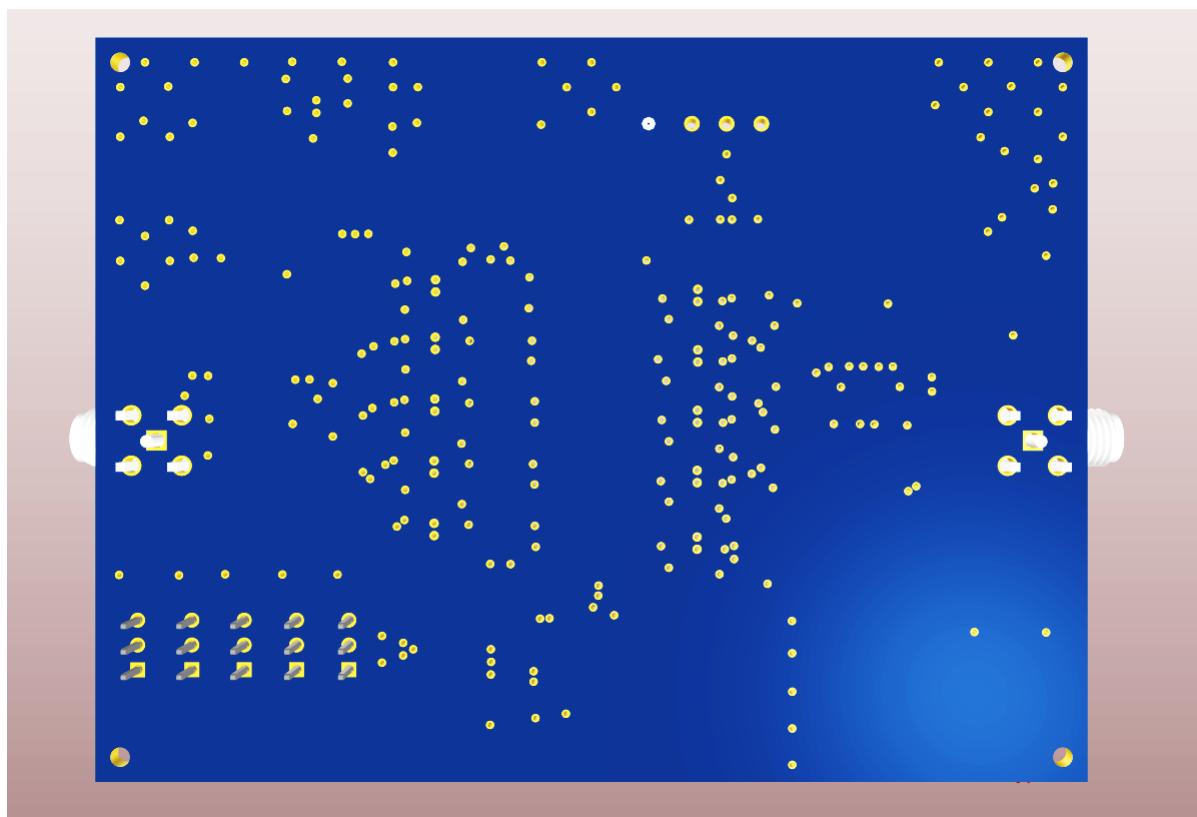


Figura 7.11 – Scheda completa in 3D, vista dal basso

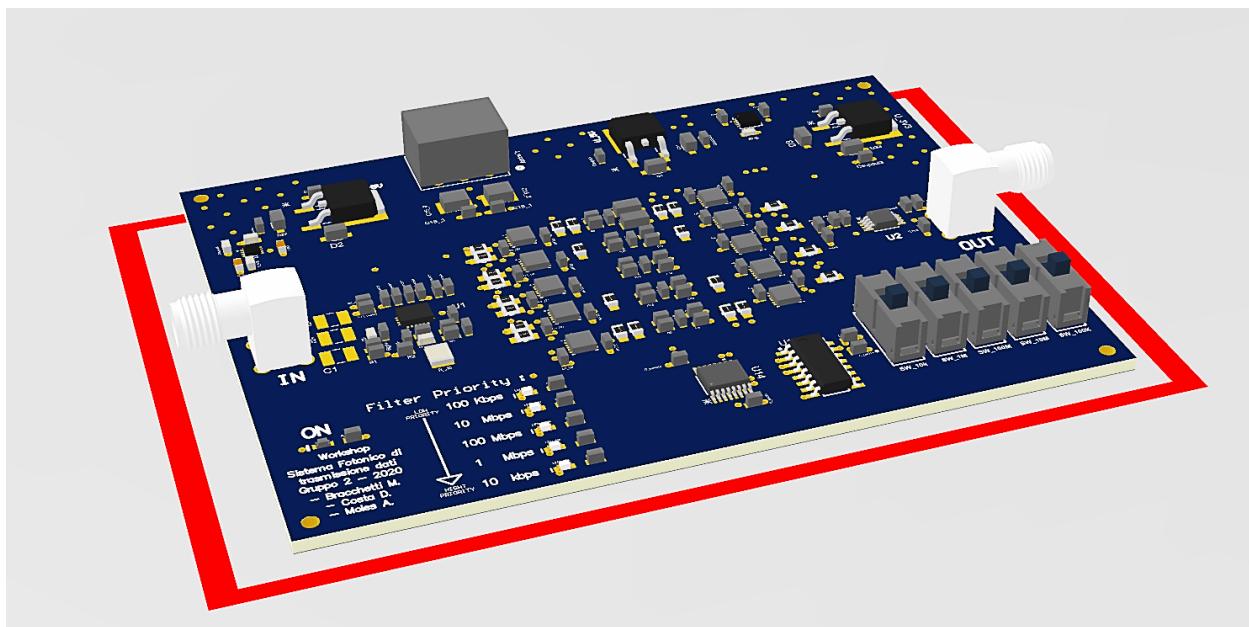


Figura 7.12 – Scheda completa in 3D

8 Case Layout

Per poter proteggere il circuito, è stato progettato un *case* che potesse contenere il circuito, pur mantenendo la possibilità di utilizzare gli *slide switch* interni per la selezione dei filtri. In seguito, è riportato un *render* 3D. Il *case* ha dimensione $105\text{ mm} \times 80\text{ mm} \times 10\text{ mm}$. Su di esso sono state praticate delle aperture nel coperchio per far fuoriuscire i connettori e per poter utilizzare gli *switch* e i LED interni anche con il coperchio inserito. Vi sono anche dei piccoli fori per poter avvitare il coperchio con il circuito e con la base attraverso degli appositi supporti situati nel *case* (le viti devono avere un diametro di 1.5 mm). Sono state inoltre inserite delle scritte in rilievo per evidenziare la polarità dell'alimentazione e degli ingressi/uscite.

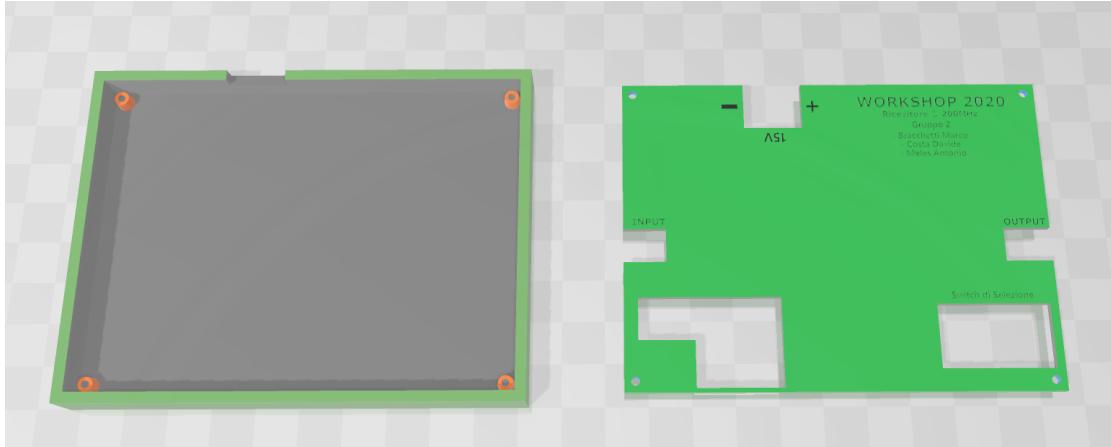


Figura 8.1

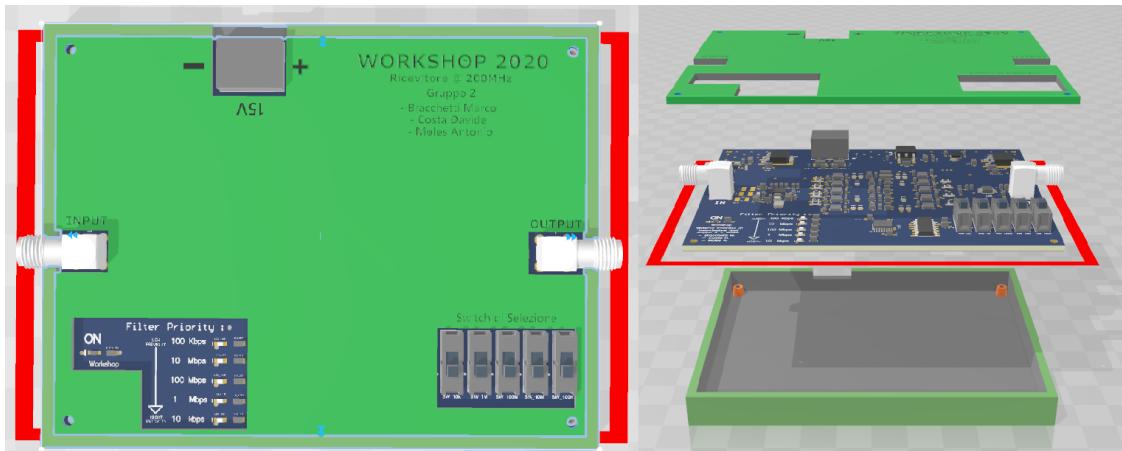


Figura 8.2

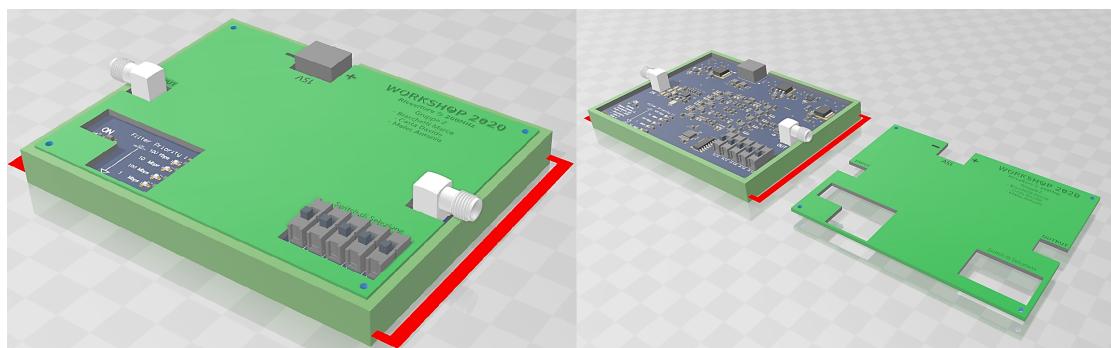


Figura 8.3

10 Conclusioni

In conclusione, dopo aver analizzato attentamente le specifiche di sistema e, in seguito ad un'accurata scelta dei componenti, è stato realizzato un sistema in grado di rispettare, secondo le simulazioni eseguite, le specifiche di progetto. Nonostante non sia stato possibile effettuare un test finale del dispositivo reale, la soluzione implementata si considera, almeno dal punto di vista teorico, un buon compromesso tra *performance* e complessità del sistema, i cui limiti sono principalmente dovuti alla capacità di mantenere affidabile la decodifica dei dati PRBS di ordine superiore al 15.

In attesa della realizzazione del sistema e della fase di sperimentazione finale, noi componenti del gruppo ringraziamo sentitamente tutti i Professori ed i loro collaboratori per la possibilità concessaci di partecipare, nonostante le condizioni avverse del periodo, a questa stimolante e formativa esperienza.

A Appendix

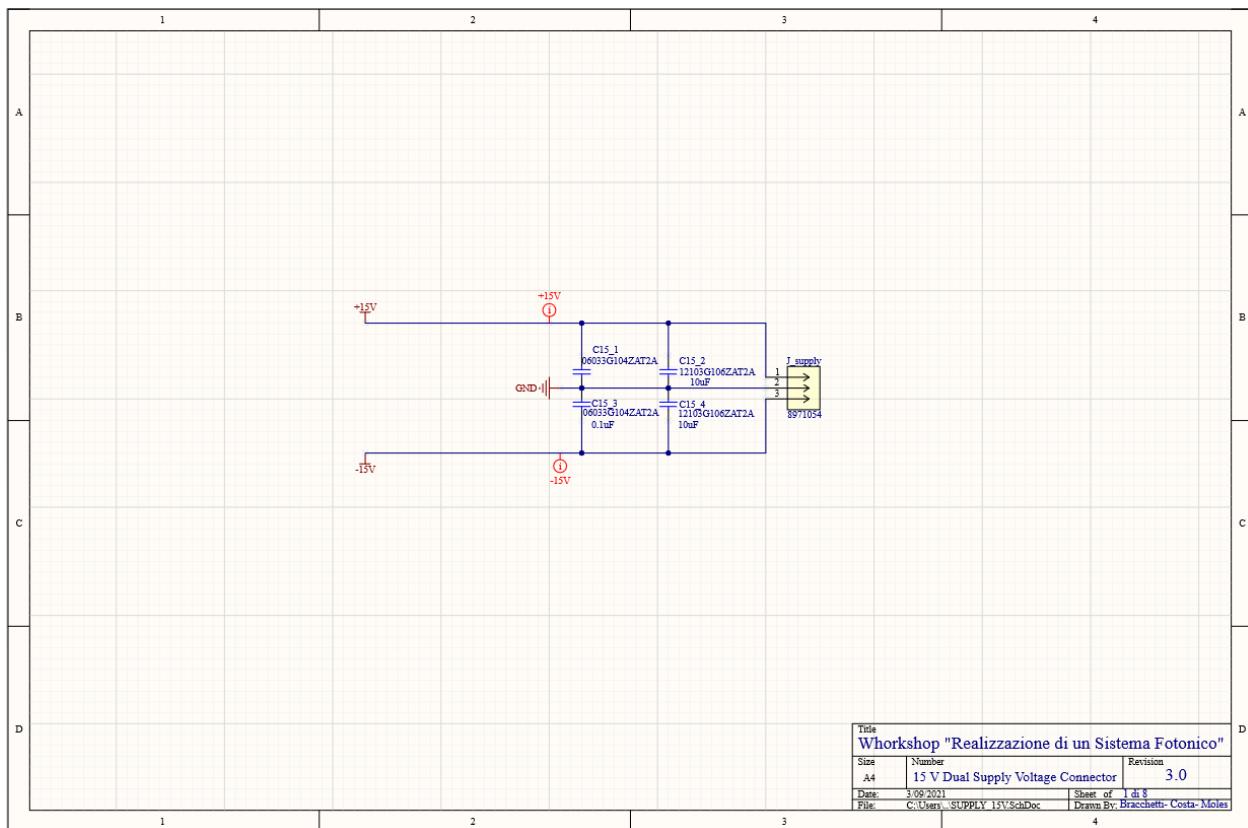


Figura A.1

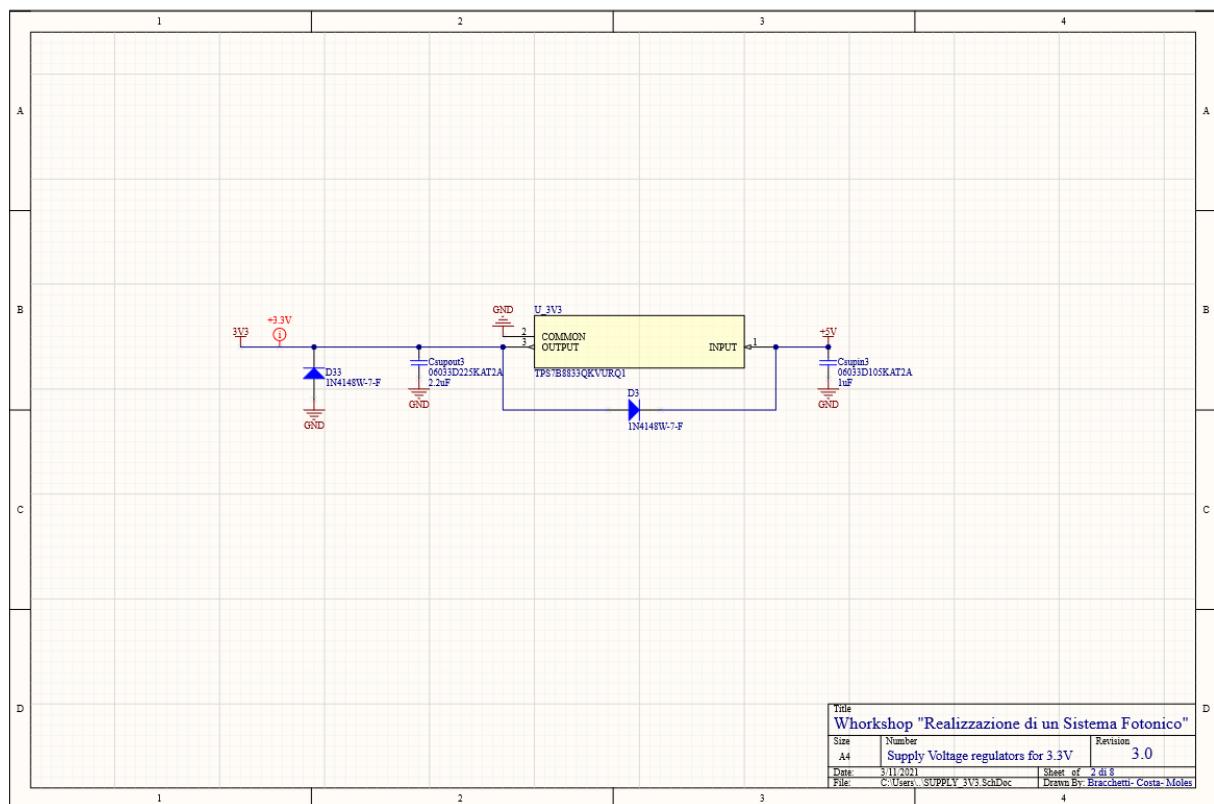


Figura A.2

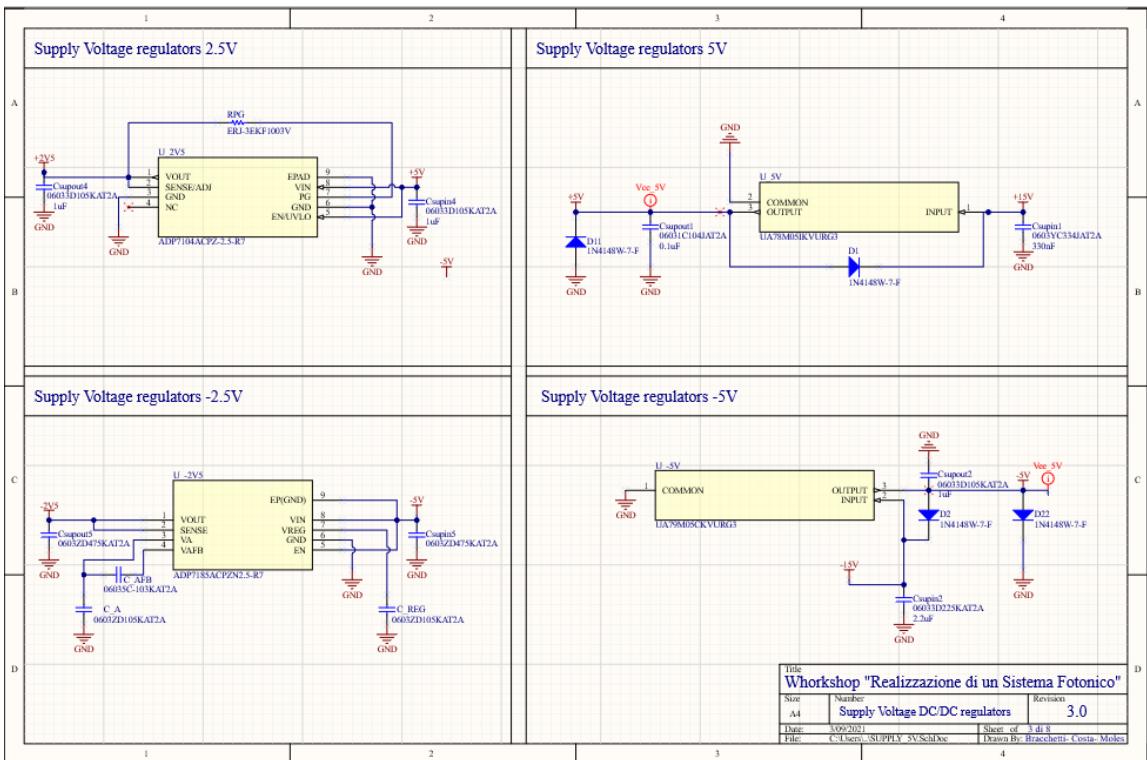


Figura A.3

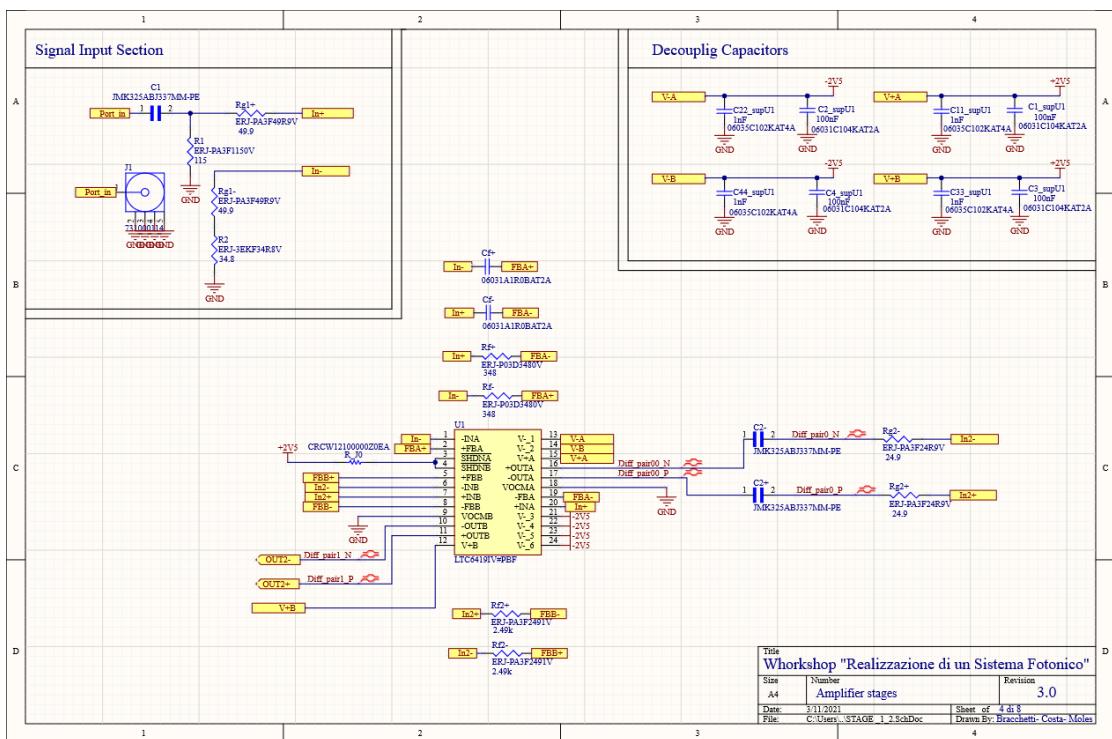


Figura A.4

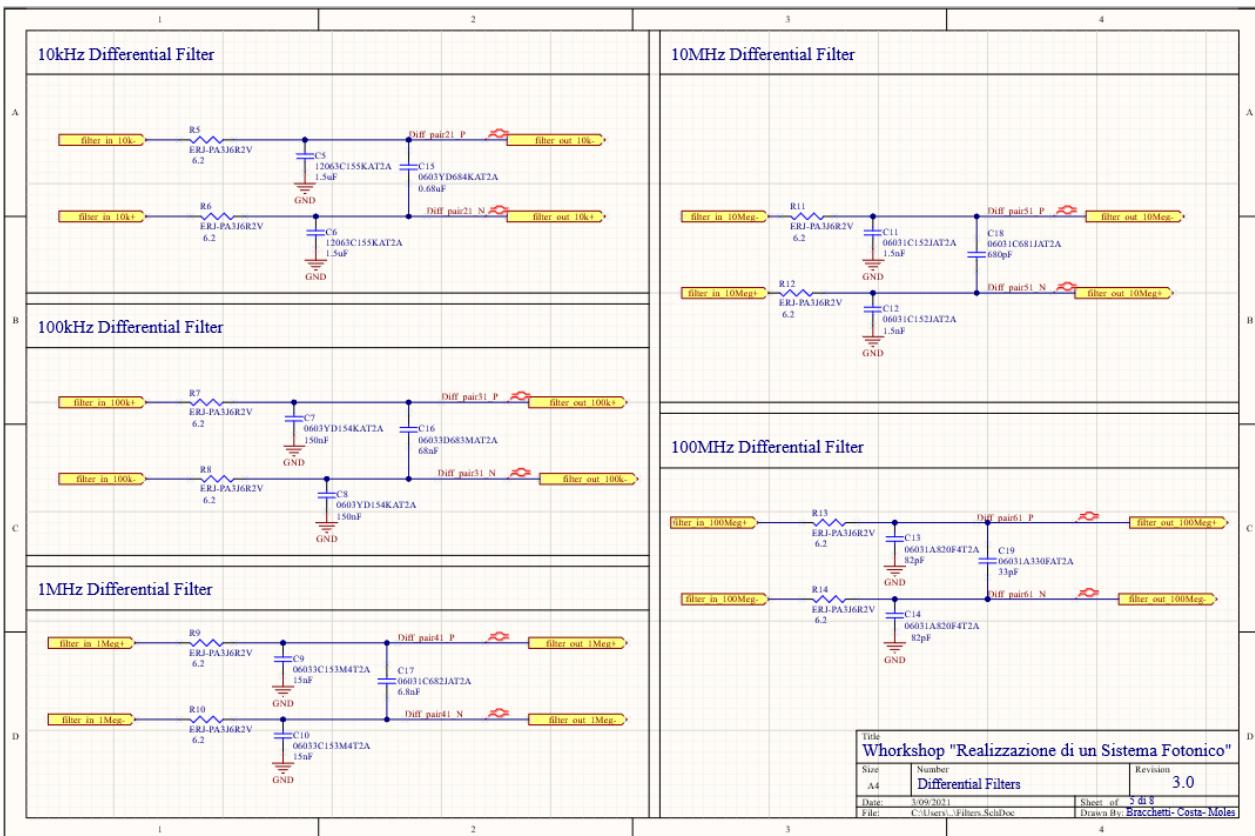


Figura A.5

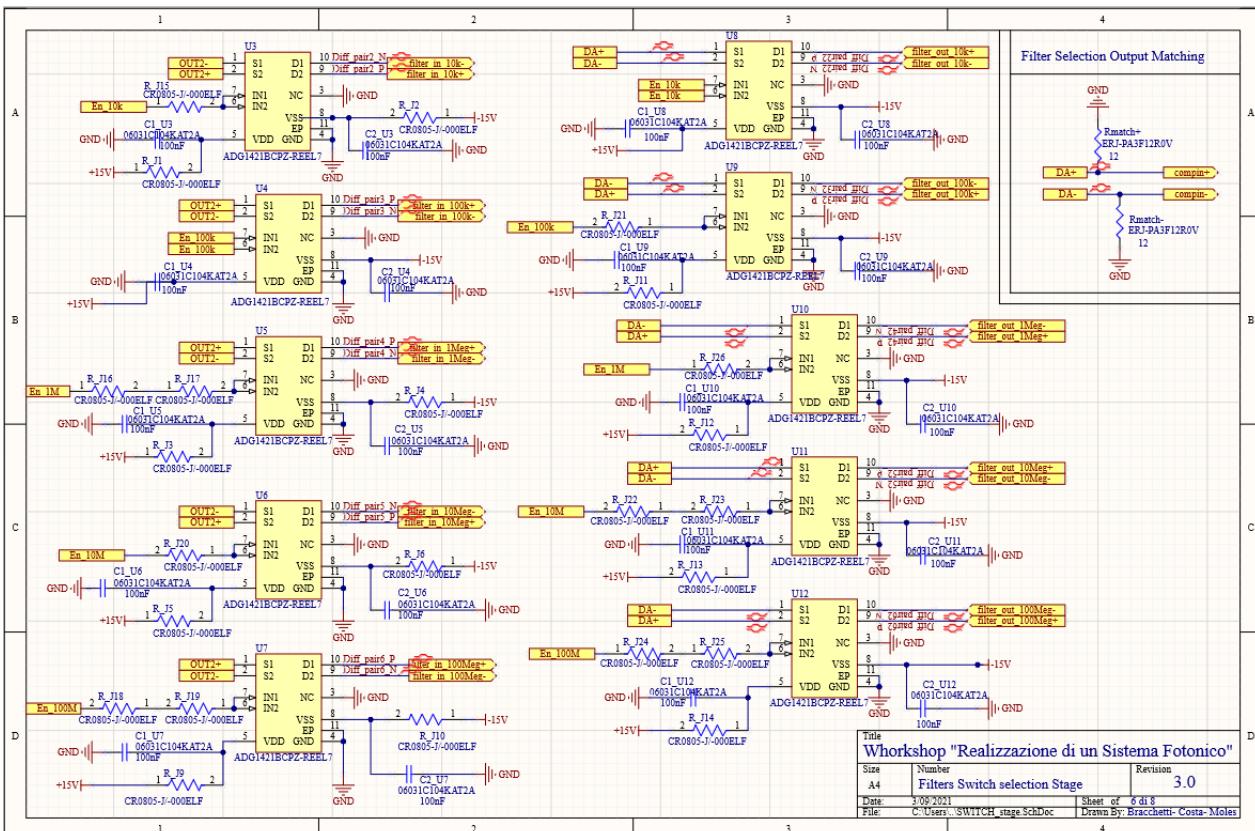


Figura A.6

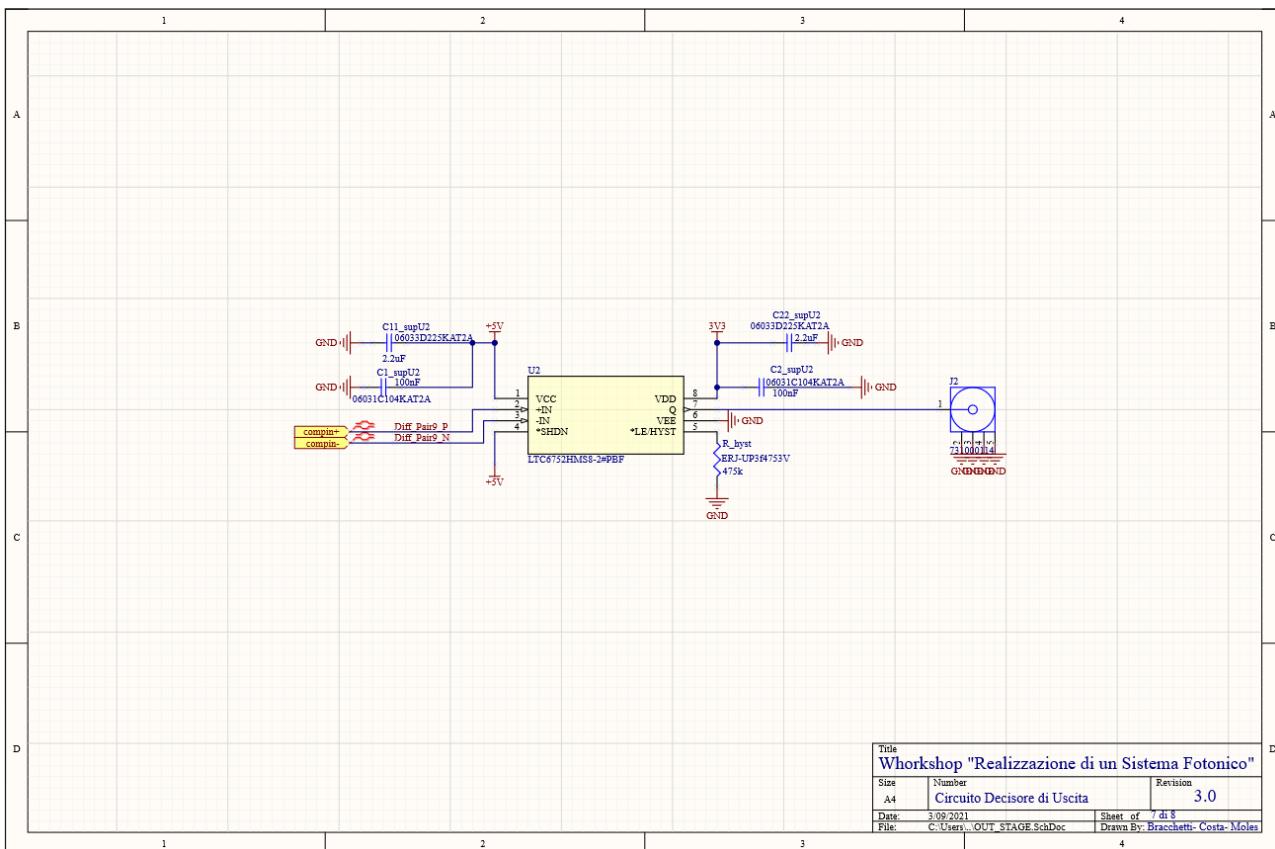


Figura A.7

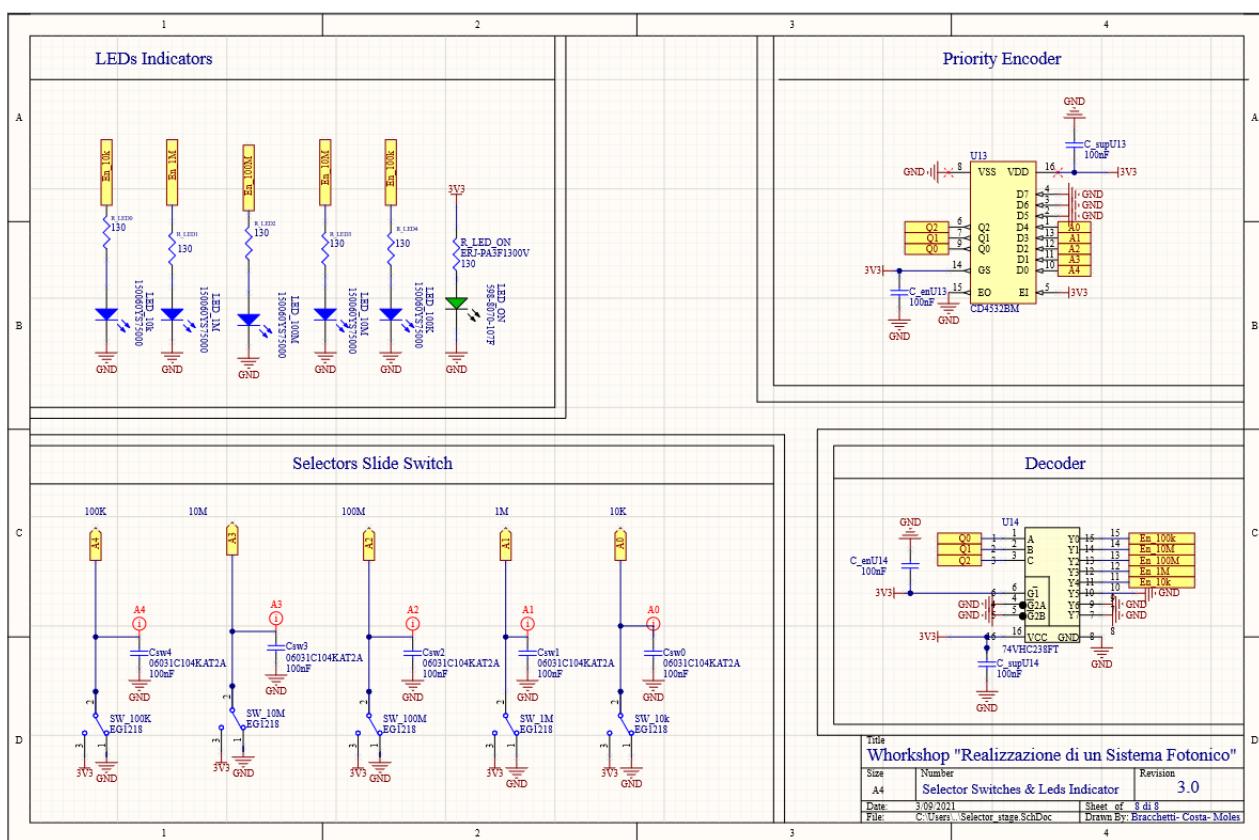


Figura A.8