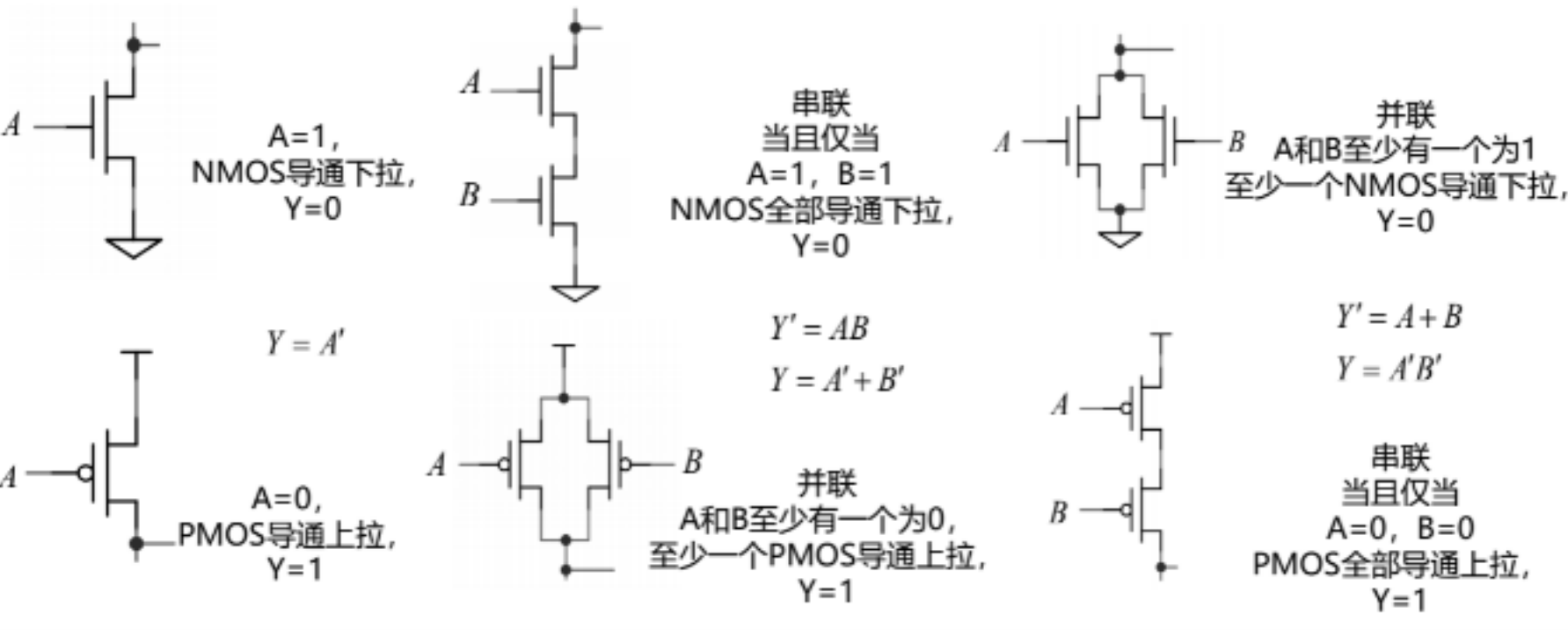


# 数字电路

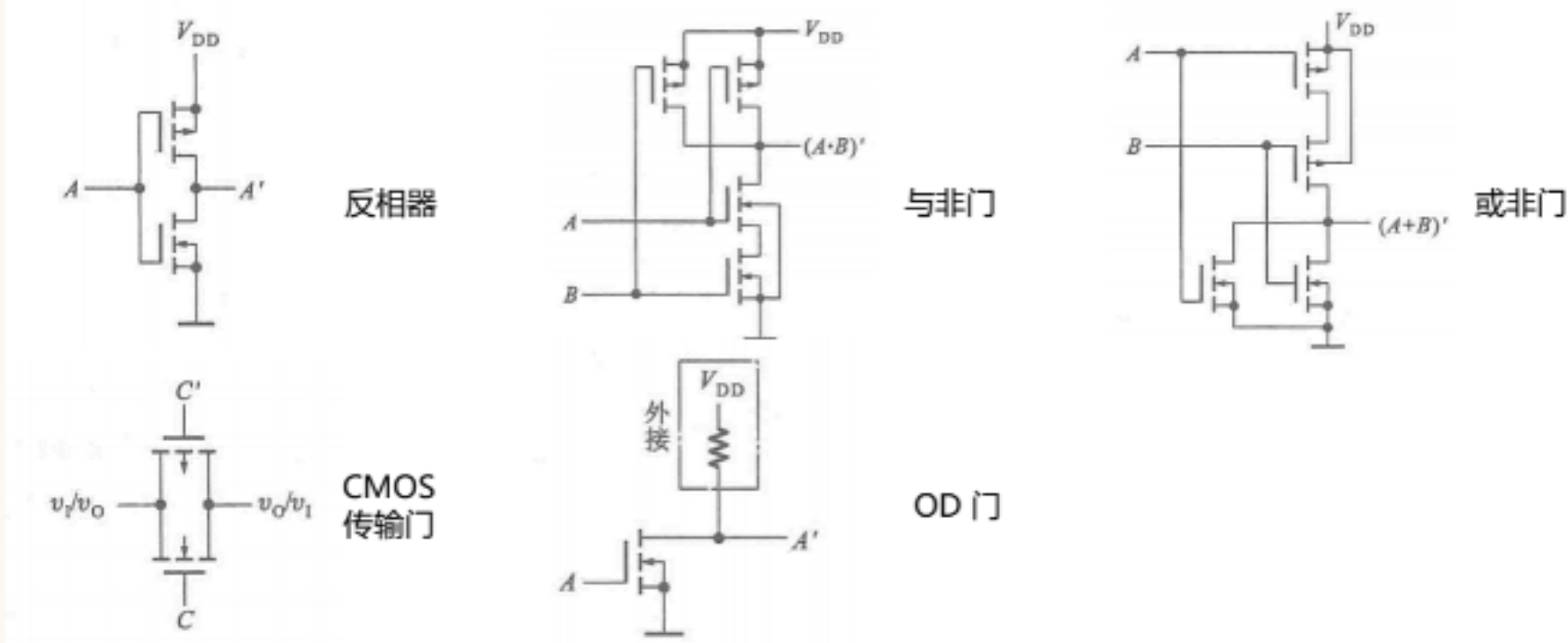
## 一. 门电路

### 1. 逻辑功能:

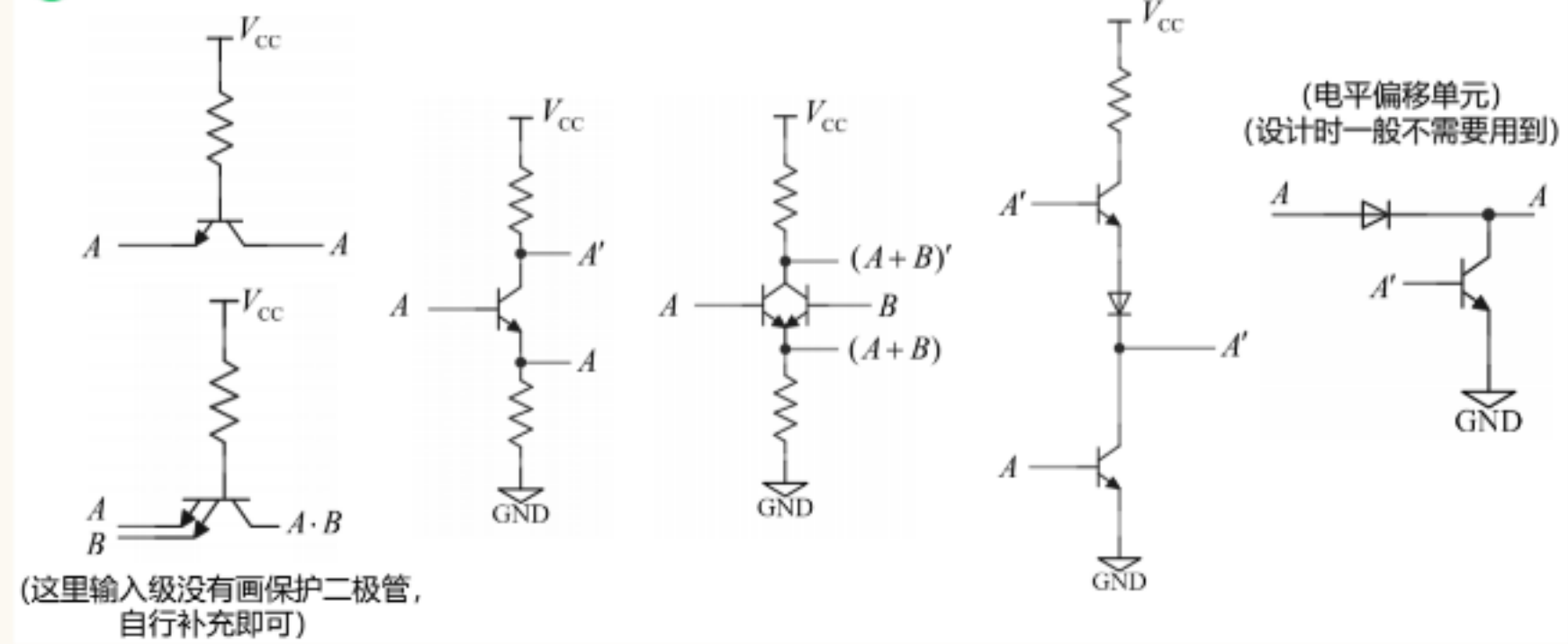
#### 电路结构与逻辑功能的对应关系



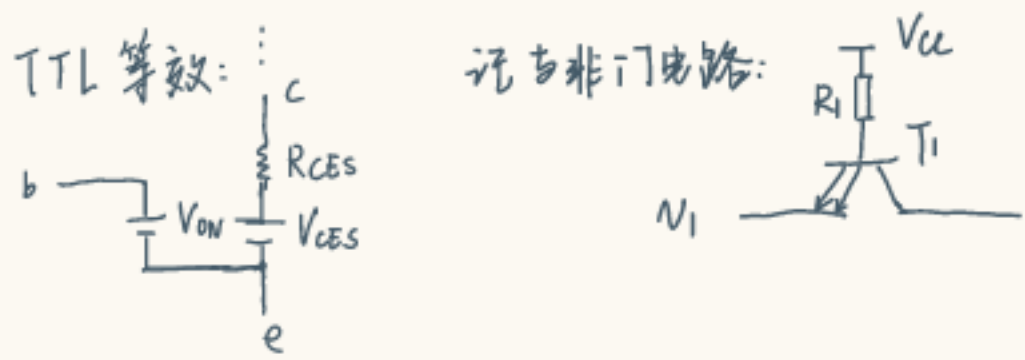
#### 常见的 CMOS 门电路基本单元



#### TTL 门电路典型的基本单元

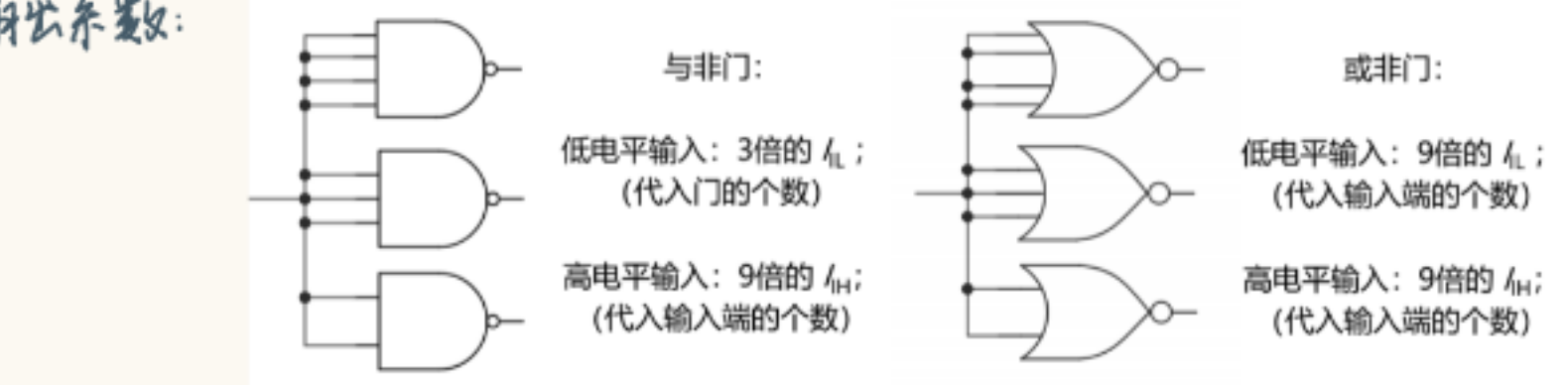


### 2. 输入、输出特性

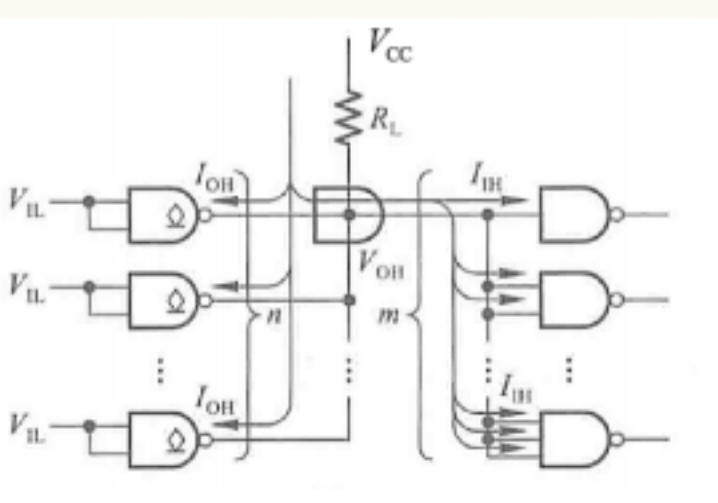


TTL: 负载为与非门, 高电平输入电流乘以输入端口的个数, 低电平输入电流乘以门的个数;  
负载为或非门, 高电平输入电流和低电平输入电流都是乘以端口的个数;

#### 扇出系数:

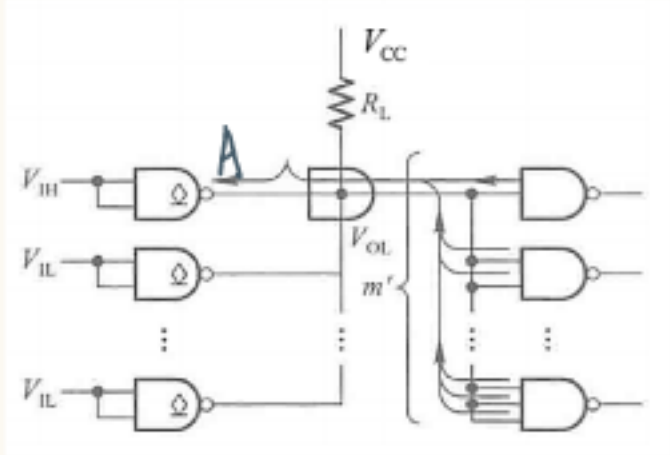


#### 上拉电阻:



$$V_{CC} - (nI_{OH(max)} + m|I_{IH(max)}|)R_L \geq V_{OH}$$

$\therefore I$  取最大,  $R_L \rightarrow$  上限

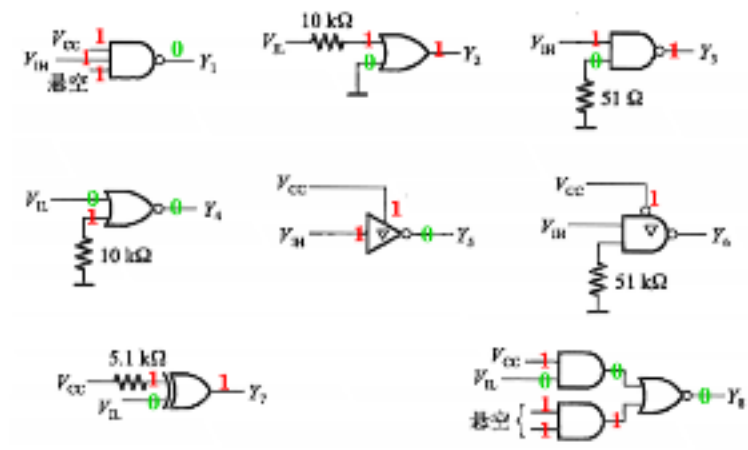


$\therefore$  通过调  $V_{OL}$ , 限流. (最糟情况: 仅一个门电路工作)

$$\frac{V_{CC} - V_{OL}}{R_L} + m'|I_{IL(max)}| \leq I_{OL(max)}$$

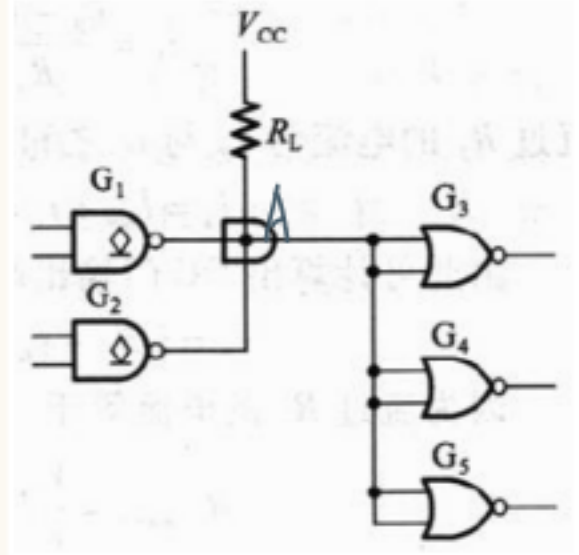
TTL: 输入输出逻辑:

1. 输入悬空, 等效为高电平输入
2. 输入经小电阻 ( $\leq 750 \Omega$ ) 接地, 等效为低电平输入
3. 输入经小电阻 ( $\leq 750 \Omega$ ) 电压源, 输入什么电平就是什么电平
4. 输入经大电阻 ( $\geq 2.5 k\Omega$ ) 接地/电压源, 均等效为高电平输入



例: hW2

3. 计算图中外接电阻  $R_L$  取值的允许范围. 已知  $G_1, G_2$  为 74LS 系列 OC 结构的与非门, 输出管截止时的漏电流最大值为  $I_{OH}=100\mu A$ , 低电平输出电流最大值  $I_{OLmax}=8mA$ , 这时输出的低电平为  $V_{OL}=0.4V$ .  $G_3, G_4, G_5$  分别为 74LS 系列的或非门, 它们的低电平输入电流最大值为  $I_{IL}=-0.4mA$ , 高电平输入电流最大值为  $I_{IH}=20\mu A$ . 给定  $V_{CC}=5V$ , 要求满足高电平  $V_{OH} \geq 3.4V$ , 低电平  $V_{OL} \leq 0.4V$ .



解: 若  $A$  为高电平, 需让  $V_A \geq 3.4V$

$$I_L \leq 2I_{OH} + 6I_{IH} = 2 \times 100 \times 10^{-6} + 6 \times 20 \times 10^{-6} = 320 \times 10^{-6} A$$
$$\therefore 5 - 320 \times 10^{-6} R_L \geq 3.4$$
$$\Rightarrow R_L \leq 5k\Omega$$

若  $A$  为低电平, 需让  $V_A \leq 0.4V$

$$此时 6I_{IL} + I_{RL} = 2I_{OL}$$

$$\therefore V_{CC} - I_{RL} \cdot R_L \leq V_{OL}$$

$$R_L \geq \frac{V_{CC} - V_{OL}}{I_{OL} - 6I_{IL}} = \frac{5 - 0.4}{8 - 6 \times 0.4} = 0.82k\Omega$$

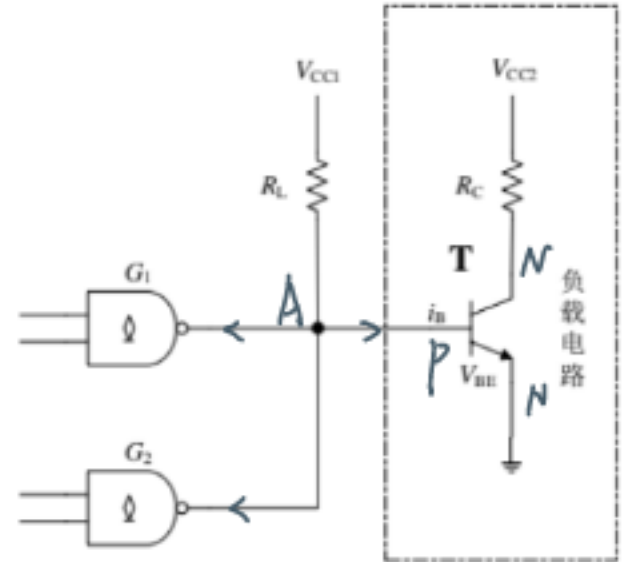
$$\therefore 0.82k\Omega \leq R_L \leq 5k\Omega$$

历年卷

2021-2022.

### 三、门电路 (共 6 分, 得分\_\_\_\_\_)

下图所示电路, 用 OC 门  $G_1$  和  $G_2$  的并联输出驱动三极管开关电路. 要求 OC 门输出高电平时三极管  $T$  饱和导通, OC 门输出低电平时三极管  $T$  截止. 已知 OC 门 7403 输出高电平时内部输出三极管的漏电流为  $I_{OH} \leq 0.1mA$ , 输出为低电平  $V_{OL}=0.2V$  时允许流入的最大电流为  $I_{OL(max)}=16mA$ . 三极管  $T$  的电流放大系数  $\beta=50$ , 集电极负载电阻  $R_C=1k\Omega$ , 饱和导通压降  $V_{CE(sat)}=0.1V$ , 饱和导通内阻  $R_{CE(sat)}=20\Omega$ ,  $V_{BE}=0.7V$ . 给定  $V_{CC1}=5V$ ,  $V_{CC2}=10V$ . 请计算  $R_L$  取值的允许范围.



解: 当  $A$  为高电平时,

$$I_C = \frac{V_{CC2} - V_{CEs}}{R_C + R_{CEs}} = \frac{10 - 0.1}{1 + 0.02} = 9.71mA$$

$$\therefore I_B = 0.194mA$$

$$\therefore I_L = I_B + 2I_{OH} = 0.394mA$$

$$V_A \geq 0.7V$$

$$\therefore R_L \leq \frac{5 - 0.7}{0.394} = 10.91k\Omega$$

当  $A$  为低电平时,  $T$  截止

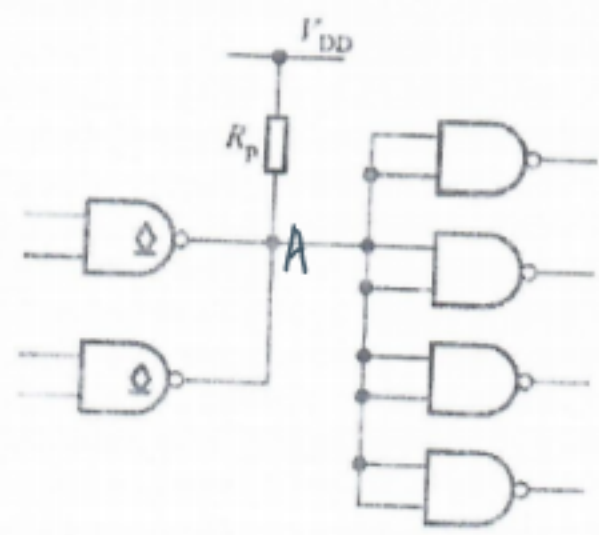
$$\therefore R_L \geq \frac{V_{CC1} - V_{OL}}{2 \cdot I_{OL(max)}} = \frac{5 - 0.1}{2 \times 16} = 1.53k\Omega$$

$$\therefore R_L \in [1.53, 10.91]k\Omega$$



### 三、门电路 (共8分, 得分\_\_\_\_\_)

由两个漏极开路与非门和四个与非门构成的CMOS电路如下图所示, 试确定上拉电阻  $R_p$  的取值范围。已知  $V_{DD}=5V$ , 0D 门输出低电平  $V_{OL(max)}=0.33V$  时的输出电流  $I_{OL(max)}=4mA$ , 输出高电平  $V_{OH(min)}=4.4V$  时的漏电流  $I_{LQ}=5\mu A$ 。负载门高电平和低电平输入电流的最大值  $I_{IH(max)} = I_{IL(max)} = 1\mu A$ 。



解: 点A为高电平.  $V_A \geq 4.4V$

$$\therefore R_p \leq \frac{V_{DD} - V_A}{2I_{OZ} + 8I_{IH(max)}} = \frac{5 - 4.4}{2 \times 5 \times 10^{-6} + 8 \times 1 \times 10^{-6}} = \frac{0.6}{18 \times 10^{-6}} = 33.33k\Omega$$

若为低电平,

$$\frac{V_{DD} - V_{OL}}{R_p} + 8 \cdot I_{IL(max)} \leq I_{OL(max)}$$

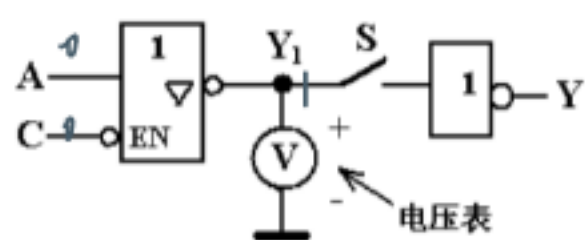
$$\therefore R_p \geq \frac{V_{DD} - V_{OL}}{I_{OL(max)} - 8I_{IL(max)}} = \frac{5 - 0.33}{4 - 0.008} = 1.17k\Omega$$

$$\therefore R_p \in [1.17, 33.33]k\Omega$$

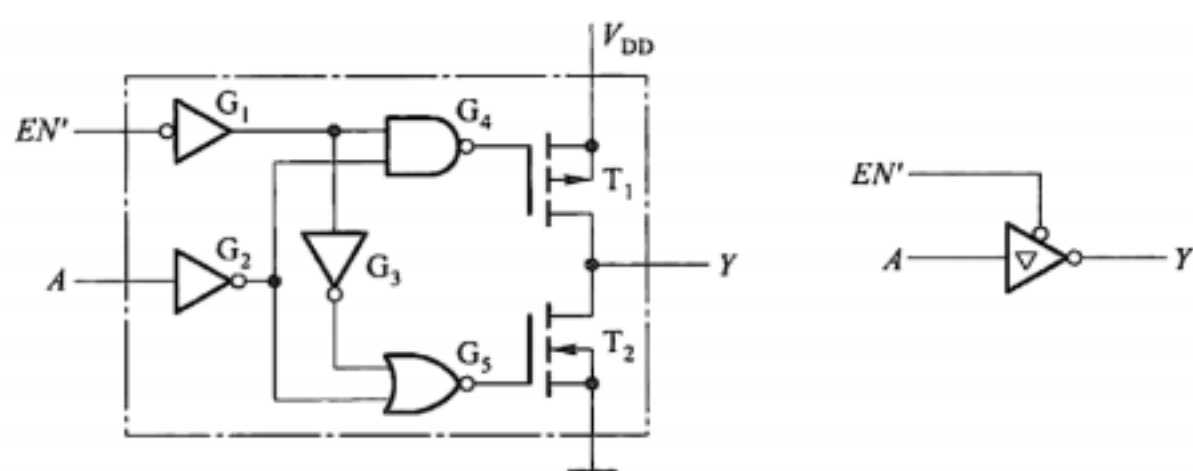
### 三、门电路 (共12分, 得分\_\_\_\_\_)

1、在右图中, 三态门、非门均为 TTL 门, S 为开关, 电压表内阻为  $200K\Omega$ , 求下列情况下, 电压表读数  $V_1$ ?

- a)  $A=0.3V$ ,  $C=0.3V$ , S 断开;
- b)  $A=3.6V$ ,  $C=3.6V$ , S 接通;
- c)  $A=0.3V$ ,  $C=3.6V$ , S 断开。



三态门:



控制端低电平有效, 可以输出高电平、低电平、高阻三种状态。

a.  $V_1 = 3.6V$

b.  $V_1 = 1.4V$

c.  $V_1 = 0V$

2、如下所示在这个电路中, 1)  $f_1$  和  $f_2$  的逻辑功能是什么?

2) 假设有三个变量 a, b, c 和它们的反变量, 只使用 NMOS 管, 通过修改虚线框中的电路, 实现函数  $g = a \cdot b \cdot c$ , 且使  $f_1$  和  $f_2$  都等于 g。如果不可能实现这一点, 请说明原因。

解:  $f_2 = (\overline{a \cdot b}) = a + b$

$\overline{f_1} = \overline{a + b} = \overline{a} \cdot \overline{b}$   $f_1 = a \cdot b$

$f_1 = a \cdot b$

a b f

1 x 0

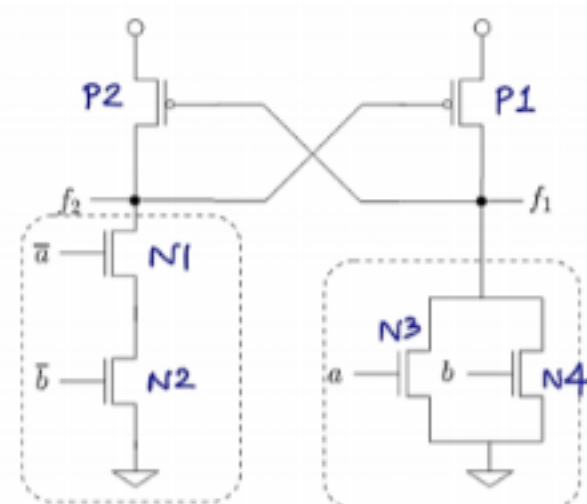
x 1 0

1 1 0

0 0 1

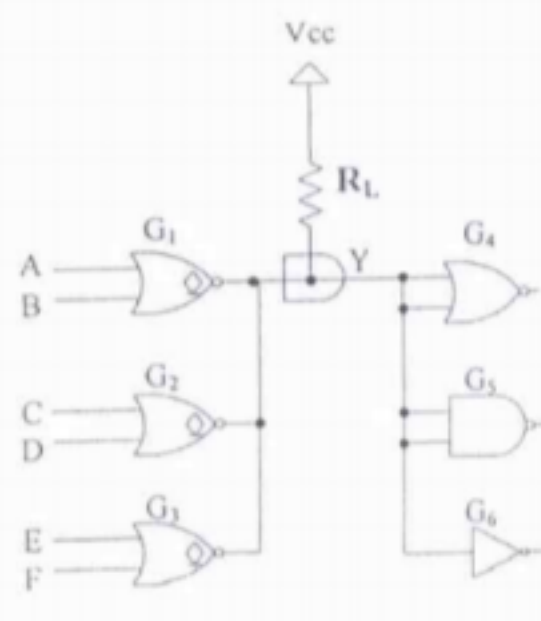
2. 有不懂。

2)  $f_1 = V_H$  时,  $P_2$  不导通,  $f_2$  不导通, 所以  $f_2$  不能为  $V_H$ , 同样  $f_1 = V_H$  时,  $f_1$  也不能为  $V_H$ , (互为交叉组合)  $\therefore$  不能使  $f_1 = f_2$ 。



### 二、逻辑计算 (8分, 得分\_\_\_\_\_)

计算图中外接电阻  $R_L$  取值的允许范围。已知  $G_1$ 、 $G_2$ 、 $G_3$  为 OC 结构的 TTL 或非门, 输出管截止时的漏电流为  $I_{OH}=250\mu A$ , 输出管导通时允许的最大负载电流为  $I_{OL(max)}=18mA$ 。  $G_4$ 、 $G_5$ 、 $G_6$  分别为 TTL 或非门、与非门、非门, 它们的低电平输入电流为  $I_{IL}=1.5mA$ , 高电平输入电流为  $I_{IH}=50\mu A$ 。给定  $V_{CC}=5V$ , 要求 OC 门输出的高电平  $V_{OH} \geq 3.4V$ , 低电平  $V_{OL} \leq 0.2V$ 。(注: TTL 与非门输入端是多射极管, 多个输入端共用一个基极; TTL 或非门每个输入端各自有独立的三极管; TTL 门电路内部基极上拉电阻  $4k\Omega$ )



解: Y处高电平.  $V_{OH} \geq 3.4V$

$$\therefore R_L \leq \frac{V_{CC} - V_{OH}}{3I_{OH} + I_{IH}}$$

$$= \frac{5 - 3.4}{3 \times 250 \times 10^{-6} + 5 \times 50 \times 10^{-6}}$$

$$= 1.6k\Omega$$

Y处低电平.

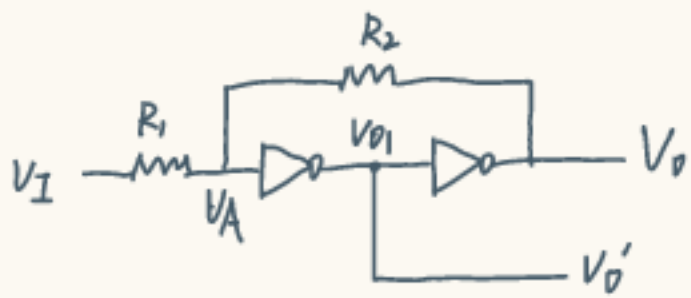
$$R_L \geq \frac{V_{CC} - V_{OL}}{I_{OL} - 4I_{IL}} = \frac{5 - 0.2}{18 - 4 \times 1.5} \times 10^3 = 0.7k\Omega$$

$$\therefore R_L \in [0.7, 1.6]k\Omega$$



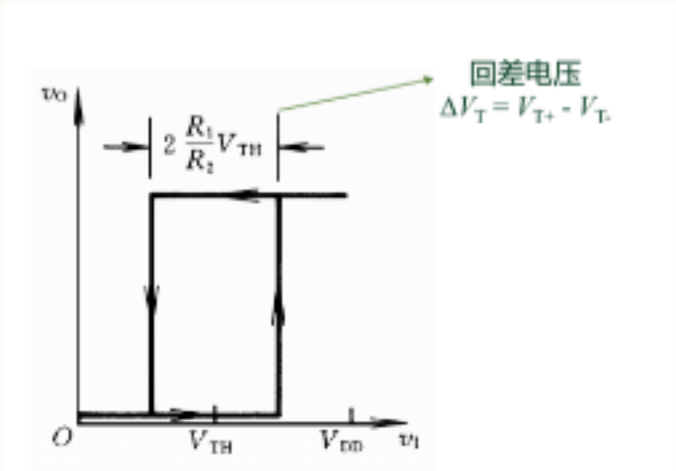
二 脉冲电路.

1. 施密特触发器

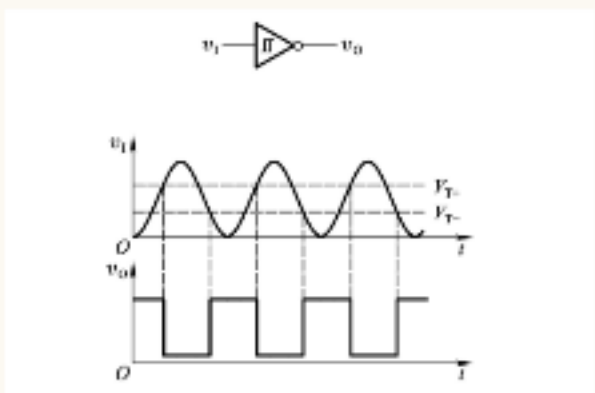


$$\frac{v_I - v_A}{R_1} = \frac{v_A - v_O}{R_2} \quad \therefore V_{T+} = (1 + \frac{R_1}{R_2})V_{TH} - \frac{R_1}{R_2}V_{DD}$$

$$V_{T-} = (1 - \frac{R_1}{R_2})V_{TH}$$



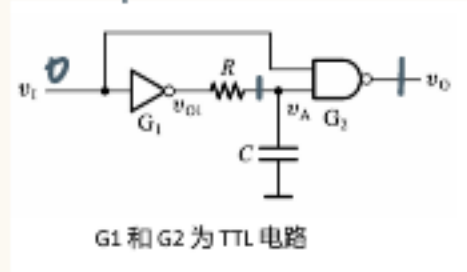
应用: 波形变换



2. 单稳态触发器

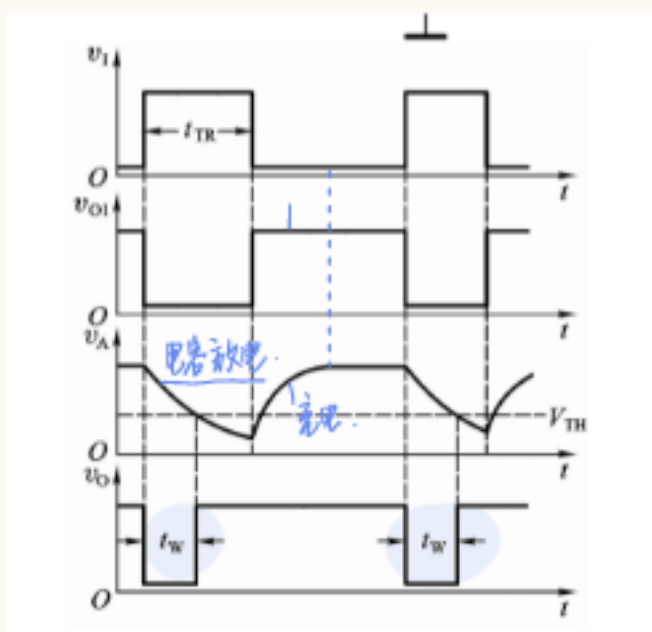
1. 微分型单稳态

① 分析暂态:



G1 和 G2 为 TTL 电路

② 分析暂态 - 波形



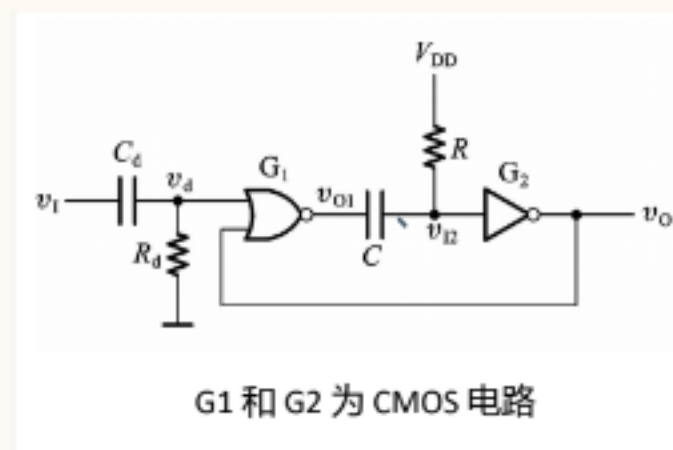
③ 计算时间:

$t_W$ : 电容从  $V_{OH} \rightarrow V_{TH}$

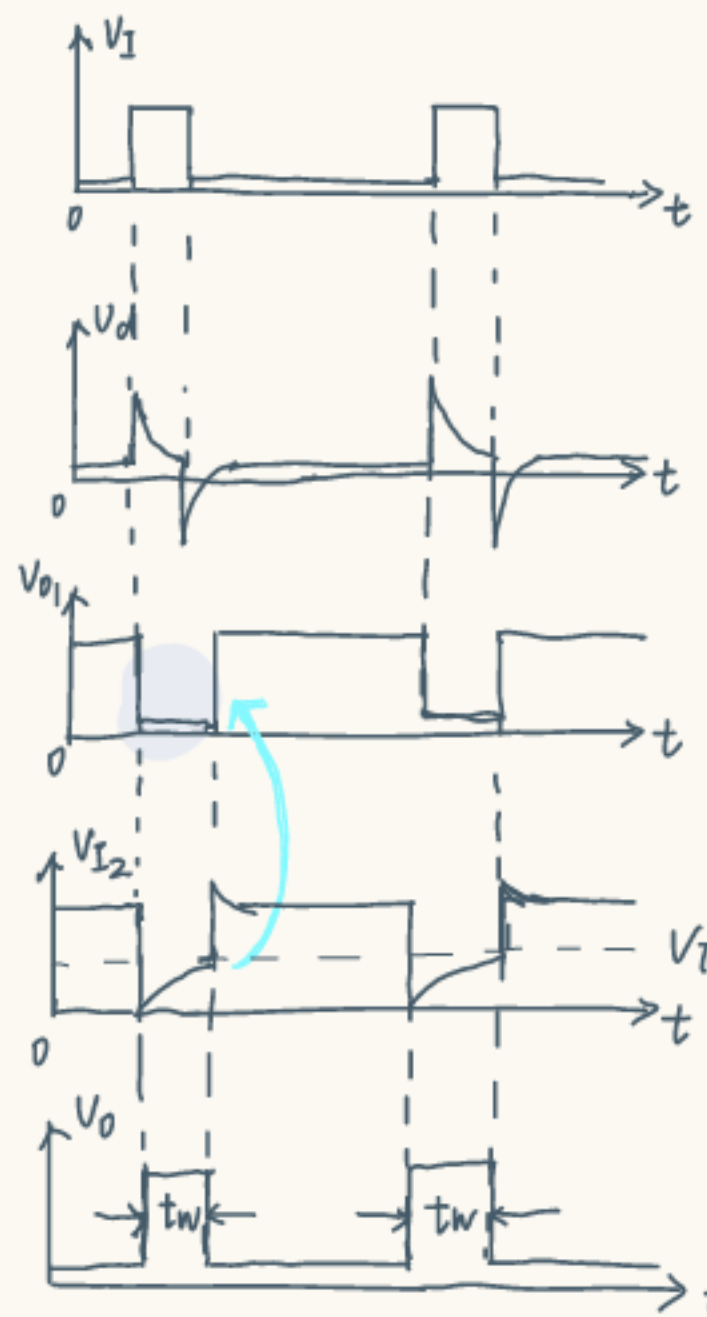
$$\text{代 } t = \tau \ln \frac{f(0+) - f(\infty)}{f(t) - f(\infty)}$$

$$\therefore t = \tau \ln \frac{V_{OH} - V_{OL}}{V_{TH} - V_{OL}}$$

2. 微分型单稳态触发器



G1 和 G2 为 CMOS 电路

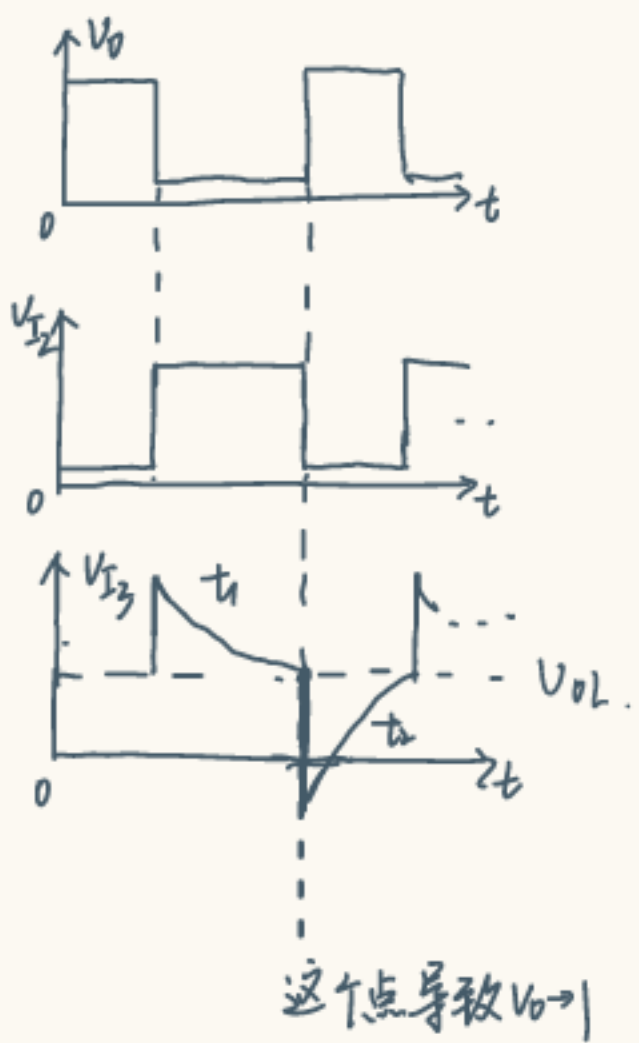
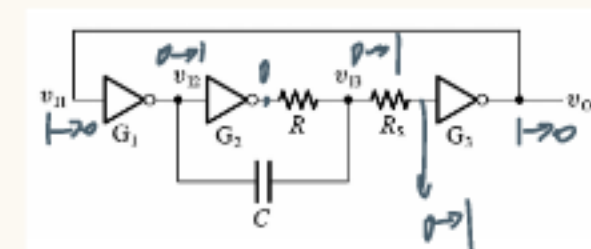


分频时间  $t_d = t_w + t_{re}$

其它变式分析思路类似.

3. 多谐振荡器

① 实用环形振荡器



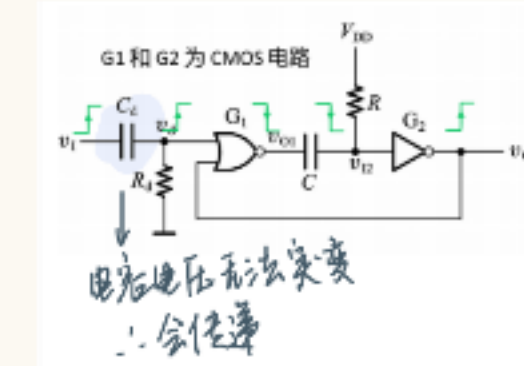
这个点导致  $v_O \rightarrow 1$

① 先分析暂态:

$V_{I2} \rightarrow 1, V_O \rightarrow 0$

$V_{d1} \rightarrow 0 \therefore V_{O1} \rightarrow 1$

② 脉冲传递



参数:

$$t_w = \tau \ln \frac{f(0+) - f(\infty)}{f(t) - f(\infty)}$$

这里即 C 充电, 初值代  $V_{OL} = 0$ , 终值  $V_{DD}$

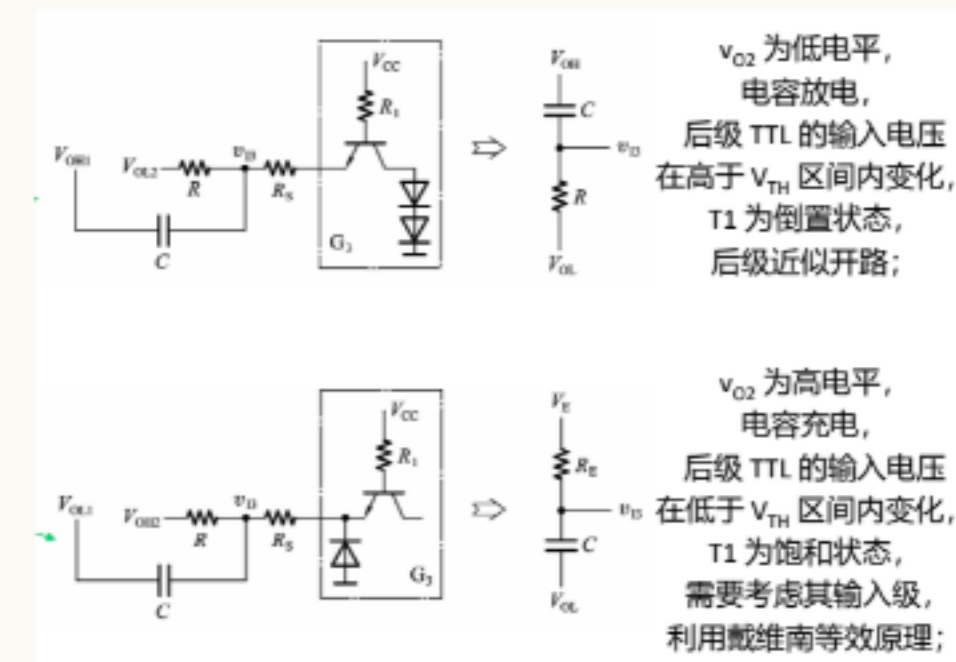
$f(t)$  代入  $V_{TH}$  其中  $\tau = RC$

$$\therefore t_w = \tau \ln \frac{V_{DD} - V_{OL}}{V_{DD} - V_{TH}} \quad R = R + R_{on}$$

$$V_{TH} = 0.5V_{DD} \text{ 时, } t_w = RC \ln 2 \approx 0.69RC$$

时间计算时需要画电路.

但考的不多?



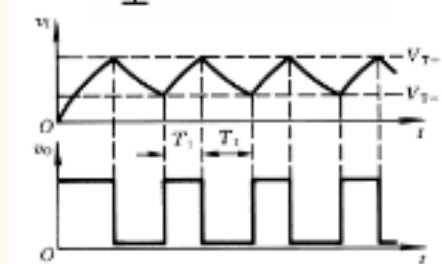
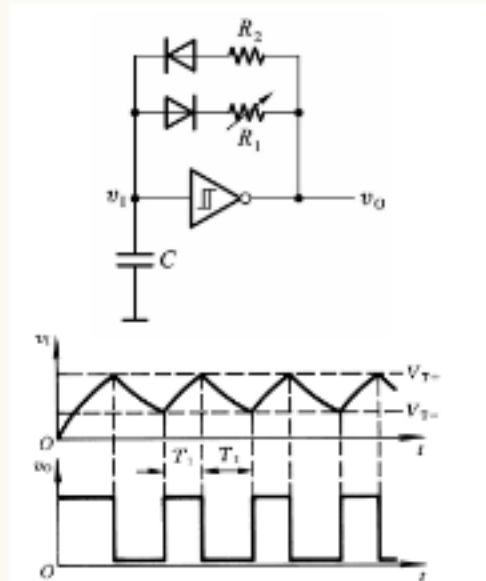
如果将前面的电路改进, 反馈网络利用二极管的单向导电性. 充电回路和放电回路的电阻不同, 就可以调节其中某一电阻的阻值来调节振荡周期与占空比;

假设为 CMOS 电路, 理想二极管, 利用三要素法计算时:  
计算  $T_1$ : 初值  $f(0+)$  代入  $V_T$ , 终值  $f(\infty)$  代入  $V_{OH}$  即  $V_{DD}$ ,  $f(t)$  代入  $V_T$ ; 时间常数为  $R_2C$  (充电);  
计算  $T_2$ : 初值  $f(0+)$  代入  $V_T$ , 终值  $f(\infty)$  代入  $V_{OL}$  即  $0$ ,  $f(t)$  代入  $V_T$ ; 时间常数为  $R_1C$  (放电);

$$T = T_1 + T_2 = R_2C \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} + R_1C \ln \frac{V_{T+}}{V_{T-}}$$

$$q = \frac{T_1}{T}$$

② 用施密特触发器 → 多谐振荡器





4. 555 电路

1. 功能表

引脚编号	符号	名称
1	GND	接地端
2	TR'	低电平触发端 (又称触发端)
3	OUT	输出端
4	R <sub>ST</sub> ' (RESET)	直接置位端
5	V <sub>CO</sub>	控制电压输入端
6	TH	高电平触发端 (又称门限端)
7	DISC	放电端
8	V <sub>CC</sub>	电源端

2→0, 5→1

6→1, 3→0

2→1, 6→0 保持

3.7 逻辑-致

2. 多谐振荡器

内容问题可联系: bow33@163.com

### 555 定时器及其应用

用 555 定时器接成多谐振荡器——占空比可调

对于此电路, 由于没有使用控制电压端口 V<sub>CO</sub>, 因此:

$$\begin{cases} V_{T+} = \frac{2}{3}V_{CC} \\ V_{T-} = \frac{1}{3}V_{CC} \end{cases}$$

T<sub>1</sub> 期间电容充电回路的等效电阻是 R<sub>1</sub>;  
T<sub>2</sub> 期间电容放电回路的等效电阻是 R<sub>2</sub>;  
因此, 根据三要素法, 此电路的输出脉冲周期和占空比为:

$$T = T_1 + T_2 = R_1 C \ln \frac{V_1 - V_{T-}}{V_1 - V_{T+}} + R_2 C \ln \frac{V_{T-} - 0}{V_{T+} - 0} = (R_1 + R_2) C \ln 2$$
$$q = \frac{T_1}{T} = \frac{R_1}{R_1 + R_2} \quad (\text{要求最好能记住但不要只是背下来})$$

3. 单稳态触发器

### 用 555 定时器接成单稳态触发器

波形:

脉冲宽度:

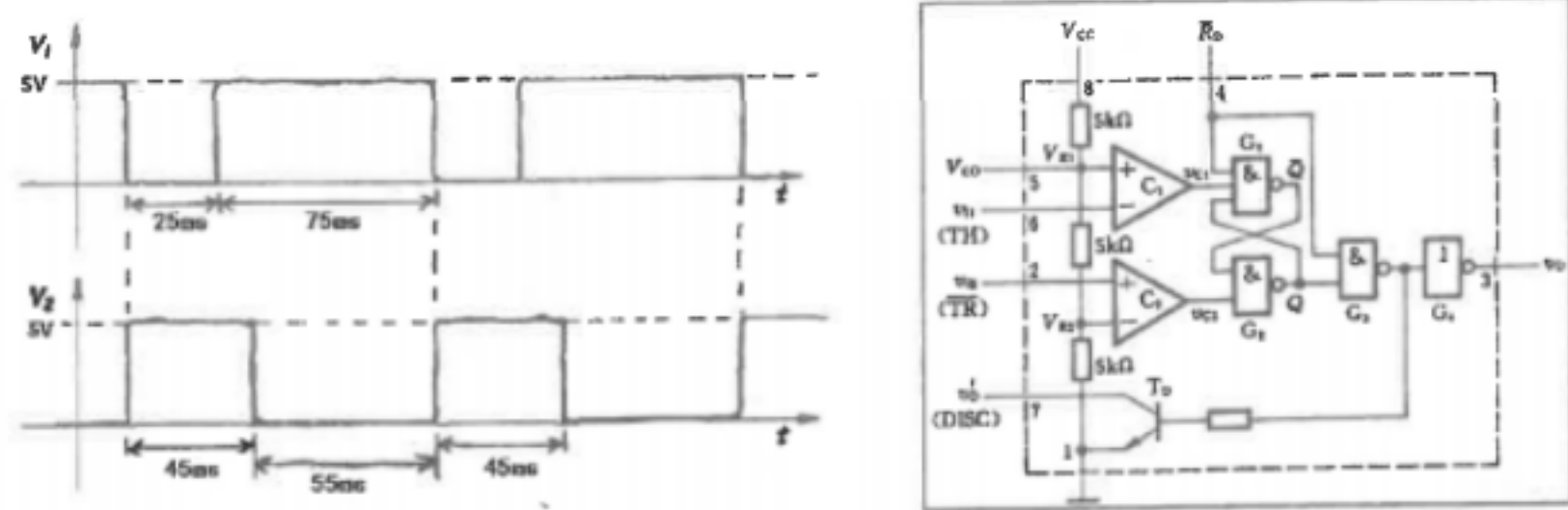
显然是充电时间:

$$\therefore t_w = R C \cdot \ln \frac{0 - V_a}{\frac{2}{3}V_a - V_{CC}} = \ln 3 \cdot R C \approx 1.1 R C$$

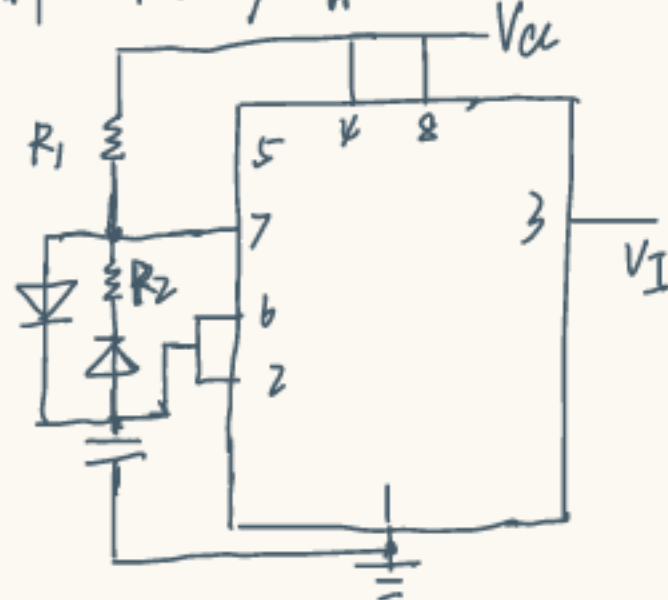
历年卷:

五、脉冲电路 (共 12 分, 得分\_\_\_\_\_)

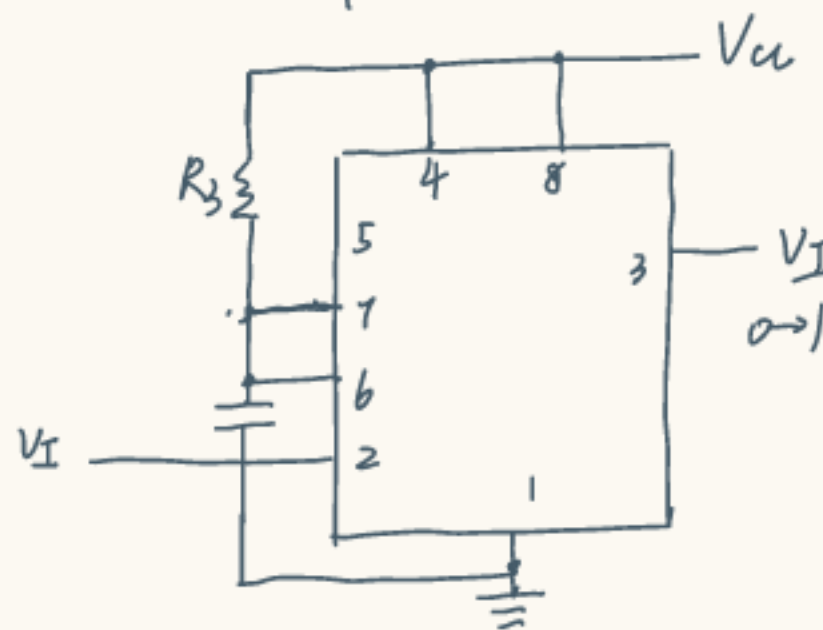
某个由两个 555 定时器和电阻、电容等器件构成的电路的两个输出 V<sub>1</sub>、V<sub>2</sub> 如下图所示, 试设计该电路, 写出具体的设计过程, 画出电路图, 并写出各定时参数的公式。



解: V<sub>1</sub> 是多谐.



V<sub>2</sub> 是单稳态.



2.6 0→1 充电 3.1→0 75ms

放电 0→1 25ms

充电:  $t_1 = R C \cdot \ln \frac{f_{(0+)} - f_{(\infty)}}{f(t) - f_{(\infty)}}$

$$= R_1 C \cdot \ln \cdot \frac{\frac{1}{3}V_{CC} - V_{CC}}{\frac{2}{3}V_{CC} - V_{CC}}$$

放电:  $t_2 = R_2 C \cdot \ln \cdot \frac{\frac{1}{3}V_{CC} - 0}{\frac{1}{3}V_{CC} - 0}$

答案取 C<sub>1</sub> = 1μF, C<sub>2</sub> = 1μF.

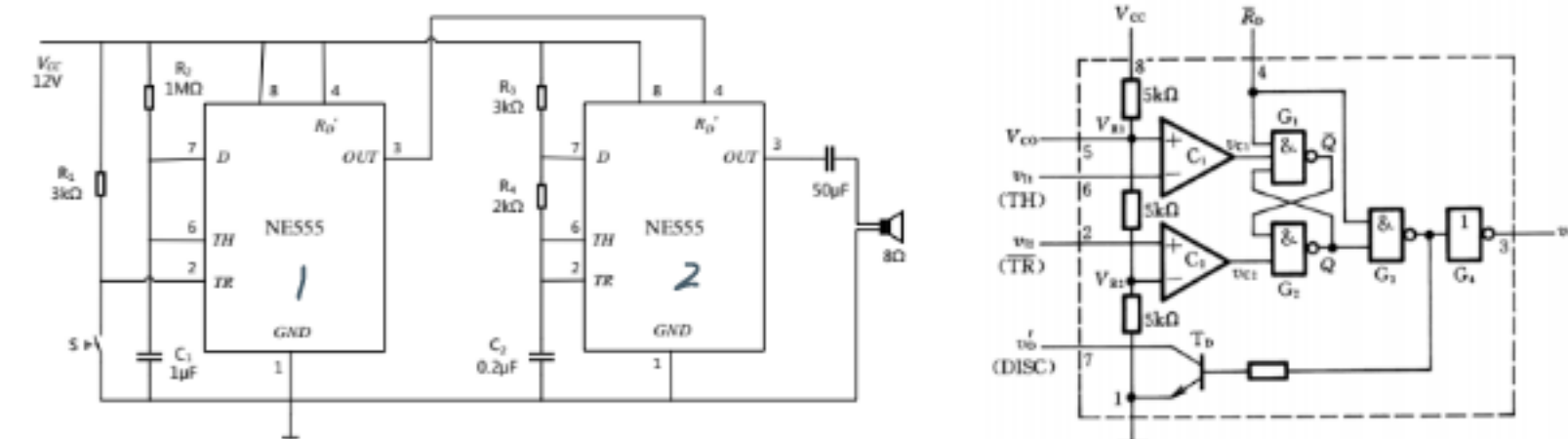
$$\therefore R_1 = \frac{t_1}{C_1 \cdot \ln 2} = 108 \text{ k}\Omega$$

$$R_2 = 36 \text{ k}\Omega$$

$$\therefore R_3 = \frac{t_3}{C_2 \ln 3} = 41 \text{ k}\Omega$$

八、脉冲电路 (共 12 分, 得分\_\_\_\_\_)

分析下图所示的 NE555 应用电路。



- 两个 555 定时器各自组成什么功能的电路? 按钮 S 未按时, 两电路工作在什么状态?
- 定量描述每按动一次 (短时间) 按钮后两个 555 定时器如何工作? 并计算时间参数。
- 画出每次按动按钮后, 两个 555 定时器的输出电压波形示意图。

1) 1 单稳态 2 多谐

?

1. 左边 555 定时器构成的单稳态触发电路, 处于稳态状态, 输出为 0; 右边 555 定时器构成的多谐振荡器处于清零状态。

2) 2→0, 3→1 7→1 电容充电.

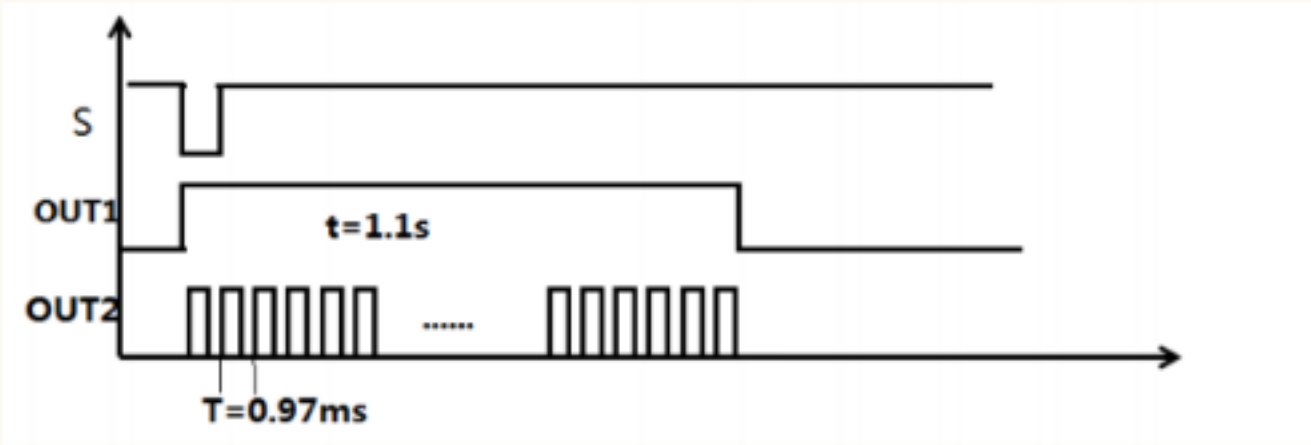
$$t_{w1} = R_2 C_1 \ln \cdot \frac{0 - V_{CC}}{\frac{2}{3}V_{CC} - V_{CC}} = 1.1 \text{ s}$$

多谐振荡器:

$$\text{充电: } t_1 = (R_3 + R_4) C_2 \cdot \ln \frac{\frac{1}{3}V_{CC} - V_{CC}}{\frac{2}{3}V_{CC} - V_{CC}} = 0.693 \text{ ms}$$

放电  $t_2 = R_4 C_2 \ln 2 = 0.277ms$

$T = t_1 + t_2 = 0.97ms$





# 组合电路

## 一. 几种模块:

### 1. 优先编码器

#### 优先编码器

特点: 允许多个信号同时输入, 编码时存在优先顺序;

以设计一个 8/3 优先编码器为例:

规定高电平输入有效, 即输入 1 表示对此输入信号编码, 输出的  $Y_2 Y_1 Y_0$  即为 0 ~ 7 对应的三位二进制代码 000 ~ 111; 规定二进制数大的优先级高, 即  $I_7$  优先级最高,  $I_0$  最低;

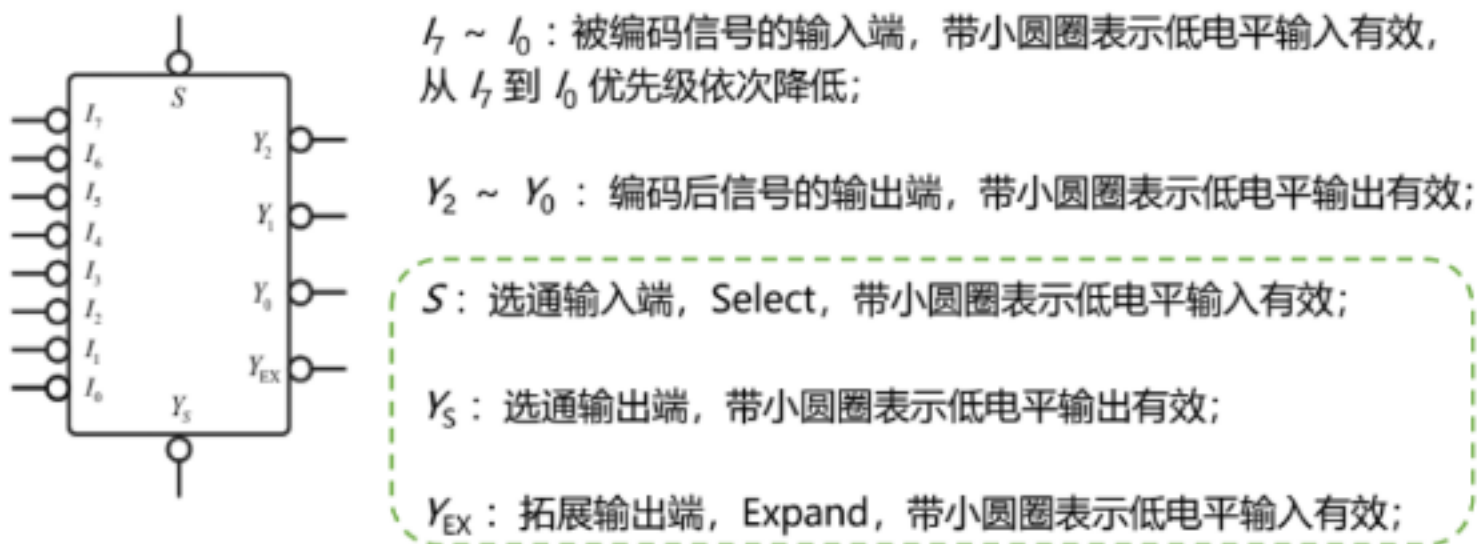
则真值表如右图所示:

养成习惯, 思考: 此真值表是否完整?  
不完整! 当前只有  $2^8 - 1$  行, 缺少了一行 00000000!

输入								输出		
$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$Y_2$	$Y_1$	$Y_0$
X	X	X	X	X	X	X	1	1	1	1
X	X	X	X	X	X	1	0	1	1	0
X	X	X	X	X	1	0	0	1	0	1
X	X	X	X	1	0	0	0	1	0	0
X	X	X	1	0	0	0	0	0	1	1
X	X	1	0	0	0	0	0	0	1	0
X	1	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	0	0

### 引脚/芯片:

一个典型的 8 线 — 3 线 优先编码器芯片为 74HC148:

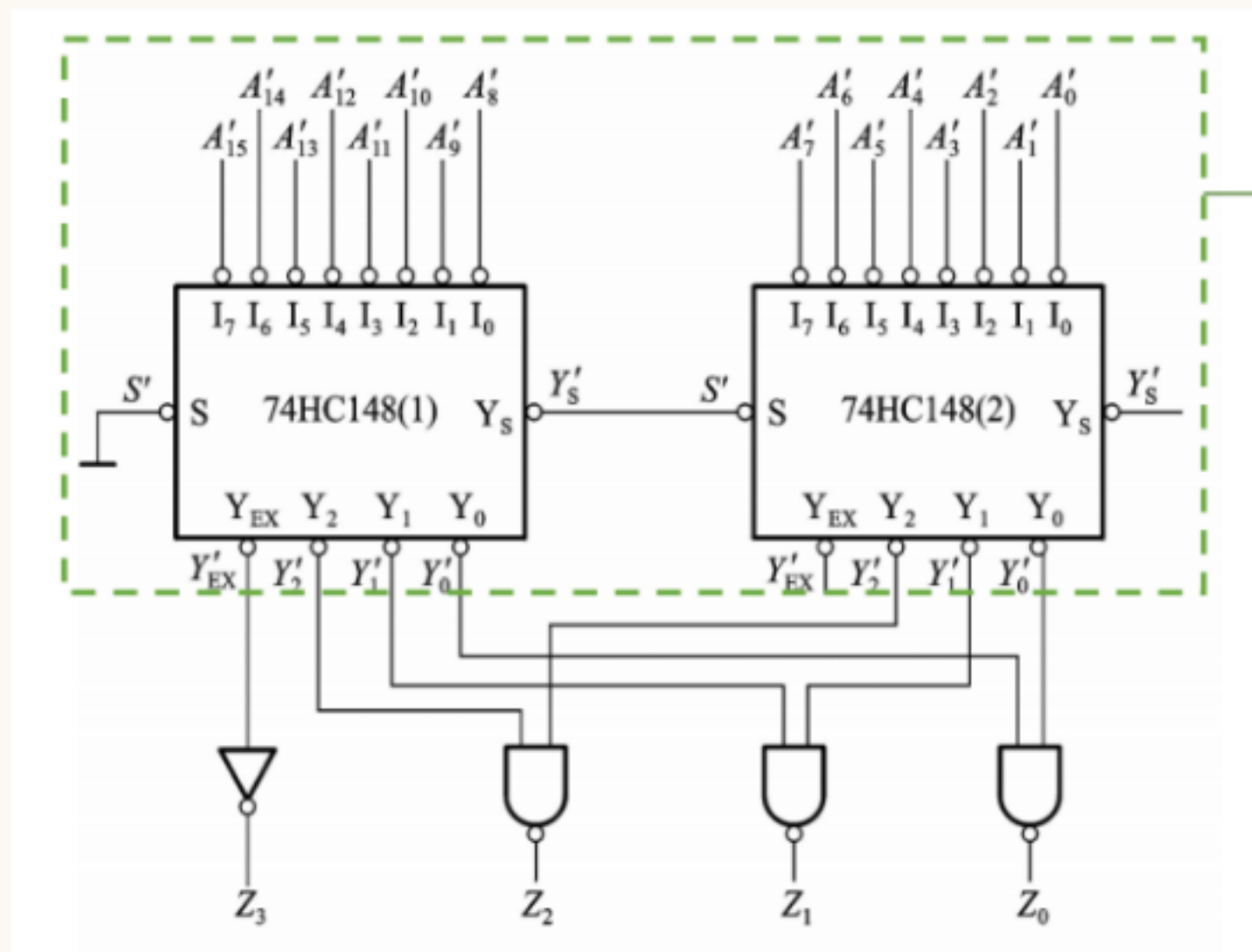


☆

$S'$	$Y_S'$	$Y_{EX}'$	状态
1	1	1	不工作
0	0	1	工作, 但无信号输入
0	1	0	工作, 且有信号输入
x	0	0	不可能出现

工作信号

→ 附加端拓展: 例1: 8-3 → 16-4.



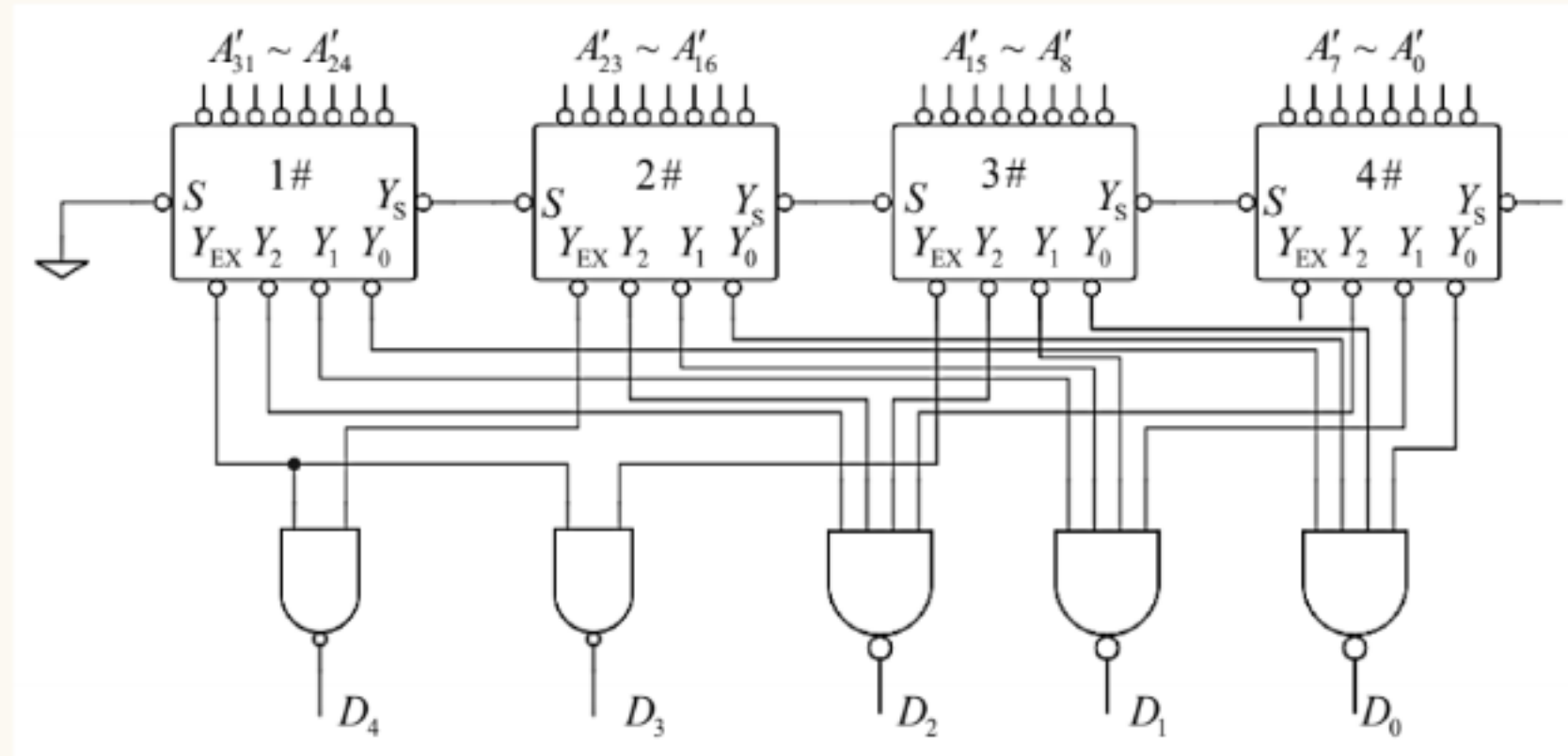
思路:  $A_{15} - A_8$  实现一般优先编码器功能.

若  $A_{15} - A_8$  均取 1, 此时工作有信号输入,  $Y_S' = 1$ ,  $Y_{EX}' = 0$ , 让第二片芯片发力.  $S' \rightarrow 1$

两组四位二进制编码的区别就是最高位为 1 / 0, 低三位都是相同的; 因此将  $Y_{EX}'$  作为最高位即可;

例2: 8-3 → 32-5

法一: 分成 4 组:



思路: 这种比较直白:

31-24: 11111 → 11000 ∴ 接后三位.

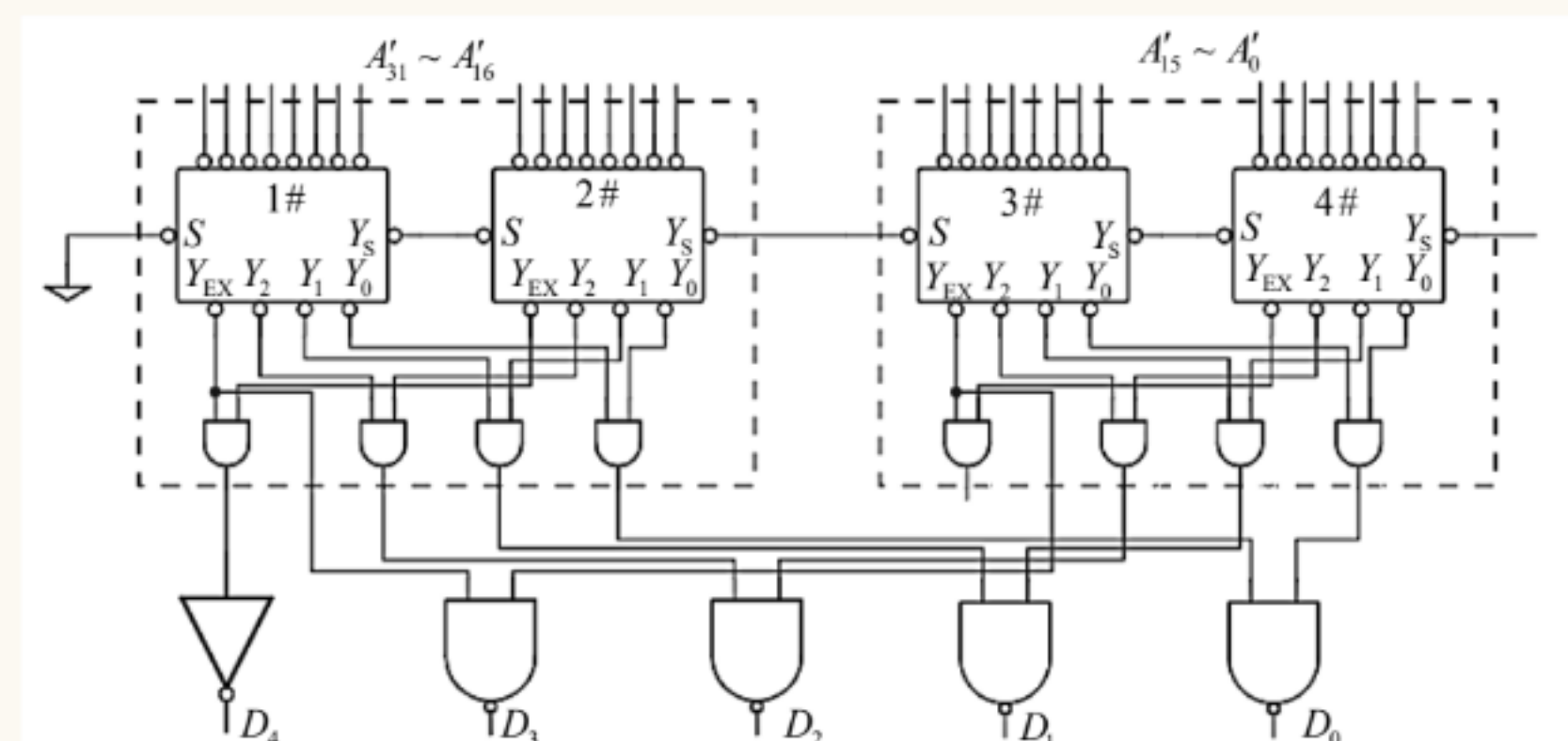
23-16: 10111 → 10000 ∴ 接后三位.

...

$D_2, D_1, D_0$  需每个译码器相与:

编号	$D_4$	$D_3$	
0	1	1	$D_4 = \overline{Y_{EX0}} \cdot \overline{Y_{EX1}}$
1	1	0	$D_3 = \overline{Y_{EX0}} \cdot \overline{Y_{EX2}}$
2	0	1	
3	0	0	

也可以先实现 16-4, 再 32-5:



## 2. 译码器

### ① 功能表:

输入				输出								
$S_1$	$S_2' + S_3'$	$A_2$	$A_1$	$A_0$	$Y_7'$	$Y_6'$	$Y_5'$	$Y_4'$	$Y_3'$	$Y_2'$	$Y_1'$	$Y_0'$
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

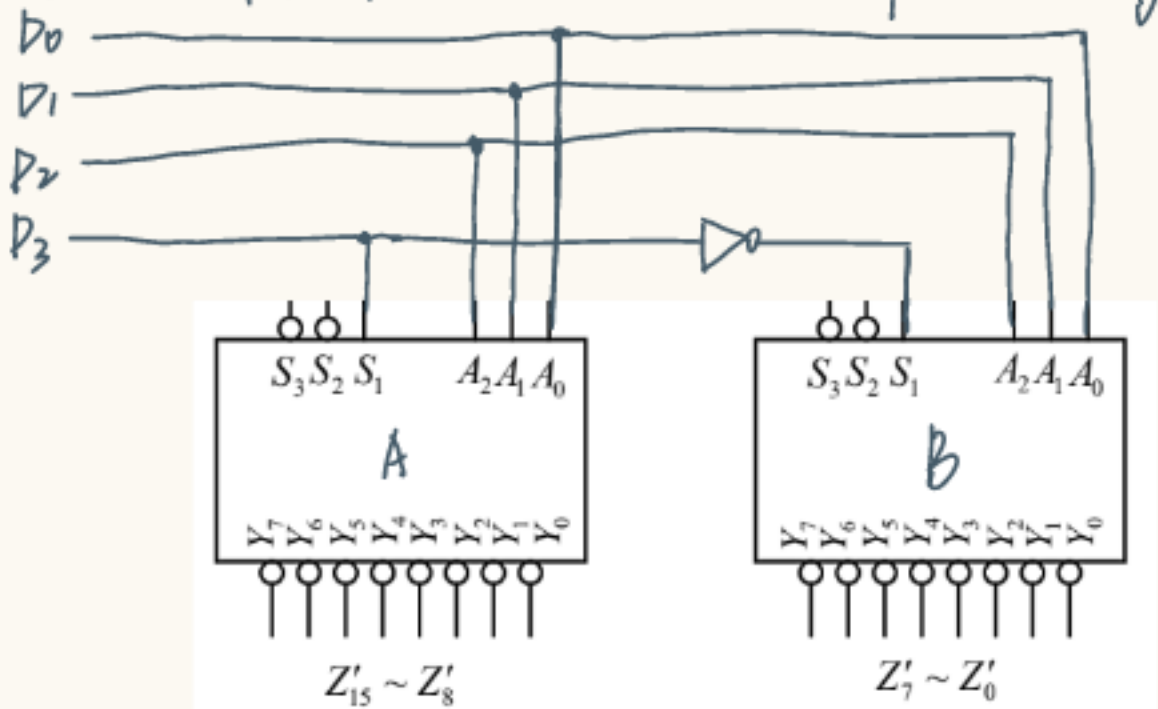
只有全部的选通输入端都输入有效信号, 即  $S_1 = 1$ ,  $S_2' = 0$ ,  $S_3' = 0$  时芯片才能正常工作, 否则输出全部封锁在高电平;

正常的译码工作区域  
芯片选通后, 有且仅有一个输出为低电平 (注意是低电平有效输出!) 即每个输出对应的是各个最小项的取反;  
 $Y_i' = m_i'$

### ② 附加端拓展

3/8 → 4/16

若最高位  $A$  工作,  $B$  工作.





③先用最小项化简，再设计组合电路：

$$Z_1 = AC' + A'BC + AB'C$$
$$Z_2 = BC + A'B'C$$
$$Z_3 = A'B + AB'C$$
$$Z_4 = A'BC' + B'C' + ABC$$

$$Z_1 = AC' + A'BC + AB'C = \sum m(3,4,5,6)$$
$$Z_2 = BC + A'B'C = \sum m(1,3,7)$$
$$Z_3 = A'B + AB'C = \sum m(2,3,5)$$
$$Z_4 = A'BC' + B'C' + ABC = \sum m(0,2,4,7)$$

3. 数据选择器

S'	A <sub>1</sub>	A <sub>0</sub>	Y <sub>1</sub>
1	X	X	0
0	0	0	D <sub>0</sub>
0	0	1	D <sub>1</sub>
0	1	0	D <sub>2</sub>
0	1	1	D <sub>3</sub>

$$Y = [D_0(A_1'A_0') + D_1(A_1'A_0) + D_2(A_1A_0') + D_3(A_1A_0)] \cdot S$$

$\therefore Y = \sum_i D_i m_i$

$\therefore$  设计组合电路：

$$Z = A'B'C' + AC + A'BC$$

4选1 变换为：

$$Z = A'(B'C') + A(B'C) + ABC + A'BC = A'(B'C') + A(B'C) + 0 \cdot (BC') + 1 \cdot (BC)$$

或

$$Z = (A'B') \cdot C' + (A'B) \cdot C + (AB') \cdot C + (AB) \cdot C$$

8选1 变换为：

$$Z = 1 \cdot (A'B'C') + 0 \cdot (A'B'C) + 0 \cdot (A'BC') + 1 \cdot (A'BC) + 0 \cdot (AB'C') + 1 \cdot (AB'C) + 0 \cdot (ABC') + 1 \cdot (ABC)$$

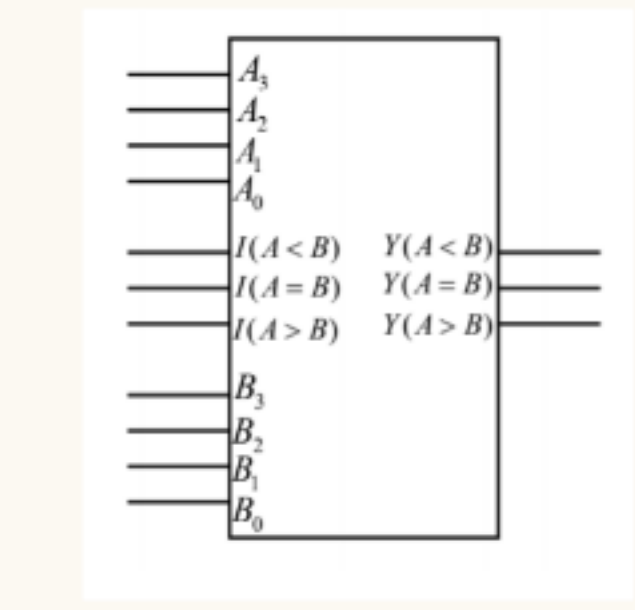
4. 加法器

输入	输出
A B	S CO
0 0	0 0
0 1	1 0
1 0	1 0
1 1	0 1

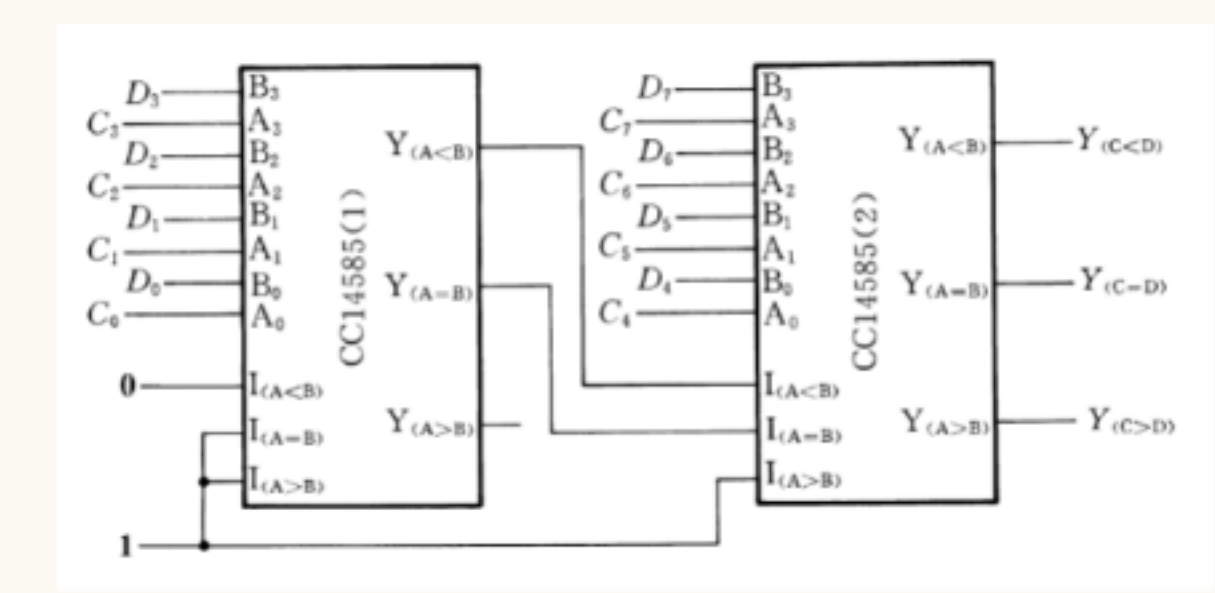
$$S = A \oplus B$$
$$CO = AB$$

例1: BCD  $\rightarrow$  余3码 + 0011.

5. 数值比较器



扩展端：



历年卷(大题)

四、组合逻辑电路（共 12 分，得分\_\_\_\_\_）

有一个四变量的具有约束条件的逻辑函数如下：  
 $F(A, B, C, D) = \overline{BCD} + \overline{ABC}\overline{D} + \overline{ABCD} + \overline{ABCD}$ ，约束条件为  $C \oplus D = 0$ 。  
1、用卡诺图法将此逻辑函数化简为最简与-或表达式；  
2、如果输入只有原变量，以 AB 作为地址输入端，只用一个 4 选 1 数据选择器实现该函数 F（不允许使用反相器）；  
3、函数是否存在竞争-冒险？若有请写出消除了竞争-冒险后的函数最简与-或表达式（假设输入变量每次只有一个改变状态），若没有请说明理由。

1.

$C \oplus D = 1$   
 $CD = 00$  或  $CD = 11$  无效

$\therefore F = A\overline{C} + \overline{A}B$

2.

$F = \overline{A}B + AD$

3. 存在  $F = \overline{A}B + A\overline{C} + B\overline{C}$

二、逻辑化简（共 12 分，得分\_\_\_\_\_）

1、 $F = AC + D + \overline{D}(\overline{B} + \overline{C})(AD + B)$ ，化简该式，并表达成最简的“与非/与非”形式。  
2、题 1 的函数用 8 选 1 数据选择器实现，要求用 ABC 为地址变量，允许使用反相器。  
3、 $F(D, C, B, A) = \sum m(0, 3, 4, 7, 8, 10, 11) + d(6, 12, 15)$ ，其中 d 为任意项，将该式化简为无竞争冒险的最简与-或式（假设每次只有一个输入变量改变状态）。

1.

$A = C = 1$   
 $D = 1$   
 $D = 0$   $\overline{B} + \overline{C} = 1$   
 $B = 1$   
 $C = 0$   
 $\therefore X100$

$$F = AC + D + \overline{B}\overline{C}\overline{B}\overline{A}$$
$$= \overline{A}\overline{C}\overline{D} + \overline{B}\overline{C}\overline{B}\overline{A}$$
$$= \overline{A}\overline{C}\overline{D} \cdot \overline{B}\overline{C}\overline{B}\overline{A}$$

$$F = AC + D + \overline{B}\overline{C}$$
$$= \overline{A}B \cdot C + D$$
$$= \overline{A}B \cdot C \cdot \overline{D}$$

2.  $F = AC + D + \overline{B}C$   
 $= D + (A + \overline{B})C$



时序电路

一. 触发器

SR 触发器:

Q\* = S + R'Q  
SR = 0

JK 触发器:

Q\* = JQ' + K'Q

D 触发器:

Q\* = D

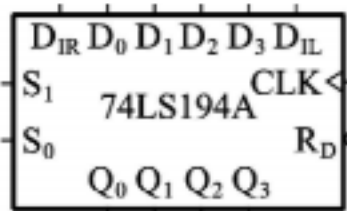
T 触发器:

Q\* = TQ' + T'Q

SR 触发器	S = 1, R = 0 置位 S = 0, R = 1 复位 S = 0, R = 0 保持	$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$ (约束条件)	存在约束条件 SR = 0
JK 触发器	J = 1, K = 0 置位 J = 0, K = 1 复位 J = 0, K = 0 保持 J = 1, K = 1 翻转	$Q^* = JQ' + K'Q$	功能最全
D 触发器	D = 1, 置位 D = 0, 复位	$Q^* = D$	触发信号有效作用时 没有保持功能即 无法记录变化过程 “透明”特性
T 触发器	T = 1, 翻转 T = 0, 保持	$Q^* = TQ' + T'Q$	事实上就是 JK 触发器 令 J = K

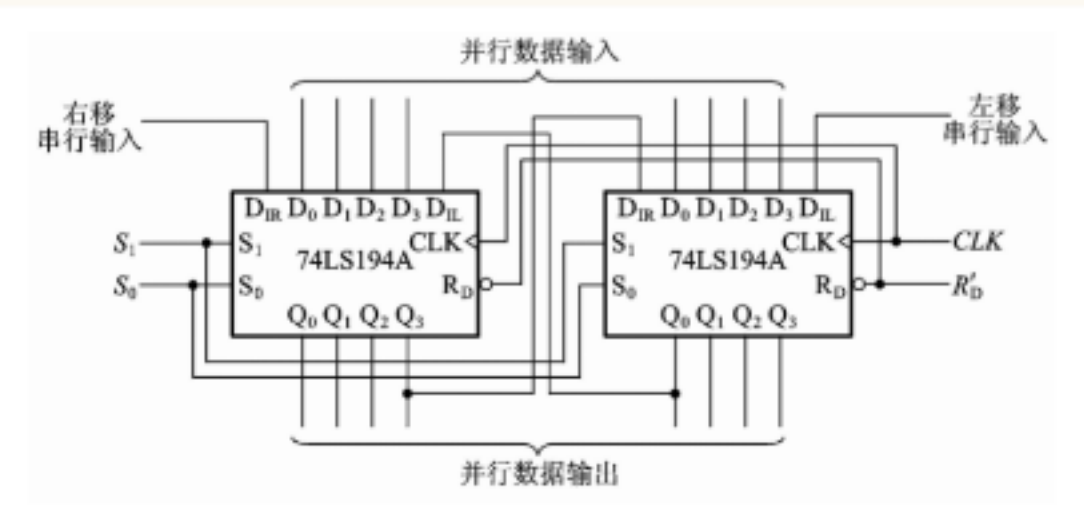
二. 时序电路模块

1. 移位寄存器



R <sub>D</sub> '	S <sub>1</sub>	S <sub>0</sub>	工作状态
0	X	X	置零 (异步)
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

例: 拓展成 8 位:



2. 计数器

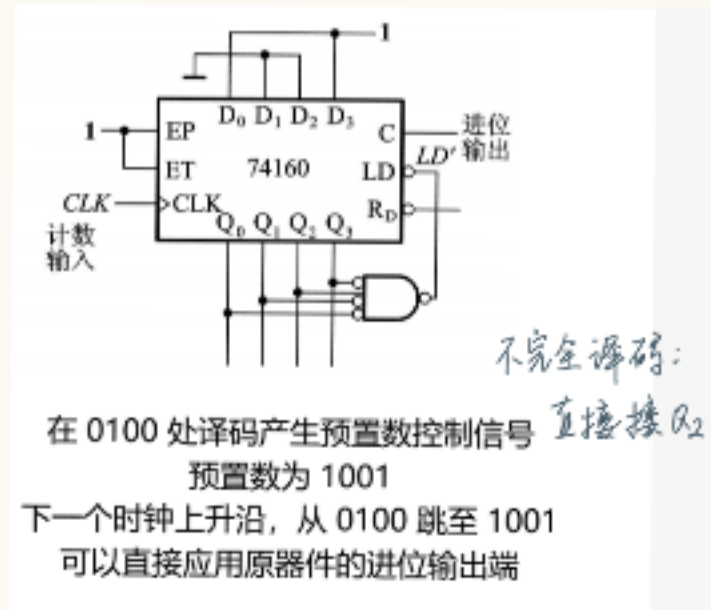
CLK	R <sub>D</sub> '	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括 C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数

主要是任意进制计数器: 以六进制为例:

异步清零: 0110 → 0

同步清零 0101 → 持续一个周期 → 0.

置数:



控制器

1. 控制器设计

① 计数器型

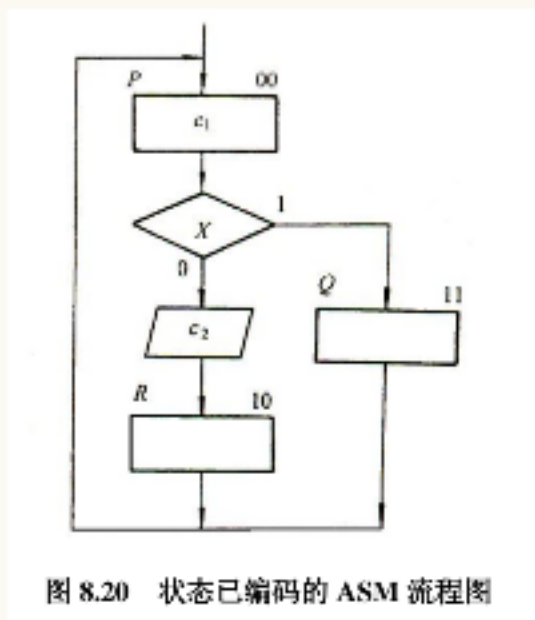


图 8.20 状态已编码的 ASM 流程图

STEP1: 输出 C<sub>1</sub>, C<sub>2</sub>, 状态 B, A, 输入 X

表 8.2 状态激励函数真值表				
PS (现态)			NS (次态)	
B	A	X	B(D)	A(D)
0	0	0	1	0
0	0	1	1	1
0	1	X	0	0
1	0	X	0	0
1	1	X	0	0

← 自启动

STEP2: 写表达式:

B(D) = B̄ĀX + B̄ĀX̄ = B̄Ā

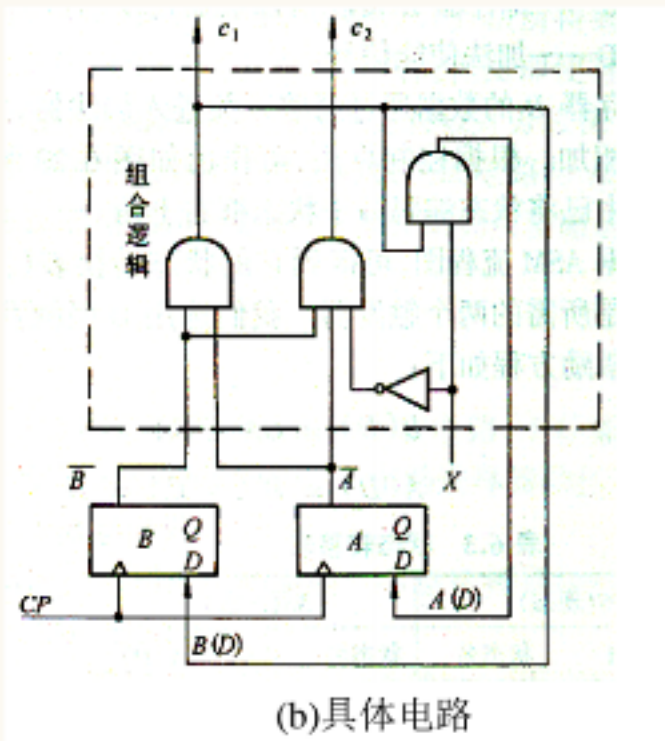
A(D) = B̄ĀX

STEP3: 输出:

C<sub>1</sub> = B̄Ā

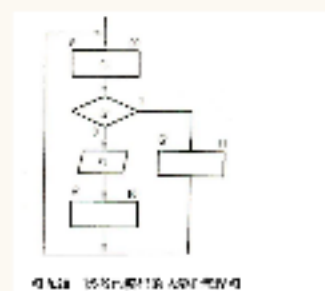
C<sub>2</sub> = B̄ĀX̄

STEP4: 最终电路:



② 多路选择型

例题:



① 输入 X 输出 (控制信号) C<sub>1</sub>, C<sub>2</sub>

② 状态转移数据表

表 8.4 图 8.20 的状态转移数据表					
PS(现态)		NS(次态)			转换条件
编码	状态名	状态名	B	A	
0 (00)	P	R	1	0	X
		Q	1	1	X
2 (10)	R	P	0	0	0
3 (11)	Q	P	0	0	0
1 (01)	-	P	0	0	0

③ 写表达式

MUXA(0) = X      MUXB(0) = X + X̄ = 1  
MUXA(2) = 0      MUXB(2) = 0  
MUXA(3) = 0      MUXB(3) = 0  
MUXA(1) = 0      MUXB(1) = 0

④ 电路:

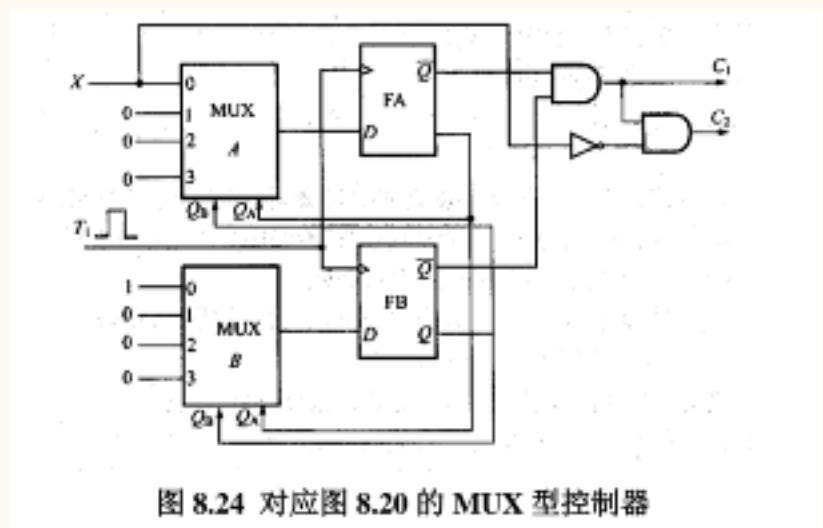
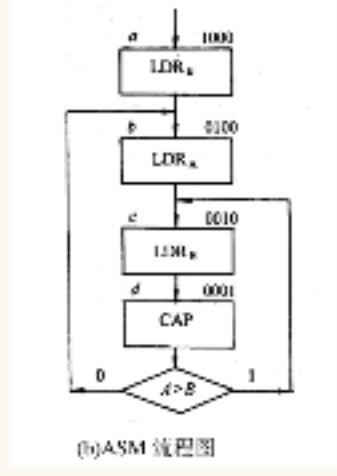


图 8.24 对应图 8.20 的 MUX 型控制器



③ 次序型控制器

例题:



step1: 状态转移真值表

表 8.6 状态转移真值表

PS(现态)				NS(次态)				转换条件 C
$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_0(D)$	$Q_1(D)$	$Q_2(D)$	$Q_3(D)$	
1	0	0	0	0	1	0	0	初始化"1" $Q_0$
0	1	0	0	0	0	1	0	-
0	0	1	0	0	0	0	1	-
0	0	0	1	0	0	1	0	$A > B$
0	0	0	0	0	1	0	0	$A > B$

设下时序状态变化  
T<sub>2</sub> 写入寄存器

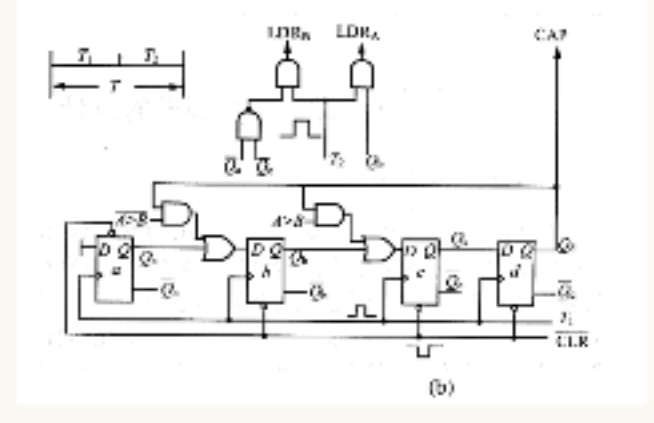
step2: 状态激励方程

$Q_0(D) = 0$   
 $Q_1(D) = Q_0 + Q_3 (A > B)$   
 $Q_2(D) = Q_1$   
 $Q_3(D) = Q_2$

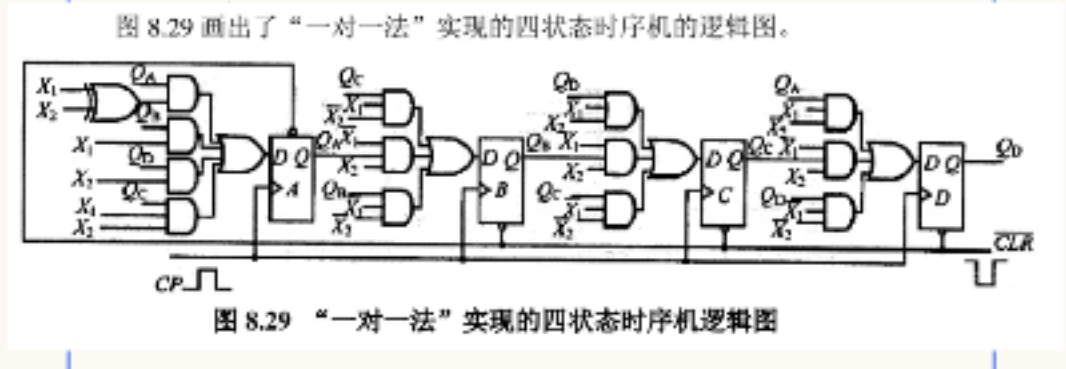
step3: 写控制信号

$LDR_B = (Q_0 + Q_3) T_2$   
 $LDR_A = (Q_1) T_2$   
 $CAP = Q_3$

step4: 电路图

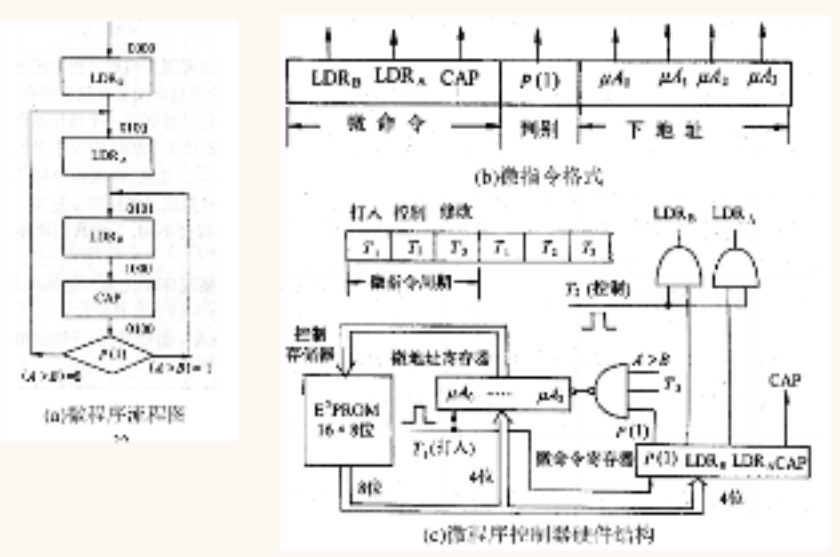


Tips: 也可以用这种:



④ 微程序控制器

无一字看懂, 准备直接做题.



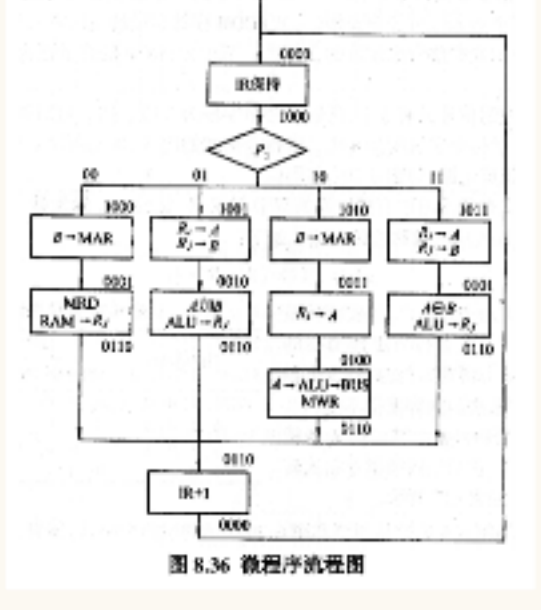
其中  $M_{A3} = P(1) \cdot (A > B) \cdot T_3$

表 8.7 微程序代码

当前微地址	微指令二进代码	微命令	判别	下地址
0000	1000	0	0	0100
0001	0100	0	0	0101
0010	0101	0	0	0110
0011	0110	0	0	0111
0100	0111	0	0	0100
0101	0100	0	0	0101
0110	0101	0	0	0110
0111	0110	0	0	0111
1000	0000	1	1	0100
1001	0001	1	1	0101
1010	0010	1	1	0110
1011	0011	1	1	0111

例2:  
00 RAM → R(2) (从 RAM 中取数至 R2)  
01 R(3) 加 R(4) → R(4) (R3, R4 中二数算术加)  
10 R(6) → RAM (R6 中的数存入 RAM)  
11 R(7) ⊕ R(8) → R(8) (R7, R8 中二数逻辑异)

转化成流程图:

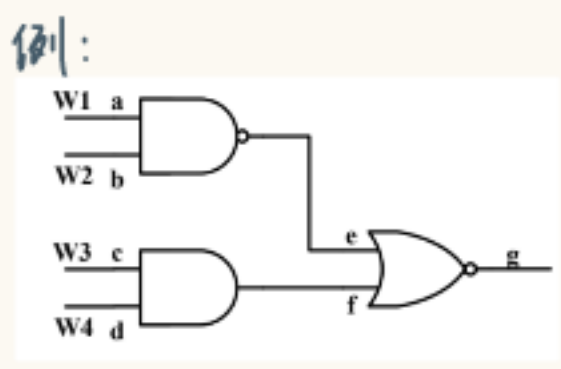


微程序代码

表 8.8 微程序代码

当前微地址	八进制表示的微命令	$P_2 P_1$	下一微地址
0000	0000000000	01	1000
0001	0000002600	00	0110
0010	3100004400	00	0110
0011	0011300000	00	0100
0100	3740000100	00	0110
0101	2650010400	00	0110
0110	0000000002	00	0000
0111	...	...	...
1000	3240000004	00	0001
1001	0017164000	00	0010
1010	3240000004	00	0011
1011	0017370000	00	0101

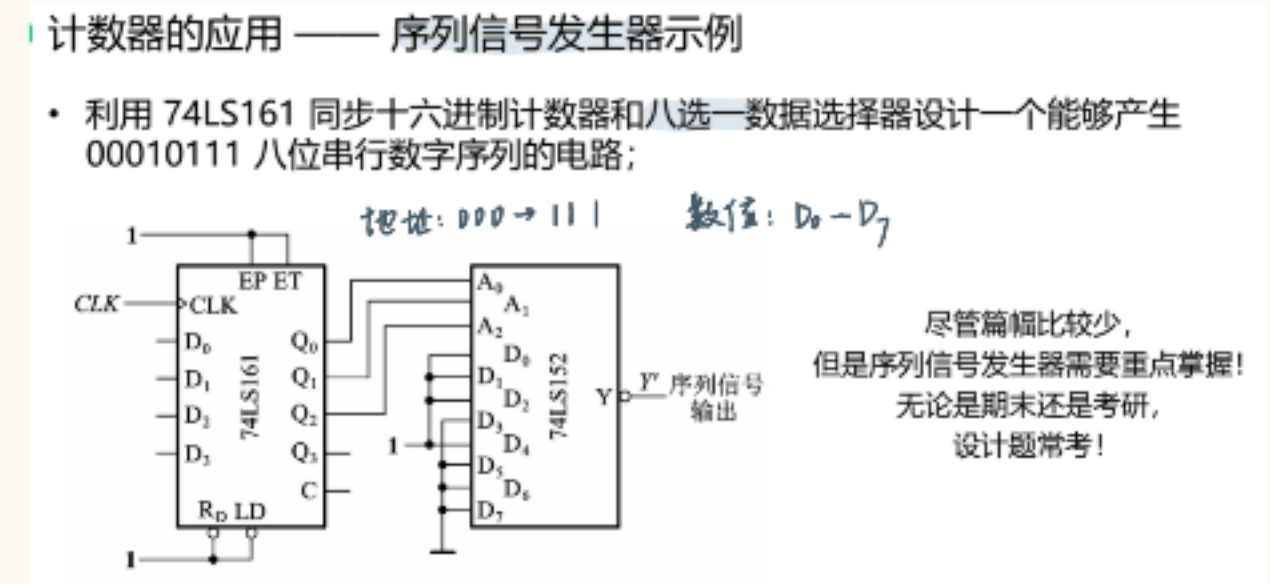
电路测试



e 节点 SA0 故障时有 e=0  
要使 e=1, f=0, g=0 才能测试。  
得 {W1, W2} = 00, 01, 10, {W3, W4} = 00, 01, 10  
(2) 请写出能检测图中 d 节点处 SA1 故障的所有测试向量。  
d 节点 SA1 故障时有 d=1  
要使 g=1, f=0, e=0, c=1 才能测试。  
得 {W1, W2, W3, W4} = 1110

SA0 故障 → 1.  
SA1 故障 → 0.

补充: 序列信号发生器



补充:

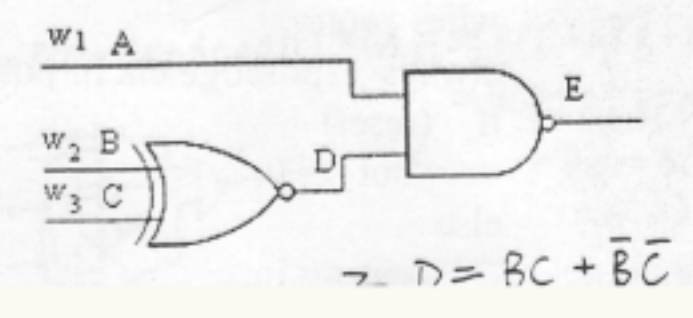
测试有 11 年考 3 大题

17-18:

五、 测试与验证 (10 分, 得分 \_\_\_\_\_)

针对图所示的电路, 采用 SA0 和 SA1 的故障模型, 根据要求写出寻找图中故障点的测试向量。输入测试信号为 W1, W2, W3, 试求:

- (1) 写出能检测 E 节点处的 SA0 故障的所有测试向量, 并简要说明理由;
- (2) 写出能检测 B 节点处的 SA1 故障的所有测试向量, 并简要说明理由。



1) 解: E 点 SA0. 则让 E=1.

∴ D 或 A=0

若 D=0 则需 B=1, C=0 或 B=0, C=1

所有向量: A=0: {0, 0, 0}, {0, 0, 1}, {0, 1, 0}, {0, 1, 1}

A=1: {1, 1, 0}, {1, 0, 1}

2) B 节点 SA1 B=0

若 C=0 则 D=1 均需 A=1.

若 C=1 则 D=0

∴ {1, 0, 0}, {1, 0, 1}



