

数电判断题:

22-24:

钱与良可以oc门/ob门

- (1) 多个三态门电路的输出可以直接并联, 实现逻辑与。 (X)
- (2) 如果一个译码器有十六个输出, 那么需要三个输入端。 (X)
- (3) TTL 门悬空相当于输入高电平, CMOS 门悬空相当于输入低电平。 (X)
- (4) 电路测试时, SA0 和 SA1 故障模型可以覆盖所有的故障。 (X)
- (5) 单稳态触发器暂稳态的时长取决于触发脉冲的宽度。 (X)
- (6) 设计可测试性的重要特性包括高的可靠性和高的观察性。 (X)
- (7) TTL 和 CMOS 与非门的多余输入端均可通过电阻接电源端。 (X)
- (8) 双稳态触发器和施密特触发器是常用的脉冲信号整形电路。 (X)
- (9) 在 Verilog 中, 信号赋值语句按程序列出的顺序依次执行。 (X)
- (10) 流水线操作算法结构一定比并行算法结构所需要的运行时间短。 (X)
- (11) PROM 的与阵列是全译码不可编程阵列。 (X)
- (12) 目前所有产品数字部件都提供边界扫描。 (X)
- (13) 一条微指令的有效持续时间为两个系统基本周期。 (X)
- (14) 异步触发信号在整个时钟周期有效, 无论时钟电平是高电平还是低电平。 (X)
- (15) 内建自测试技术可以实现由电路自己决定所得到的测试结果是否正确。 (X)

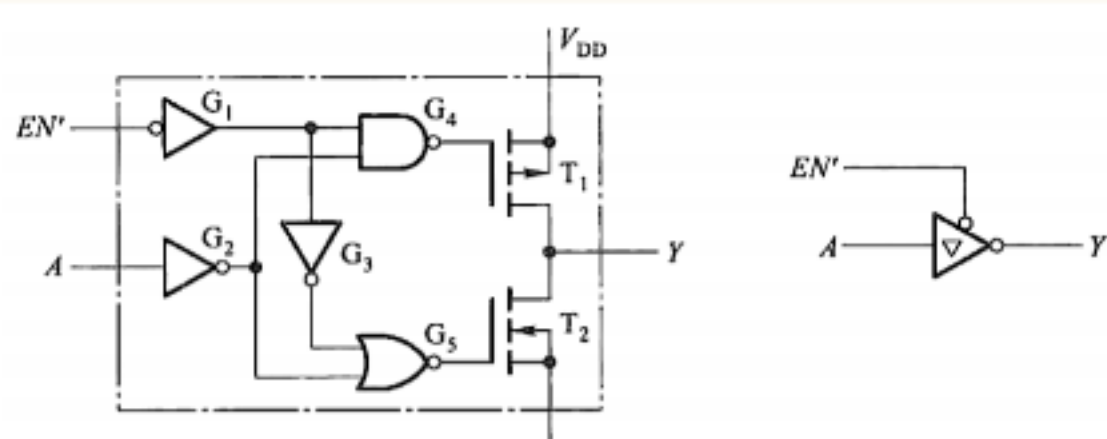
非门接1没事

Flip-Flop

cmos门不可悬空

或阵列可以编程

1. 三态门:



控制端低电平有效, 可以输出高电平、低电平、高阻三种状态。

5. 可测试性设计:

一种方法是让电路自测试 (self-test)。电路自测试并不需要外部的向量并且可以以很高的速度进行。可测试性设计有两个重要特性: 可控性和可观察性。

- 可控性表示只利用输入引线就可以使一个电路节点进入某一指定状态的难易程度。如果只用一个输入向量就可以把一个节点带到任何状态, 那么容易控制。

-45-

一个具有低可控性的节点或电路需要一个很长的向量序列才能到预期的状态。可测试性设计希望有高的可控性。

- 可观察性表示在输出引线上观察一个节点值的难易程度。对于一个可观察性高的节点, 可以在输出引线上直接监测到节点的值。一个可观察性低的节点则需要多个周期才能使节点状态出现在输出上。当电路的复杂性和输出引脚数目一定时, 一个可测试电路应当具有较高的可观察性。

组合电路属于易观察和可控制的电路。时序电路的可测试设计方法划分成 3 类: 专门测试、扫描测试和自测试。

10. 算法结构:

(1) 采用顺序算法结构: 在 Δt_1 、 Δt_2 和 Δt_3 的三段时空中分别完成 $a_1 \times b_1$ 、 $a_1 \times b_2 + c_1$ 以及 $\sqrt{a_1 \times b_1 + c_1}$ 运算。为分析方便, 设 $\Delta t_1 = \Delta t_2 = \Delta t_3 = \Delta t$, 其顺序算法结构的时间关系如图 8.41 所示。

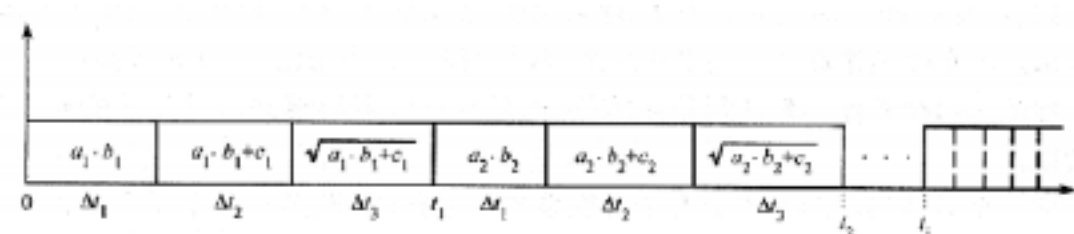


图 8.41 顺序算法结构时间关系

不难看出, 第 i 个数据元素在完成前两步运算之后, 只有求平方根电路在工作, 而乘法和加法电路均处在闲置的等待状态, 待求平方根运算完成后再接受数据流中的 $(i+1)$ 个数据元素, 这样完成整个运算的时间为

$$T_s = 3 \times m \times \Delta t$$

(2) 采用流水线操作算法结构: 为提高运算速度, 又不增加运算器的硬件成本, 改用流水线操作算法结构, 如图 8.42 所示。

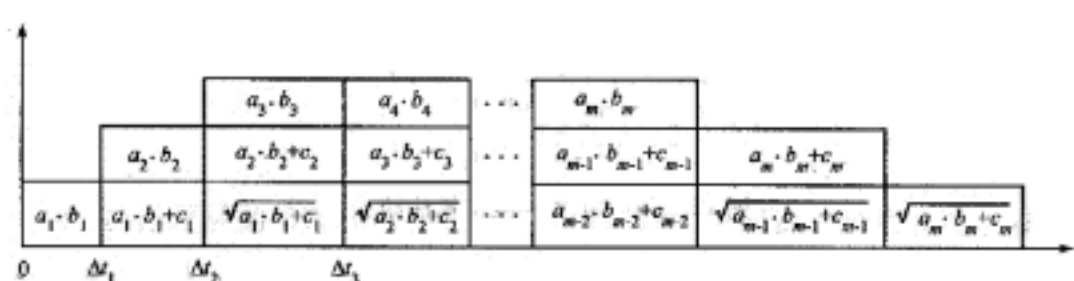


图 8.42 流水线操作算法结构时间关系

由图可以看出, 完成全部数据计算所需要的时间为

$$T = 3 \times \Delta t + (m-1) \times \Delta t$$

21-22

$$F = ABC + \bar{A}BC = B \cdot C$$

- 1、在不影响逻辑功能的情况下, CMOS 与非门的多余输入端可通过电阻接地。 (X)
- 2、组合逻辑电路中产生竞争冒险的主要原因是输入信号受到尖峰干扰。 (X)
- 3、只使用与非门的逻辑电路不是时序逻辑电路。 (X)
- 4、只有一个变量不同的两个最大项的乘积等于各相同变量之和。 (X)
- 5、一个三态门可以通过使能电平控制实现输入或输出双向数据传输。 (X)
- 6、因为 EPROM 属于只读存储器, 所以正常工作时无法对它进行写操作。 (X)
- 7、单稳态触发器有一个稳定状态, 两个暂稳状态。 (X)
- 8、固 0 和固 1 故障模型可以覆盖所有开路固定故障和短路固定故障。 (X)
- 9、逻辑函数化简中无关项、任意项可以为 0 或 1。约束项一般只能取 0 值。 (X)
- 10、将 JK 触发器的两个输入端连在一起作为 D 端就可以构成 D 触发器。 (X)
- 11、门电路内部三极管作为开关使用时, 要提高开关速度, 可以增加饱和深度。 (X)
- 12、对于一个由与非门组成的 SR 锁存器, 要让该锁存器保持原态, 输入信号应为 $S=R=1$ 。 (X)
- 13、摩尔型时序电路的输出既与外输入也与内部状态有关。 (X)
- 14、64Kx16 位 E²PROM 芯片有 16 条地址线和 16 条数据线。 (X)
- 15、数字系统的控制部件通过控制线向执行部件发出的各种控制信号称为微操作。 (X)

2. 产生原因是输入信号的时间延迟

导致输出尖峰干扰脉冲。

4. 先复习下最大项: 和最小项是反着来的。括号内是加, 外是乘。
 $\therefore (A+B) \cdot (\bar{A}+B) = B$ ✓

* 2. 最大项

在 n 变量逻辑函数中, 若 M 为 n 个变量之和, 而且这 n 个变量均以原变量或反变量的形式在 M 中出现一次, 则称 M 为该组变量的最大项。

例如, 三变量 A, B, C 的最大项有 $(A'+B'+C')$ 、 $(A'+B'+C)$ 、 $(A'+B+C')$ 、 $(A'+B+C)$ 、 $(A+B'+C')$ 、 $(A+B'+C)$ 、 $(A+B+C')$ 、 $(A+B+C)$ 共 8 个 (即 2^3 个)。对于 n 个变量则有 2^n 个最大项。可见, n 变量的最大项数目和最小项数目是相等的。

输入变量的每一组取值都使一个对应的最大项的值为 0。例如, 在三变量 A, B, C 的最大项中, 当 $A=1, B=0, C=1$ 时, $(A'+B+C')=0$ 。若将使最大项为 0 的 ABC 取值视为一个二进制数, 并以其对应的十进制数给最大项编号, 则 $(A'+B+C')$ 可记作 M_5 。由此得到的三变量最大项编号表, 如表 2.5.6 所示。

表 2.5.6 三变量最大项的编号表

最大项	使最大项为 0 的变量取值			对应的十进制数	编号
	A	B	C		
$A+B+C$	0	0	0	0	M_0
$A+B+C'$	0	0	1	1	M_1
$A+B'+C$	0	1	0	2	M_2
$A+B'+C'$	0	1	1	3	M_3
$A'+B+C$	1	0	0	4	M_4
$A'+B+C'$	1	0	1	5	M_5
$A'+B'+C$	1	1	0	6	M_6
$A'+B'+C'$	1	1	1	7	M_7

☆ 单稳态触发器有一个稳定状态, 两个暂稳状态 (X)

单稳态触发器一个稳态一个暂稳态

多谐振荡电路是两个暂稳态

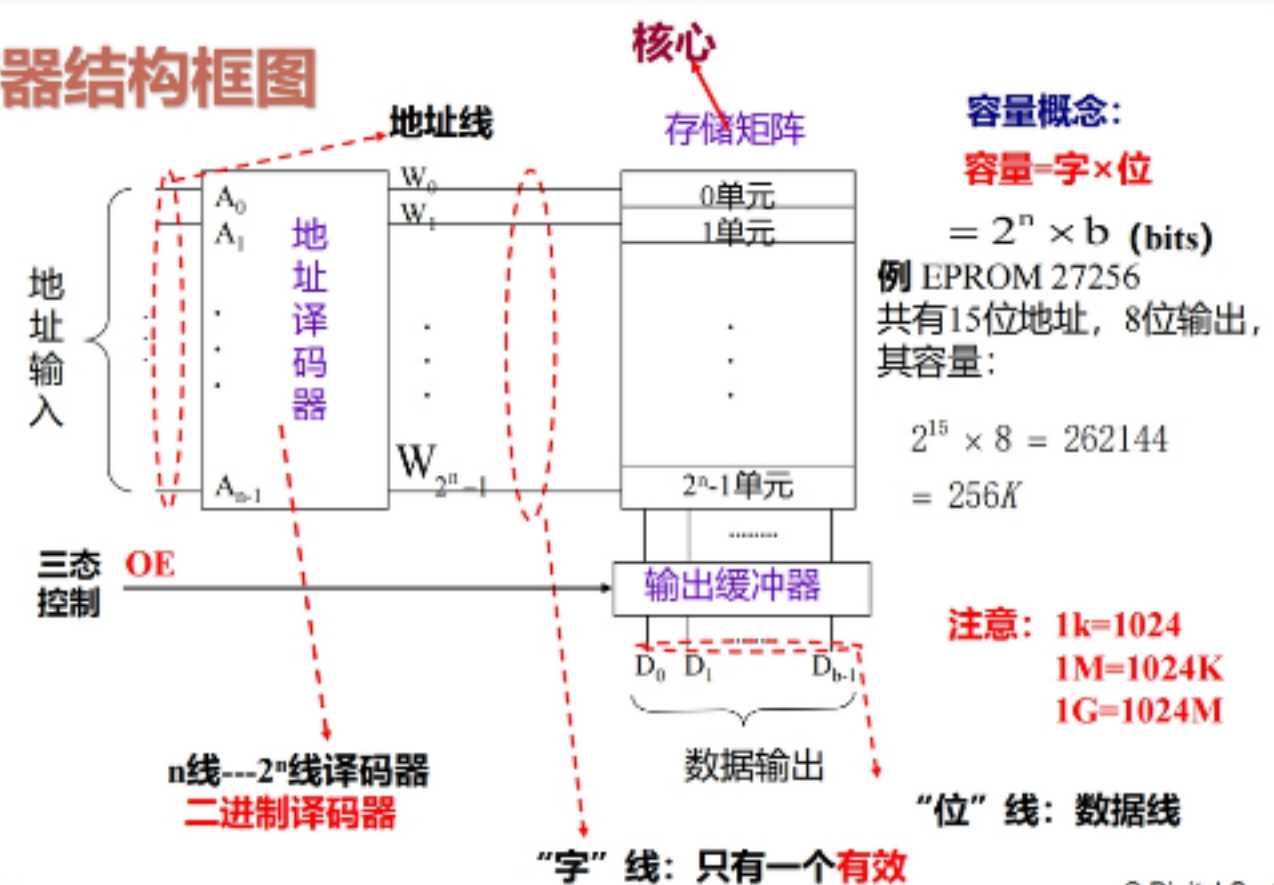
施密特触发器两个稳态

9. 无关项 { 约束项 \rightarrow 恒为 0
任意项 \rightarrow 0/1.

将这些恒等于 0 的最小项称为函数 Y_s 和 Y_L 的约束项。

14. 地址/内存计算问题

存储器结构框图



浙大数总

© Digital System Design

即求 64K 是几位。 $64 \times 1024 = 2^{16}$ \therefore 16 位线 ✓

15 控制部件的控制信号→微命令
一串微命令→微指令
执行部件操作→微操作

20-21:

- 1、三态门输出高阻时，其输出线上电压为高电平。X
- 2、逻辑式 $Y = (AB + CD)'$ 的对偶式为 $Y^D = ((A + B)(C + D))'$ 。X 4个非门？
- 3、可以通过接入滤波电容消除竞争-冒险现象且不会影响输出电压波形。X 确保自启动
- 4、一个1024*4位的SRAM中基本存储单元的数量为1024个。X
- 5、单稳态电路暂稳态维持时间的长短只取决于本身的参数，与触发脉冲无关。✓
- 6、为避免状态机运行中进入未定义的状态，设计时需要对所有可能状态进行完全编码。✓
- 7、在微码控制器中，微指令测试判别信息编码为“1”，表示执行这条微指令时要对系统的有关“状态标志”进行测试。✓
- 8、sa0-sa1模型可以覆盖集成电路中可能的所有故障，故将其作为一种标准模型。X
- 10、冯诺依曼结构将程序和数据存储分别放在不同的物理存储空间，具有更好的灵活性和稳定性。X
- 11、时序电路的扫描测试和自测试都不需要外部的测试向量就可以进行。X
- 12、流水线操作算法结构一定比并行算法结构所需要的运算时间少。X
- 13、不同的逻辑函数表达式其逻辑功能也不同。X
- 14、故障覆盖率定义为由测试序列检测到的故障总数除以电路的节点数。X 一个节点，sa0, sa1有2个！
- 15、CMOS与非门的多余脚悬空等效于低电平。X 不能悬空

$$\overline{AB + CD} = \overline{AB} + \overline{CD} \quad \overline{(A+B)(C+D)} = \overline{A+B} \cdot \overline{C+D}$$

∴ ABCD

2. 对偶规则定义：“.”和“+”互换，“0”和“1”互换，其余不变

3. 滤波电容会影响波形。

一、接入滤波电容

由于竞争-冒险而产生的尖峰脉冲一般都很窄(多在几十纳秒以内),所以只要在输出端并接一个很小的滤波电容 C_f (如图4.9.5(a)所示),就足以把尖峰脉冲的幅度削弱至门电路的阈值电压以下。在TTL电路中, C_f 的数值通常在几十至几百皮法的范围内。对于输出电阻较高的CMOS电路, C_f 的数值可以选得更小一些。

这种方法的优点是简单易行,而缺点是增加了输出电压波形的上升时间和下降时间,使波形变坏。

二、引入选通脉冲

第二种常用的方法是在电路中引入一个选通脉冲 p ,如图4.9.5(a)所示。因为 p 的高电平出现在电路到达稳定状态以后,所以 $G_0 \sim G_3$ 每个门的输出端都不会出现尖峰脉冲。但需注意,这时 $G_0 \sim G_3$ 正常的输出信号也将变成脉冲信号,而且它们的宽度与选通脉冲相同。例如,当输入信号 AB 变成11以后, Y_3 并不马上变成高电平,而要等到 p 端的正脉冲出现时才给出一个正脉冲。

4. SRAM: 1024*4: 4096个存储单元。

10、冯诺依曼结构将程序和数据存储分别放在不同的物理存储空间,具有更好的灵活性和稳定性 (X)

这题有两个错误

- 冯诺依曼结构是存放到相同的物理空间
- 具有更好的硬件效率
- 改成哈佛就对了

微处理器主要有两种结构,一种是冯诺依曼结构也称普林斯顿结构,一种是哈佛结构,两者的区别是前者将程序存储和数据存储放在同一物理存储空间,后者将程序存储和数据存储分别放在不同的物理存储空间。冯诺依曼结构具有更好的硬件效率,哈佛结构具有更好的灵活性和稳定性

11. 自测试不用外部向量
扫描需要

19-20

化简 $J = K'$

- 十进制数“29”用8位二进制补码表示为11100011。✓
- 若取 $J = K'$,则可仅用JK触发器构成D触发器。X 1个触发器→ $TQ' + T'Q$
- 在控制器的设计中,控制时序不能有多余状态,要达到状态最简。X
- 因为逻辑表达式 $A+B+AB=A+B$ 成立,所以 $AB=0$ 。X
- 任何布尔函数都可以用与非门实现。✓
- 静态RAM需要周期性刷新以保持数据。✓ X
- 对于任何一个逻辑函数来讲,其逻辑图都是唯一的。X
- 拥有8个状态的计数器内部至少要含有8个触发器。X
- 存储容量为128K*8位的RAM存储器,其地址线为7条,数据线为8条。X $2^{10} = 2^{17}$
 $128 = 2^7 \times 2^8 = 128$
- 将OD门的输出端直接相连,就可以实现线与结构。✓ X
- 同步时序电路和异步时序电路的主要区别是输出是否只与内部状态有关。X
- 对于一个n变量的逻辑函数,如果它的最小项表达式由k个最小项组成,则它的最大项将由 $2^n - k$ 个最大项组成。X 可能的来项
- 冯诺依曼结构相比于哈佛体系结构具有更好的灵活性和稳定性,而哈佛体系结构具有更好的硬件效率。X
- 时序电路的扫描测试和自测试都不需要外部的测试向量就可以进行。X
- 微处理器设计除了数据通路及控制器外,还需要设计指令集。✓

1. 29: 16+8+4+1 00011101
反码: 11100010
补: 11100011

2. $Q = JK' + J'K$

6. 静态RAM无须刷新。→ SRAM
动态RAM需要定时刷新→ DRAM

书P231

8. 平时学习的时候我们就用:

序号 Q_2 Q_1 Q_0
1 0 0 0
∴ 三个触发器2³种状态
8 1 1 1

9. 128K*8

地址线: $2^7 \times 2^{10} = 2^{17}$, 17条

数据线: 8条。

10. 缺上拉电阻:

的高、低电平 $V_{DD1}/0$ V变换为输出的高、低电平 $V_{DD2}/0$ V了。OD门的另一个重要应用是可以将几个OD门的输出端直接相连,实现线与逻辑。图3.3.33是用两个OD输出与非门 G_1 和 G_2 接成线与逻辑的例子。由图3.3.33(a)可见,当 Y_1 或 Y_2 任何一个为低电平时, Y 都为低电平;只有 Y_1 、 Y_2 同时为高电平时, Y 才为高电平,所以 Y_1 、 Y_2 和 Y 之间是与逻辑关系,即

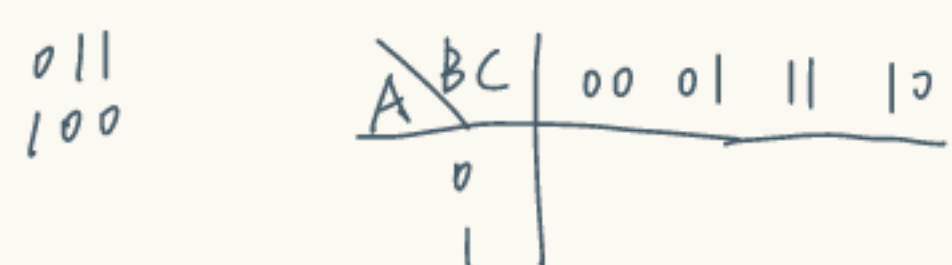
图3.3.33 OD输出门的线与及接法

12. 最小项和最大项互补。

18-19

1 和 0 同或 \rightarrow 0 和 0 同或 \rightarrow 1.

- 1. 2019 个 1 异或的结果再和 42 个 0 同或，得到的结果是 1。
- 2. 摩尔（Moore）型时序电路可以转化为米利（Mealy）型时序电路，反之则不行。
- 3. 产生尖峰脉冲是因为存在竞争现象，有竞争就一定会引起尖峰脉冲。
- 4. 最小项 $m_3(A'BC)$ 和 $m_4(AB'C')$ 具有相邻性。
- 5. 能够实现任何逻辑函数的逻辑门类型的集合，被称为逻辑门的完全集，与非门构成了完全集。
- 6. 一个存储容量为 32×4 位的存储器，可以实现四输入、五输出的逻辑函数。
- 7. 冯诺依曼结构使用共用的地址和数据总线，而哈佛结构使用分离的地址总线 and 数据总线。
- 8. 在不附加其他电路的情况下，JK 触发器和 T 触发器可以相互转换。
- 9. 数字系统中，并行算法结构一定比流水线操作算法结构所需要的运算时间少。
- 10. 可以用单稳态电路将不规则的矩形波变换为幅度与宽度都相同的矩形波。
- 11. CPU 的 ALU 需要时钟信号协助完成运算。
- 12. 时序图、状态转换图和状态转换表都可以用来描述同一个时序逻辑电路的逻辑功能，它们之间可以相互转换。
- 13. 一种处理器指令架构只有一种硬件实现方式。
- 14. 在测试电路中，边界扫描电路用于测试电路板的好坏，而内建自测试电路用于测试芯片内部的好坏。
- 15. 多个三态门电路的输出可以直接并接，实现逻辑与。



- 2. Moore 和 Mealy 可以互相转化；
- 6. 32 个地址: 2^5 ，最大处理 5 输入
4 位数据宽度，最大处理 4 输出
- 7. 两者区别是程序和数据有没有分开设置。
- 8. 复习一下触发器间转化：

JK 转 T，不用

JK 触发器特性方程:

$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

T 触发器特性方程:

$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

比较两特性方程，得转换逻辑：

$\begin{cases} J = T \\ K = T \end{cases}$

画电路图

T 转 JK，需要

$T = J\bar{Q} + KQ$ ，这个要推导不很方便

