**课程设计报告**

课程名称： 信息与电子工程导论 任课老师： 马蔚

课程设计名称： 基于三极管的4bit加法器制作 完成日期： 2024.4.14

第4小组

成员及分工：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 姓名 | 专业 | 学号 | 分工 | 贡献比 |
| 巩易谦 | 信息工程 | 3230105202 | 电路仿真、实物电路搭  建、电路调试等 | 0.3 |
| 廉心颖 | 信息工程 | 3230105808 | 资料查阅、实物电路搭  建、报告撰写等 | 0.3 |
| 李昕 | 信息工程 | 3230103034 | 电路仿真搭建和优化、实物电路搭建、报告撰写等 | 0.4 |

# 1 目的和要求

## 1.1 课程设计目的

（1）利用三极管搭建逻辑门、半加器、全加器、4bit 加法器等并进行仿真测试。

（2）探究逻辑门、半加器、全加器、4bit 加法器等的最简形式。

（3）依据仿真结果，用实物搭建并进行测试。

## 1.2 课程设计要求

参考视频“Making your own 4 bit computer from transistors”，设计一个 4bit 加法器，并在面包板上搭建用晶体管搭建。用 LED 灯的亮灭表示结果。亮表示 1，灭表示 0。

①利用三极管搭建逻辑门并进行仿真测试；

②利用逻辑门搭建一位半加器并进行仿真测试；

③在一位半加器的基础上搭建一位全加器并进行仿真测试；

④利用一位全加器进行适当地级联，搭建 4bit 加法器，并进行仿真测试；

⑤进行实物搭建并测试；

⑥提交实物和实验报告。

【搭建工作需通过以下材料完成】

三极管 100 只，1kΩ 电阻 50 只，10kΩ 电阻 100 只，发光管 5 只，电源 1 个，面包板（插孔为 64\*64）1 块，USB 连接线 1 根，万用表 1 只，跳线（有长的和短的）若干。

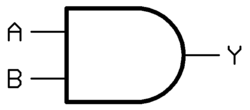
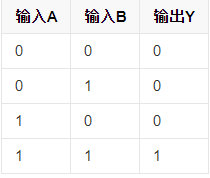
# 2 实验原理

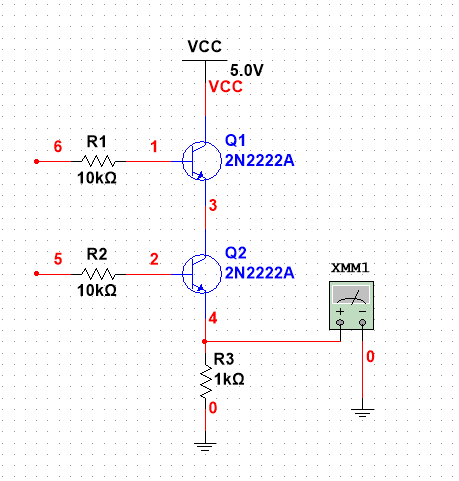
## 2.1基础逻辑门

### 2.1.1 与门

① 电路逻辑：

执行“与”运算的基本逻辑门电路。有多个输入端，一个输出端。当所有的输入同时为高电平（逻辑 1）时，输出才为高电平，否则输出为低电平（逻辑 0）。

② 电路实现：

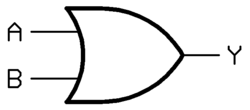
一般的三极管电路实现如右图1。当5，6脚都输入高电平之后，三极管Q1和Q2均导通，Vcc和3脚、3脚和4脚的电压差减小，4脚电压上升，出高电平，则出1.

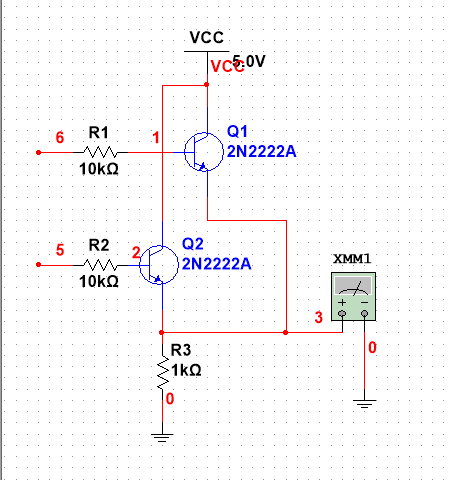
### 2.1.2 或门

① 电路逻辑：

图1 与门一般电路实现

几个条件中，只要有一个条件得到满足，某事件就会发生，这种关系叫做“或”逻辑关系。具有“或”逻辑关系的电路叫做或门。或门有多个输入端，一个输出端，只要输入中有一个为高电平 时（逻辑“1”），输出就为高电平（逻辑“1”）；只有当所有的输入全为低电平（逻辑“0”）时，输出才为低电平（逻辑“0”）。

** **

② 电路实现：

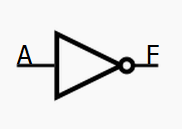
一般的三极管电路实现如右图2。当5，6脚其中一个输入高电平之后，三极管Q1或Q2导通，发射级的电平上升，即出高电平，则出1.

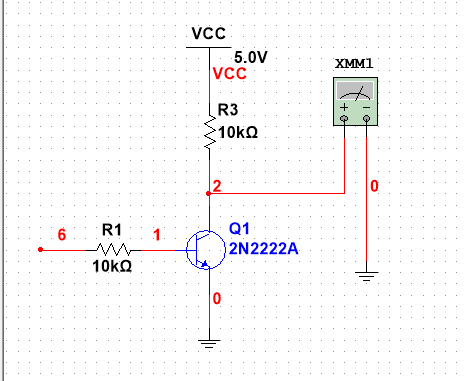
### 2.1.3非门

① 电路逻辑：

非门有一个输入和一个输出端。当其输入端为高电平（逻辑 1）时输出端为低电平（逻辑 0），当其输入端为低电平时输出端为高电平。也就是说，输入端和输出端的电平状态总是反相的。非门的逻辑功能相当于逻辑代数中的非,电路功能相当于反相,这种运算亦称非运算。

图2 或门一般电路实现

② 电路实现：

一般的三极管电路实现如右图3。当6脚其中一个输入高电平之后，三极管Q1导通，集电极的电平下降，出低电平，则出0. 反之，三极管截止，集电极为Vcc的高电平，出1.

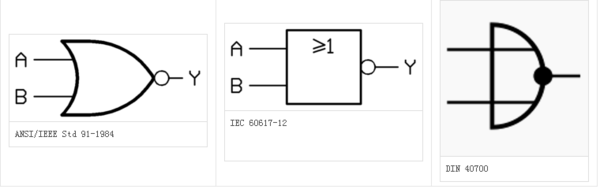
图3 非门一般电路实现

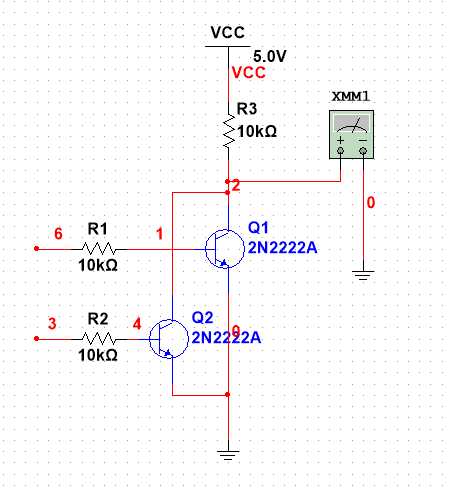
## 2.2复合逻辑门

### 2.2.1或非门

① 电路逻辑：

若输入均为低电平（0），则输出为高电平（1）；若输入中至少有一个为高电平（1），则输出为低电平（0）。或非是逻辑或加逻辑非得到的结果。或非是一种具有函数完备性的运算，因此其他任何逻辑函数都能用或非门实现。



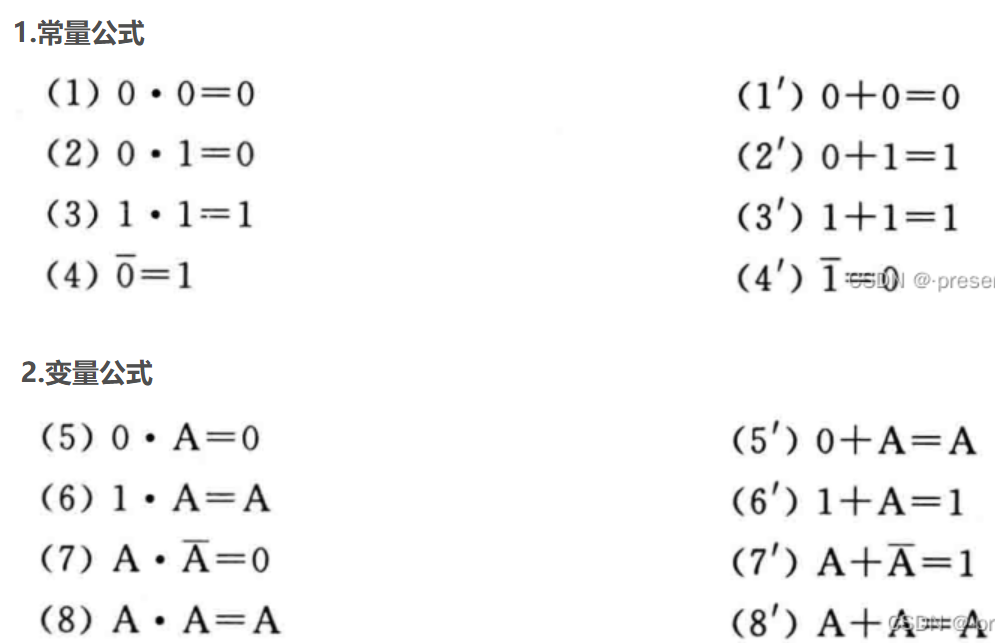
② 电路实现：

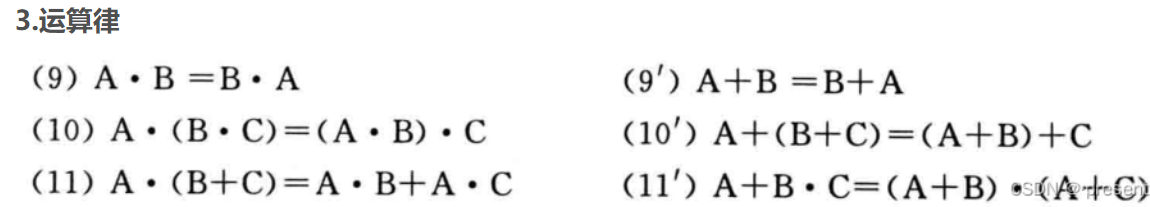
* 两个三极管Q1,Q2起到或门的作用
* 改变了R3的位置,起到非门的作用→3、6脚任意出1，Q1、Q2导通，2处电平降低，出0

图4 或非门一般电路实现

## 2.3 逻辑计算和德摩根定律

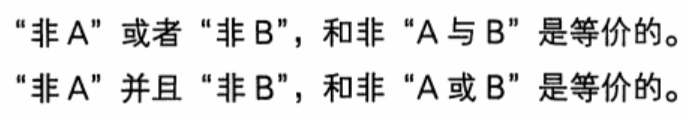
### 2.3.1逻辑代数基本公式





### 2.3.2德摩根定律

① 文字表述：



② 逻辑表达式：

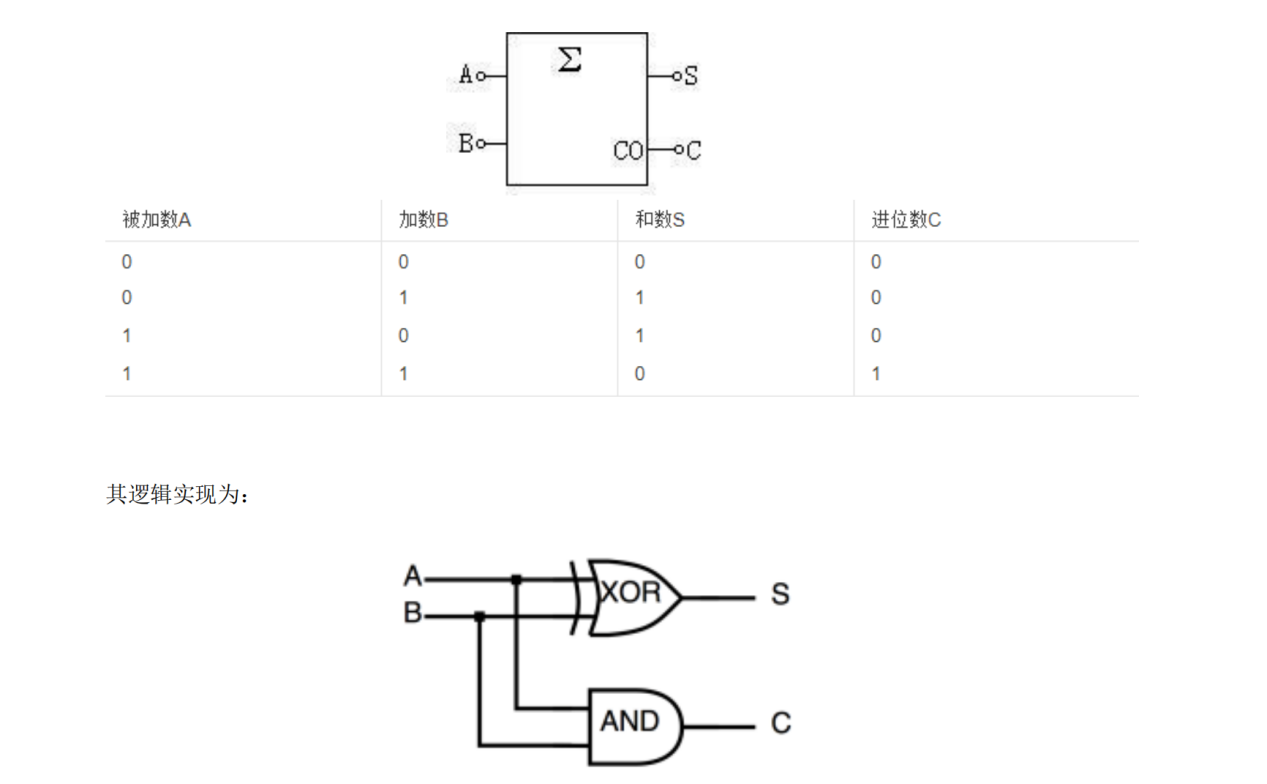


P.s.证明可以利用A、B的真值表，此处略。

## 2.4 半加器、全加器

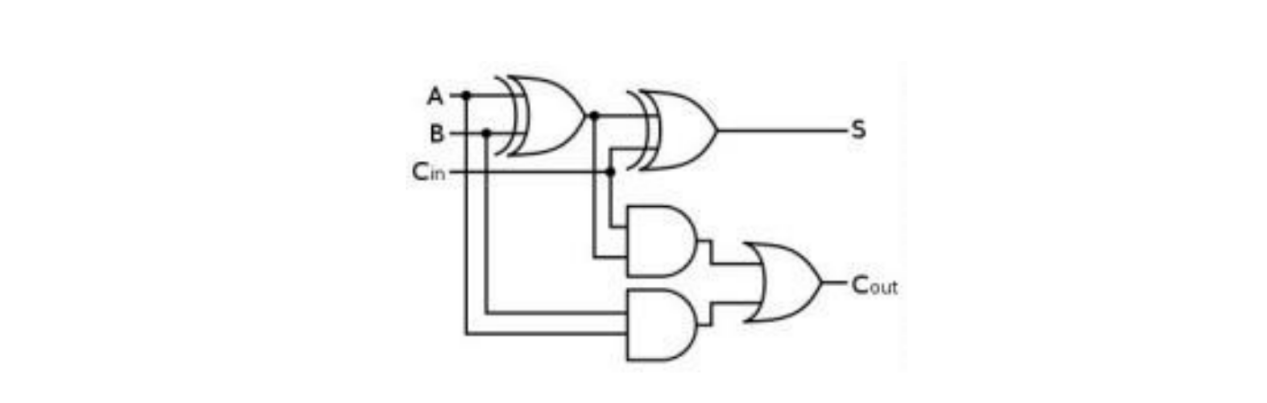
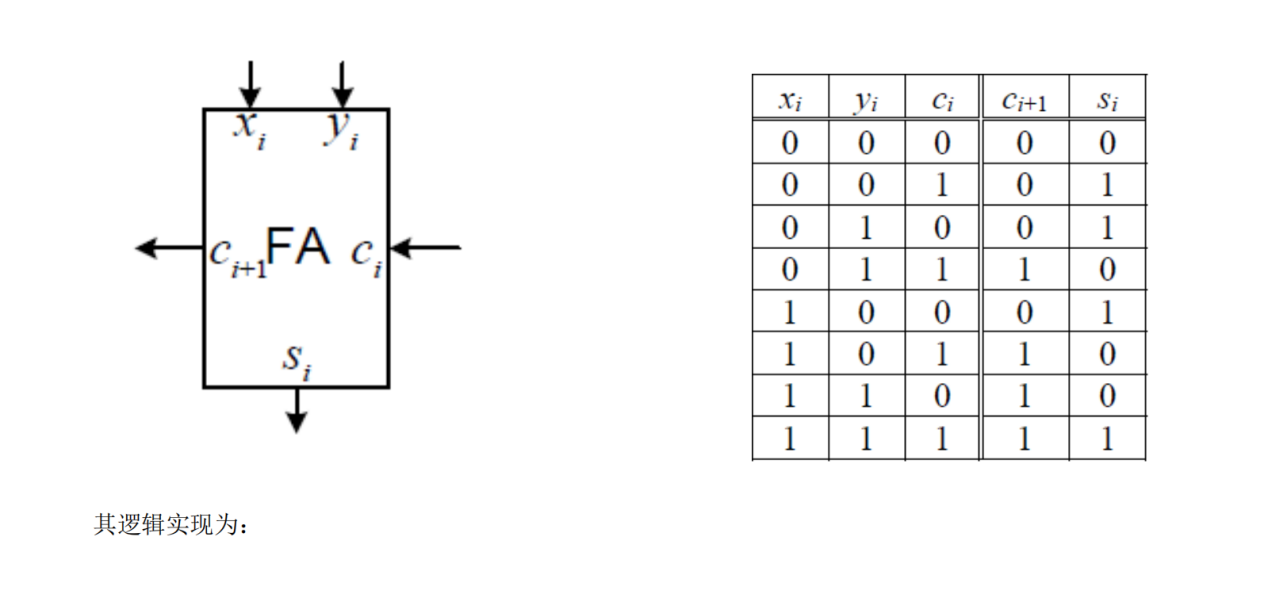
### 2.4.1半加器

半加器电路是指对两个输入数据位相加，输出一个结果位和进位，没有进位输入的加法器电路。是实现两个一位二进制数的加法运算电路。



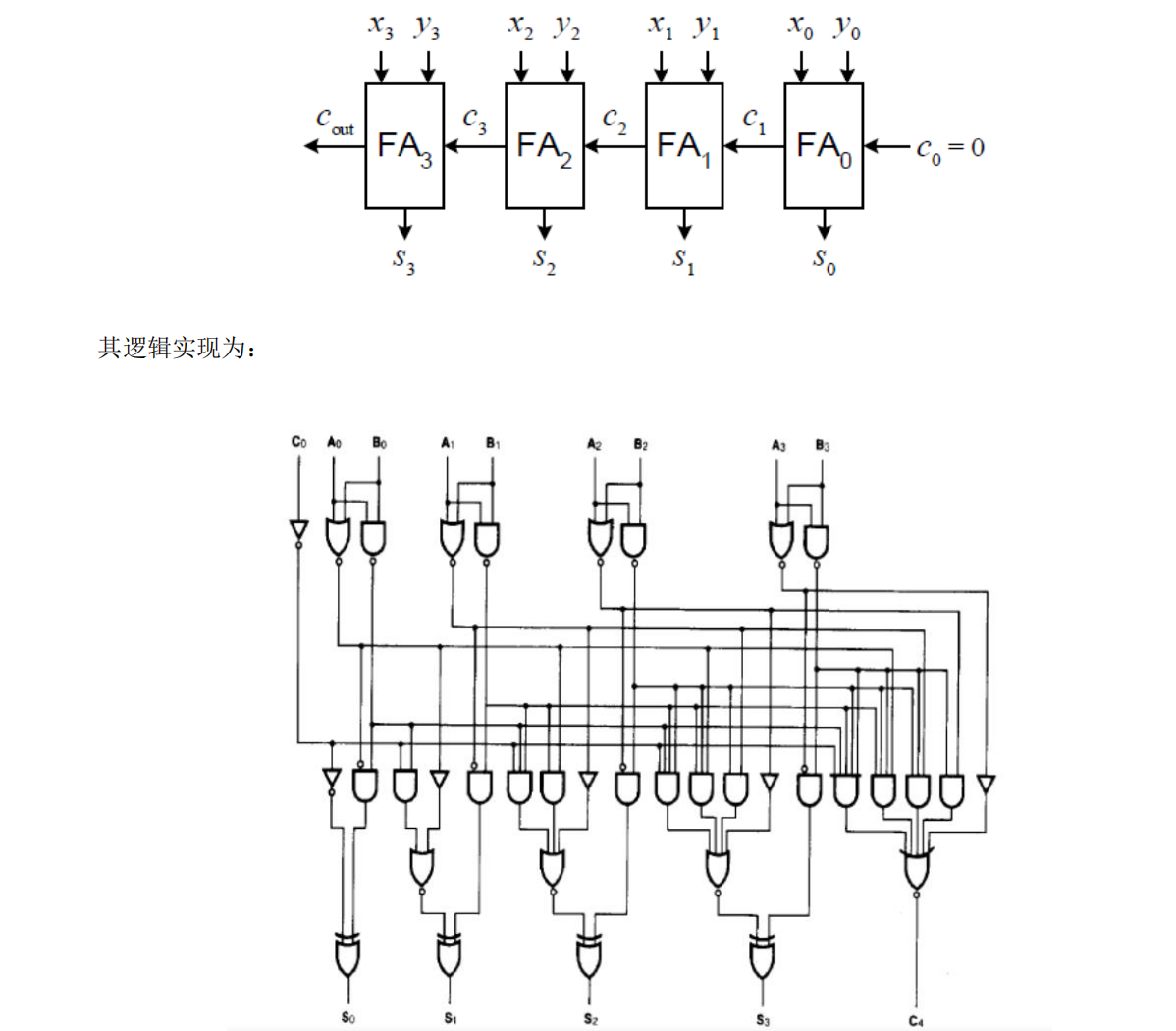
### 2.4.2全加器

是用门电路实现两个二进制数相加并求出和的组合线路，称为一位全加器。一位全加器可以处理低位进位，并输出本位加法进位。多个一位全加器进行级联可以得到多位全加器。



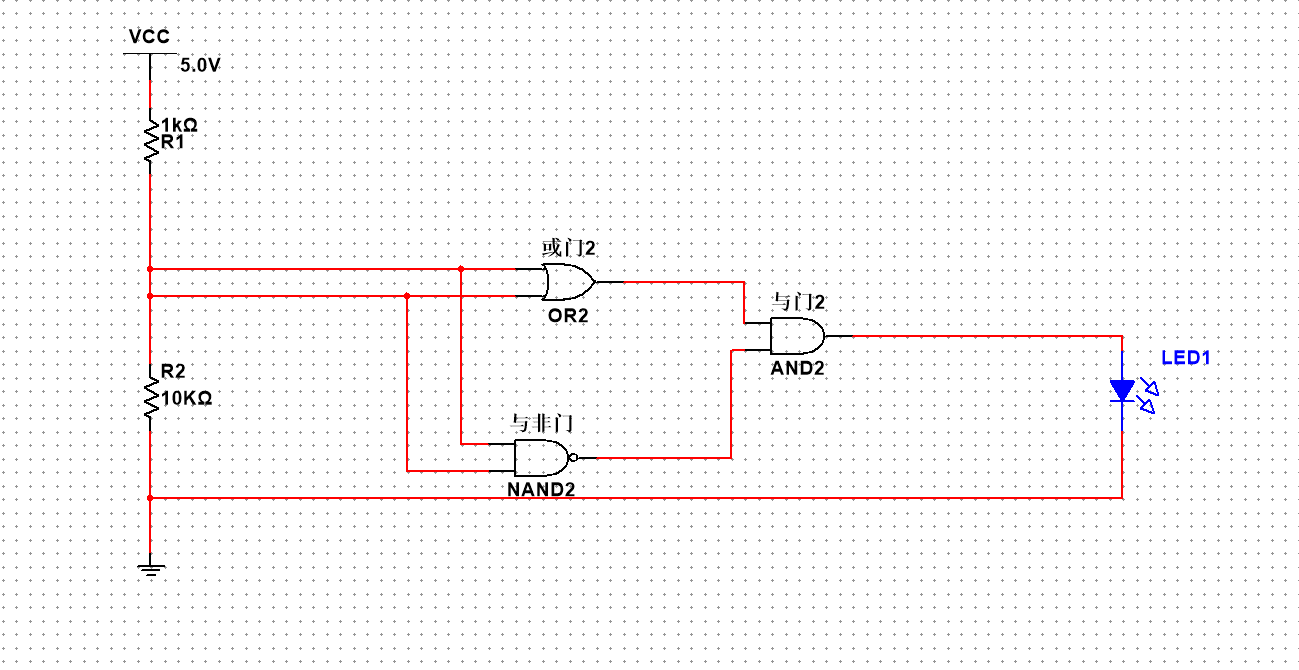
### 2.4.3串位加法器

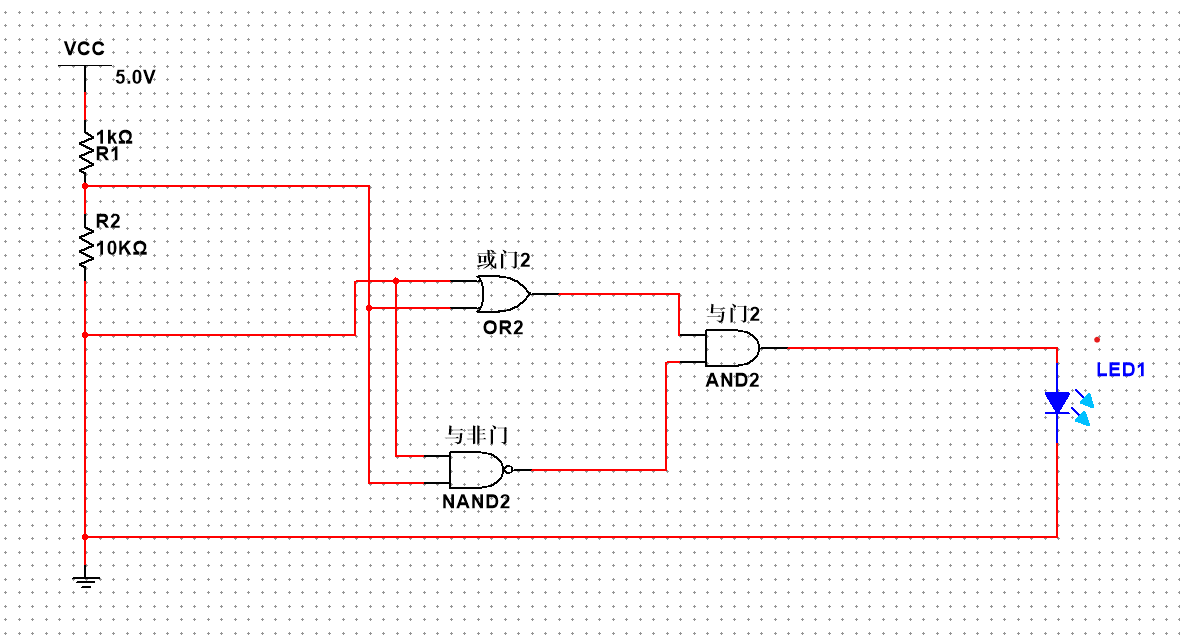
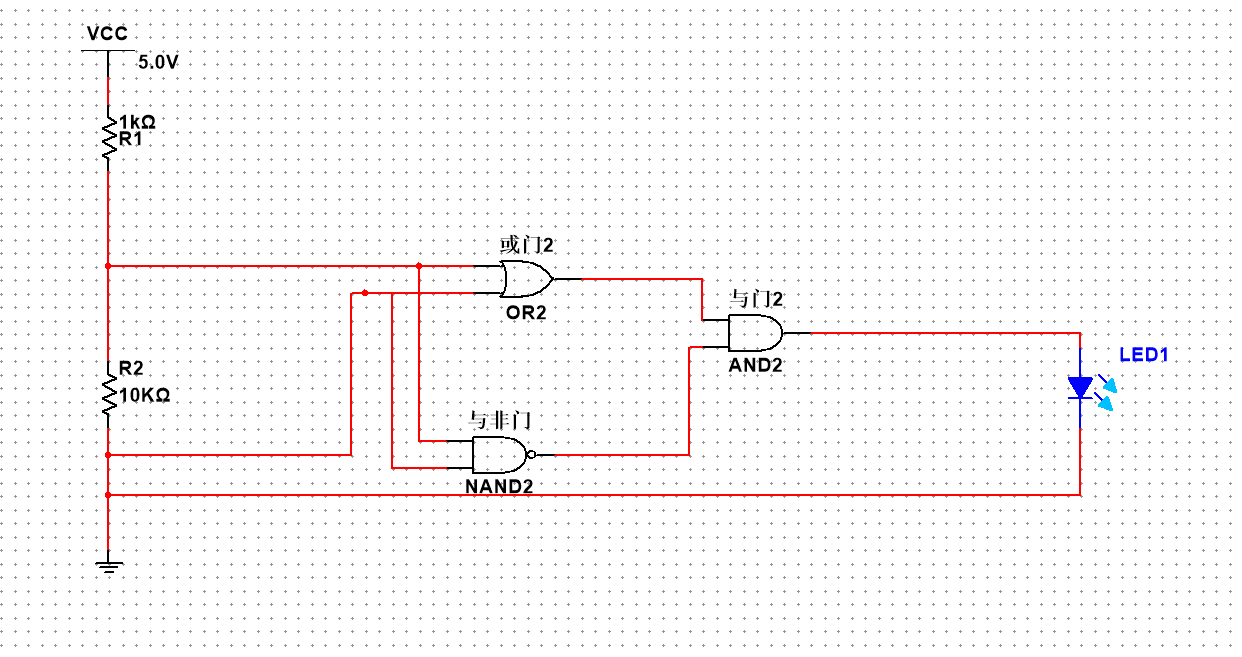
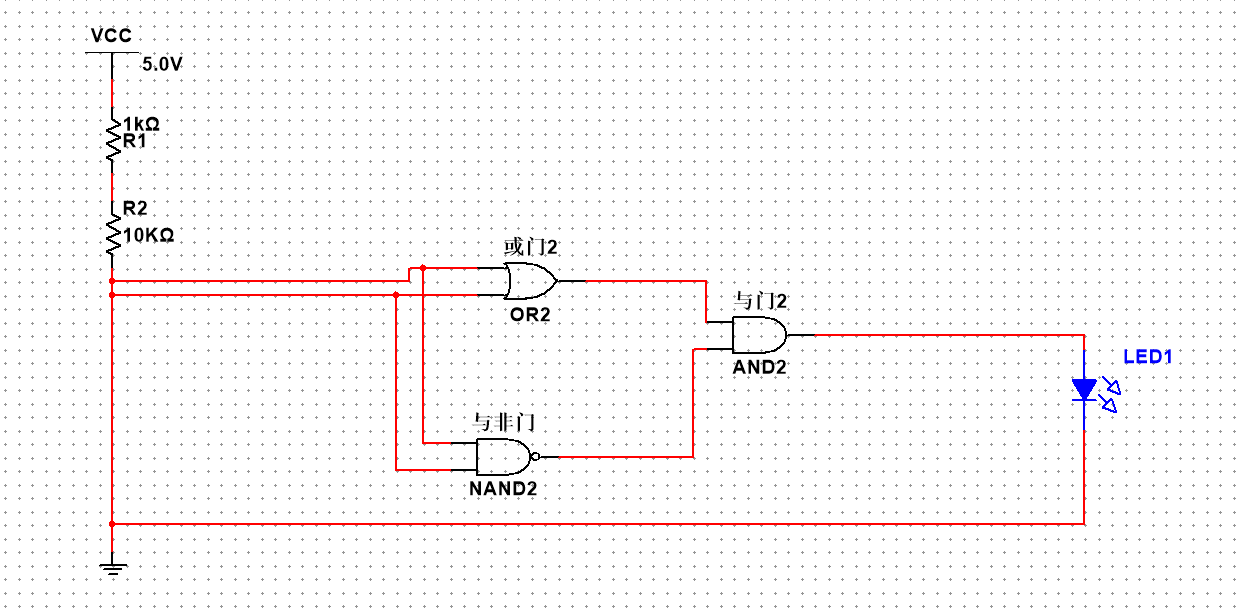
全加器适用于两个位宽为 1 的运算数。如果需要对于位宽数大于 1 的运算数，如位宽为 4 的运算数进行运算，可以把 4 个全加器的输入和输出信号分别串行相连，构成一个多位的全加器。



1. **异或门**

**其对应的电路实现为：**





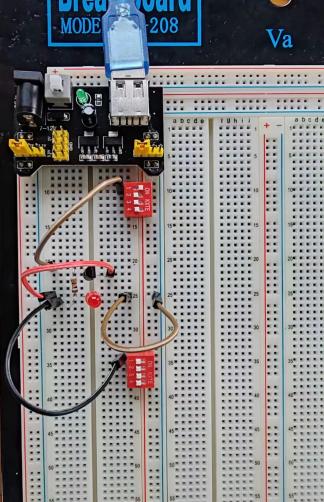
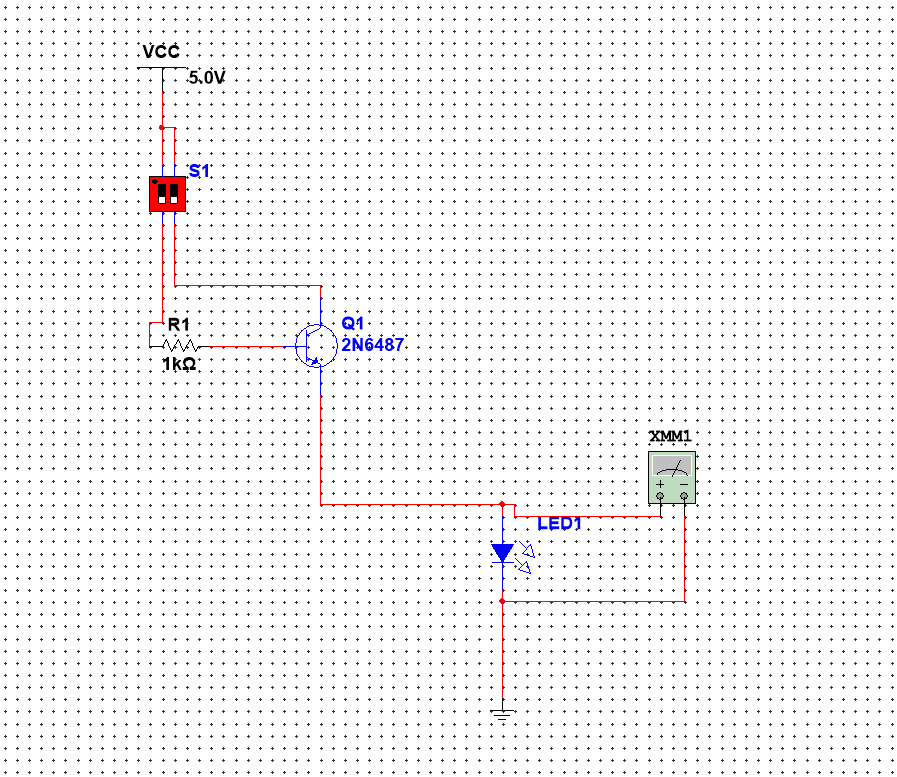


**3 内容**

1. 逻辑门电路的优化、仿真与搭建
2. 搭建一位半加器并进行仿真测试
3. 在一位半加器基础上搭建一位全加器并进行仿真测试
4. 对全加器进行适当级联，搭建4­bit加法器，并进行仿真测试
5. 在仿真测试基础上进行实物电路搭建并测试

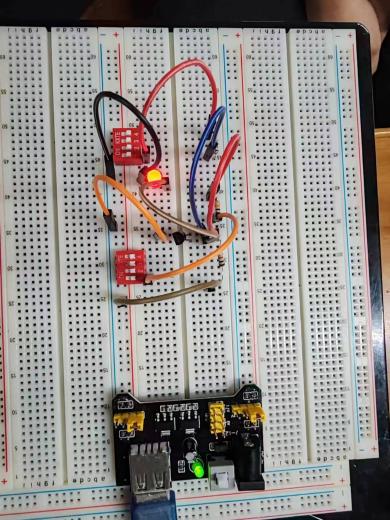
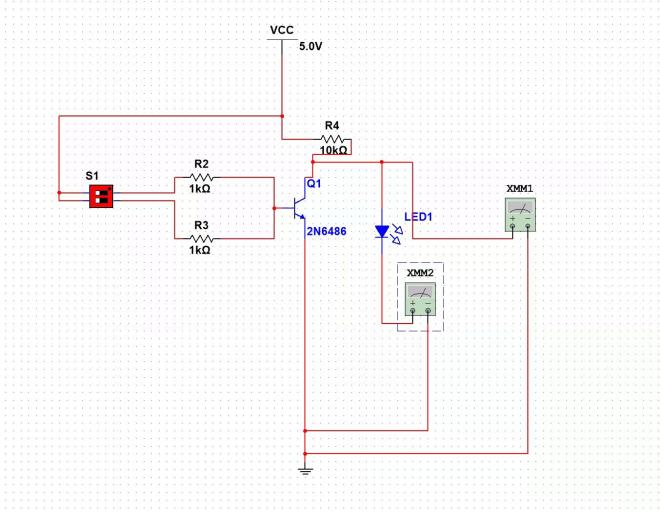
【与门的优化、仿真与搭建——只用一个三极管】

VCC分别接到三极管的基极和集电极，在基极通电时，LED虽然可亮，但是很暗。基极，集电极同时通电时，LED亮度高。可通过区分明暗判断输入的类型。



【或非门的优化、仿真与搭建——只用一个三极管】

或非逻辑门只有在输入0，0时才输出1;此时三极管不导通。而一旦有1输入，三极管导通，电流从三极管通过，相当于二极管被短路。



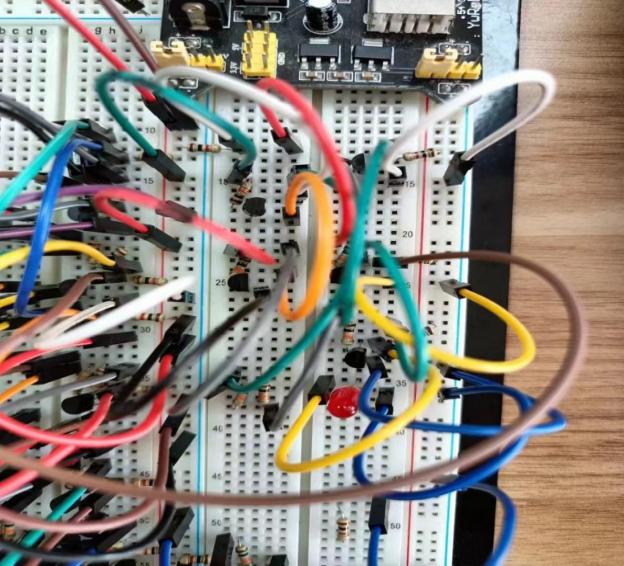
半加器仿真及测试

全加器仿真及测试

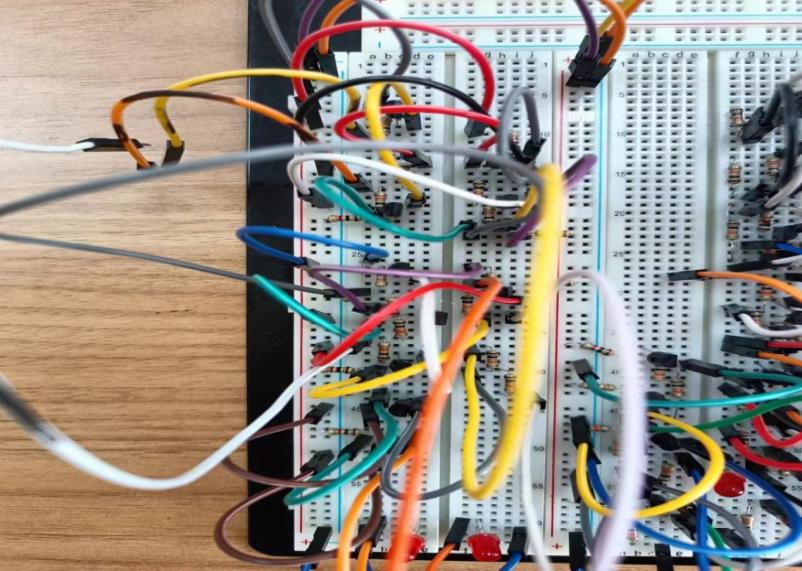
4­bit加法器设计、仿真及测试

**4 结果和分析**

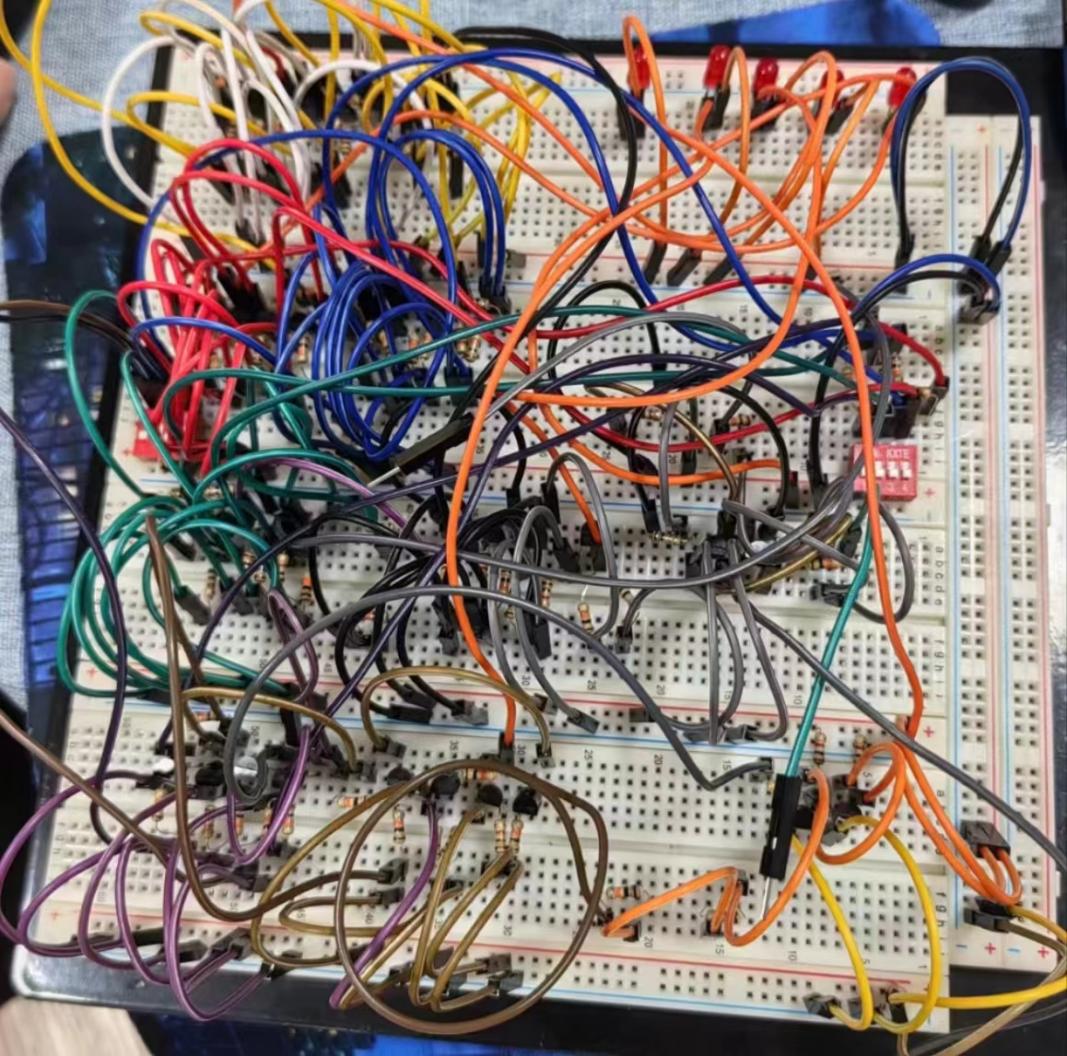
半加器实物电路结果



全加器实物电路结果



4­bit加法器实物电路结果



4­bit加法器实物电路测试结果

**5 结论**

从逻辑门电路的仿真、测试与电路搭建，到半加器的实现，再到全加器、4bit加法器的仿真与搭建，最后我们进行调试并且使4bit加法器能够较好地进行四位二进数的加法计算。

学习体会：

1. 通过整个流程的了解、学习、实践与实现，我们学会了如何运用基本逻辑门电路实现更复杂的计算功能，根据三极管在截止状态和饱和状态的特性，利用截止状态与饱和状态之间的转换实现了三极管的开关作用，初步实现了数字电路的计算与验证。
2. 在仿真与设计过程中，我们更好地掌握了各种工具的运用，这不仅降低了我们设计电路时的运算量，还避免了搭建实物电路过程中的时间、精力与器件的消耗，非常有效地提高了我们的设计效率。
3. 在仿真电路设计模拟与实物电路搭建的过程中，我们遇到了许多困难与挑战。不断思考与解决新问题的过程，使我们对整个实践有了更深刻的认识，对知识有了更好地掌握。同时整个过程很好地锻炼了我们的耐心，培养了我们面对问题与挑战时的毅力与能力。
4. 在整个设计搭建的过程中，我们将整个流程分步、分工并进行协作，这很好地培养了我们团队合作能力并提高了我们的沟通交流能力，使得我们在今后的合作中能够更好地找到自己的定位，取长补短，分工协作，得到最终结果的最优化。

反思：

在这次实验中，我们搭建的电路仍存在电路设计较为复杂、实际电路不够美观、实际电路接触不稳定等情况，这都是我们在今后的学习生活中需要不断改进完善之处。