Nom : AIDER Prénom : Smail

*N°Etudiant* : 3603379

Parcours : SAR

Responsable : M Alain Greiner



# Compte-Rendu TP4 Caractérisation et dimensionnement des caches

# C) Système mémoire presque parfait

#### **Question C1:**

- 246 sets
- 16 mots par ligne
- 4 niveaux d'associativité
- → le temps d'exécution de l'application est de : 75725 cycles.

# **Question C2:**

Le taux de MISS:

Cache instruction : 0.000581426
 Cache de données : 0.00155106
 La valeur du CPI : 1.3342

Le taux de MISS ne sont pas constant.

Le taux de MISS diminue au fil du temps. En effet, comme les caches sont très grands, le type de MISS qui parvient est le MISS compulsif, du au chargement des adresses pour la première fois.

#### **Question C3:**

#### Calcule du:

- CPI = nombre total du cycles / nombre total d'instructions
- Taux de IMISS = nombre total de IMISS / nombre total d'instructions
- Taux de DMISS = nombre total de DMISS / (nombre total de lecture nombre de total de lecture des données uncachable).

# D) Influence de la capacité du cache instruction

## **Question D1:**

Cache de données de 64 Kbytes.

ISETS	IMISS RATE	IMISS COST	CPI	Durée Totale
256	0.00102235	16.5862	1.33648	75821
64	0.0224879	15.8855	1.697	94253
16	0.0964379	15.5223	2.91115	150783
4	0.125334	15.4109	3.37571	170355
1	0.242697	15.0362	5.22167	238625

Plus le nombre de lignes (sets) diminue, plus la durée du programme et le CPI augmentent. Ceci est du à l'augmentation de taux de miss. Par contre le cout de miss reste presque inchangé.

## **Question D2:**

- IMISS COST = nombre total de cycles de gel instruction / nombre total de miss instruction → Le cout de miss à une valeur non entière car il correspond à une moyenne.

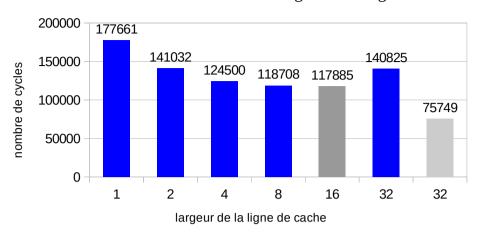
# E) Influence de la largeur de la ligne de cache

## **Question E1:**

Cache de données de 64 Kbytes

ISETS	IWORDS	IWAYS	Durée Totale
256	1	1	177661
128	2	1	141032
64	4	1	124500
32	8	1	118708
16	16	1	117885
8	32	1	140825
32	32	1	75749

durée d'exécution en fonction de la largeur de la ligne de cache



La configuration la plus efficace est celle ou il y a un équilibre entre la largeur de cache et le nombre de sets. On le voit très bien sur la configuration (ISETS-IWORDS) : (16-16) mais aussi sur (32-32).

# F) Influence de la capacité du cache de données

## **Question F1:**

Cache Instruction de 64 Kbytes.

DSETS	DWORDS	DWAYS	Durée Totale	DMISS RATE	DMISS COST	CPI
256	8	1	75796	0.00266485	16.2093	1.33545
64	8	1	76332	0.00451565	17.274	1.34489
16	8	1	101807	0.0905854	17.1067	1.79373
4	8	1	153010	0.232168	16.4671	2.69588
1	8	1	244871	0.403676	15.9252	4.31438

Plus le nombre de lignes (sets) diminue, plus le temps d'exécution, le CPI et le taux de miss augmentent.

Il n'y a pas une grande différence sur le cout de miss de données.

## G) Influence de la profondeur du tampon d'écritures postées

#### **Question G1:**

Le tampon d'écriture postées est une FIFO. Elle stocke toutes les informations nécessaires pour effectuer l'écriture. Une requête d'écriture nécessite :

- L'adresse à laquelle il faut écrire
- La donnée à écrire
- Le nombre de mots à écrire

Lorsque le tampon d'écriture postées est plein, une requête d'écriture va suspendre le processeur.

Quand le processus fait une requête de lecture (instruction ou donnée) qui fait miss, alors que le tampon d'écriture est non-vide :

- Il faut commencer par vider le tampon d'écriture postées pour une raison de **consistance** des données. En effet, ceci est nécessaire dans le cas d'un cache avec une politique WRITE-BACK.

#### **Question G2:**

WBUF DEPTH	Durée Totale	СРІ	WRITE COST	WRITE RATE
1	78847	1.3892	0.463371	0.139014
2	76619	1.34995	0.118504	0.139014
4	75725	1.3342	0	0.139014
8	75725	1.3342	0	0.139014

Le cout des écritures correspond au nombre de cycles de gel du processeur lorsque le tampon d'écriture postées est plein.

- WRITE\_COST = nombre de cycle de gel sur une demande d'écriture / nombre d'écriture. Le cout des écritures dépends de nombre de cycles de gel, le nombre d'écriture étant une constante.
- → Donc le WRITE\_COST est proportionnel au nombre de cycles de gel de processeur.