

AIC HW1

110011222 陳立珩

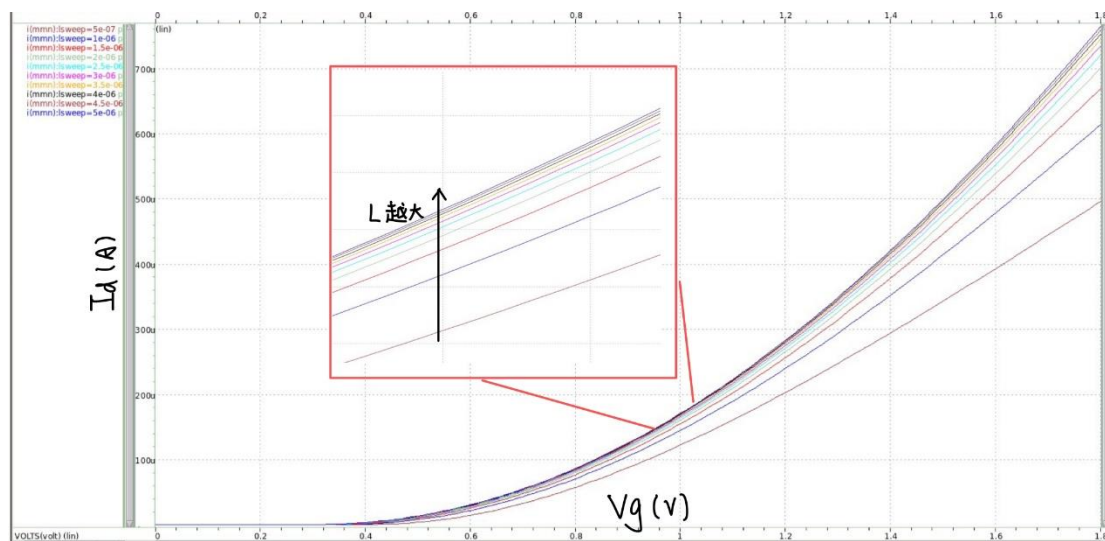
$$\text{NMOS: } I_{DS} = \frac{1}{2} \times \mu_n C_{OX} \times \frac{W}{L} (V_{GS} - |V_{th}|)^2 (1 + \lambda V_{DS}) \dots\dots ①$$

$$\text{PMOS: } I_{SD} = \frac{1}{2} \times \mu_p C_{OX} \times \frac{W}{L} (V_{SG} - |V_{th}|)^2 (1 + \lambda V_{SD}) \dots\dots ②$$

PART(1)

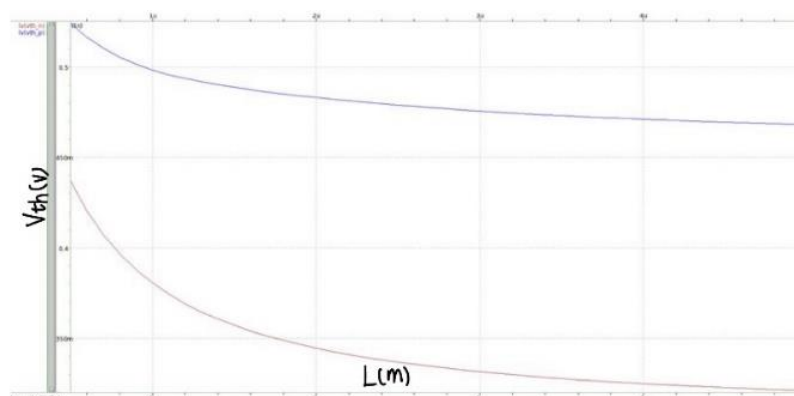
NMOS:

下到上的 5 條線分別對應由小到大的 5 種 L



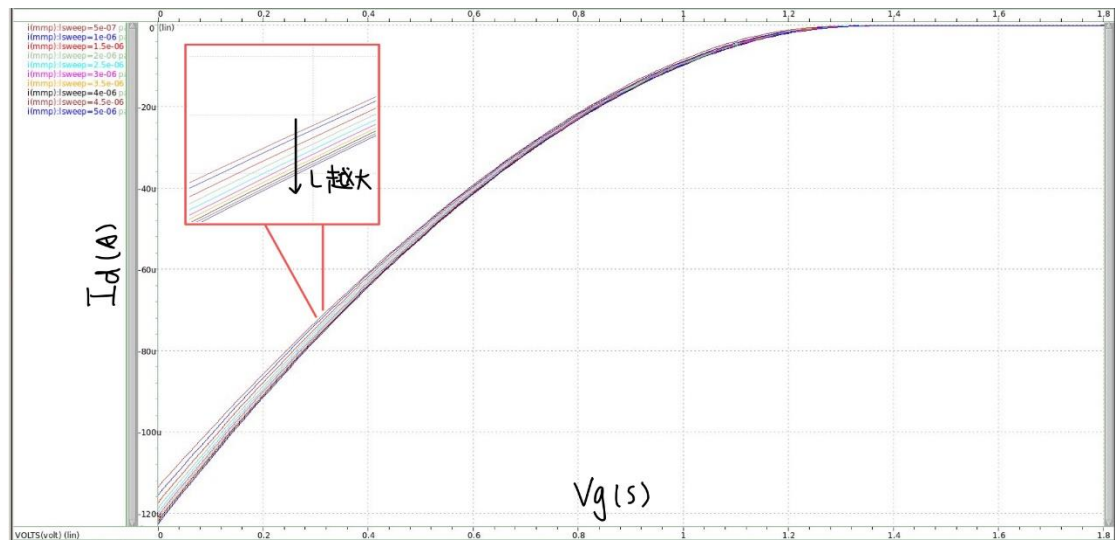
此架構 mos 會一直處於 saturation region ($V_{GS} - V_{TH} < V_{DS} = V_D - V_S = 1.8\text{V}$) 根據電流公式①，其中 $\frac{W}{L}$ 維持相同比例關係，接下來就是要確認 length 對於 V_{th} 的影響，於是再跑了另一張 V_{th} vs channel length 的圖(橫軸為 channel length (m)，縱軸為 $|V_{th}|$ (v) 如下)，可以發現當 length 越大時 V_{th} 越小(此原因 part2 (1) 有提到)，根據電流公式在相同 V_{GS} 下，當 length 越大 I_d 也會越大，而如果考慮同一 length 則是 V_{GS} 越大則 I_d 越大，關係呈現 $(V_{GS} - V_{TH})^2$ 指數(平方)增加。

圖中可以發現 length = 5um 時 I_d 會最大，隨著 length、 V_{GS} 越來越大， I_d 越來越大。



PMOS:

下到上的 5 條線分別對應由大到小的 5 種 L

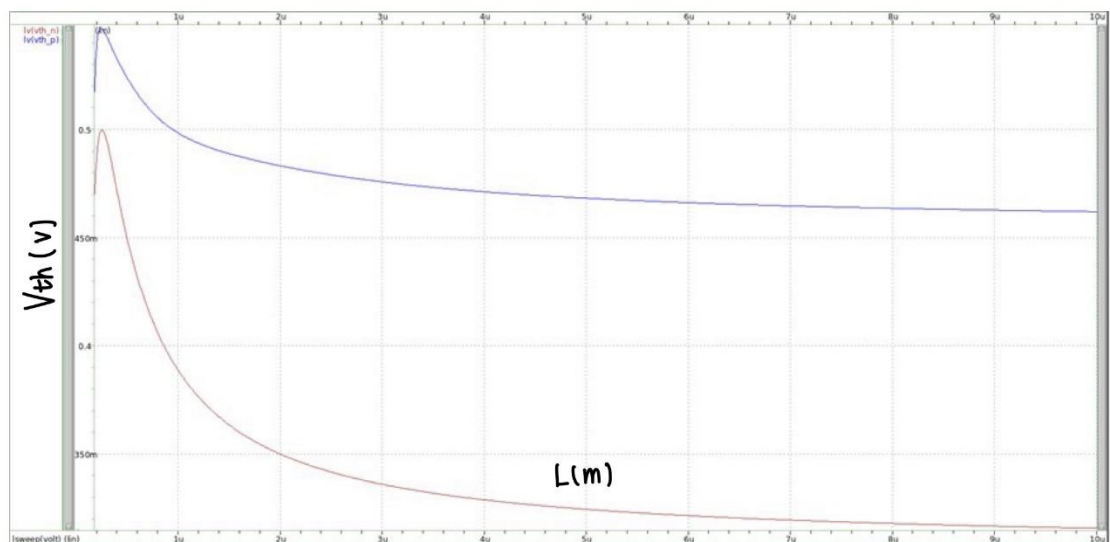


pmos 也會一直處於 saturation region ($V_{SG} - |V_{TH}| < V_{SD} = V_S - V_D = 1.8V$) 根據電流公式②可以得到與 nmos 相似的結果，在 V_{SG} 固定下，length 越大 $|V_{TH}|$ 則會越小，使得 $|I_{SD}|$ 越大；在 length 固定下， V_{SG} 越大 (V_G 越小，因為 $V_{SG} = V_S - V_G = 1.8 - V_G$) $|I_{SD}|$ 越大， $|I_{SD}|$ 和 $(V_{SG} - |V_{th}|)^2$ 呈現平方關係增加。

PART(2)

(1)~(4) 棕線為 NMOS 藍線為 PMOS

(1) Threshold voltage V_{th} (V) v.s L (m)



- 觀察圖可得，當 $0.180\mu m \leq \text{channel length} \leq 0.239\mu m$ ，NMOS 的 $|V_{th}|$ 和 L 成正相關，當 $\text{channel length} \geq 0.239\mu m$ ，NMOS 的 $|V_{th}|$ 和 L 成負相關。

2. 觀察圖可得，當 $0.180\mu\text{m} \leq \text{channel length} \leq 0.251\mu\text{m}$ ，PMOS 的 $|V_{th}|$ 和 L 成正相關，當 $\text{channel length} \geq 0.251\mu\text{m}$ ，PMOS 的 $|V_{th}|$ 和 L 成負相關。
3. 觀察圖可得，PMOS 的 $|V_{th}|$ 恆比 NMOS 的 $|V_{th}|$ 的值來的大。
4. 因為電子的流動性比電洞高，故 $|V_{thp}| > |V_{thn}|$ ，與 3. 的結果相符。
5. 當 channel length 太小時，NMOS 和 PMOS 會發生 **roll-off** 的現象，故 $|V_{th}|$ 隨著 channel length 增加而上升，與 1. 和 2. 的觀察相符。
6. 隨著 channel length 增加， $\text{aspect ratio}(=W/L)$ 保持不變。
7. 當 V_{DS} 與 V_{GS} 固定時， drain current 正比於 $(V_{GS} - V_{th})$ 和 aspect ratio 。
8. 因為 MOS 的 drain 都接一個 $50\mu\text{A}$ 的電流源，故其 drain current 趨近定值。
9. 實際需要考慮 $\text{channel-length modulation}$ 時，因為 λ 值反比於 channel length ，故由式①和式②可知， V_{th} 隨著 channel length 增加而減少。
10. 觀察上圖，NMOS 的 V_{th} 變化幅度較 PMOS 明顯。

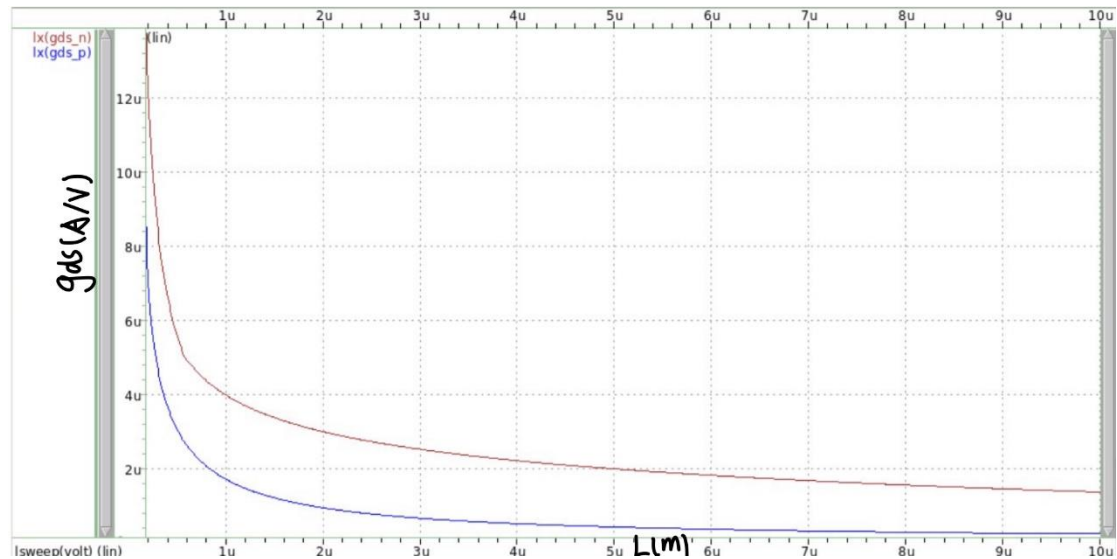
roll-off:

根據查找的網路資料，這是因為 MOSFET Charge Sharing Model 造成的，當 L 較小時，source 和 drain 兩端的 depletion region 厚度就會大於 gate 底下的 depletion region 厚度，可以代替形成 channel 時所需的 depletion region，因此只要更少的 gate 電壓就能形成 channel，所以造成 V_{th} 變小，這個現象稱為 short-channel effect。

除此之外，為了減少 source 和 drain 的 depletion region，現代製成會讓 source 和 drain 附近的 doping 程度會比較高，造成 halo doping，在 L 較小時 source 和 drain 兩端的 halo doping 區域會重疊，造成整個 channel 的 doping 濃度較高，因此 V_{th} 會比較高，但隨著 L 上升，兩端的 halo doping 部分逐漸分開，直到兩者完全分離， V_{th} 也會隨著下降並收斂，這個現象稱為 reverse short-channel effect，所以在大約 L 大於 $3\mu\text{m}$ 時， V_{th} 就逐漸下降並收斂成一定值，NMOS 的 V_{th} 趨近 315mV ，PMOS 的 V_{th} 則趨近 460mV 。

(2) Output conductance g_{ds} (A/V) v.s L (m)

棕線為 NMOS 藍線為 PMOS

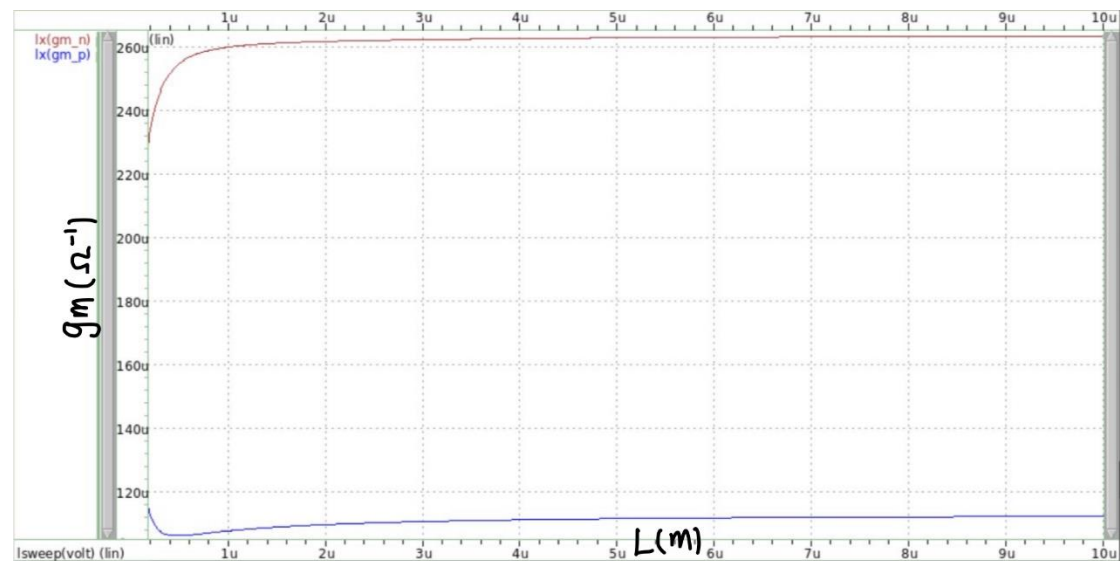


$$\text{MOS: } r_o \doteq \frac{1}{\lambda I_d} \dots\dots \textcircled{3}$$

1. 觀察上圖，當 channel length 增加時，NMOS 和 PMOS 的 g_{ds} 快速地下降並趨近一個定值。
2. 觀察上圖 NMOS 的 g_{ds} 永遠比 PMOS 的 g_{ds} 之值來的大。
3. 因為 MOS 的 drain 都接一個 50uA 的電流源，故其 drain current 趨近定值。
4. 由式 $\textcircled{3}$ 和 $\lambda \propto \frac{1}{L}$ 可知，當 channel length 增加時， λ 會減少，故 r_o 增加。
5. 由於 $g_{ds} = 1/r_o$ ，因此從 3. 和 4. 的結論可得，當 channel length 增加， g_{ds} 減少，和 1. 的觀察相符。
6. 因為 NMOS 的 λ 比 PMOS 的 λ 大(hspice 計算)，故從 $g_{ds} = 1/r_o$ 和式 $\textcircled{3}$ 可知，NMOS 的 g_{ds} 會比 PMOS 的 g_{ds} 大，與 2. 的觀察結果相符。

(3) Transconductance g_m (Ω^{-1}) v.s. L (m)

棕線為 NMOS 藍線為 PMOS



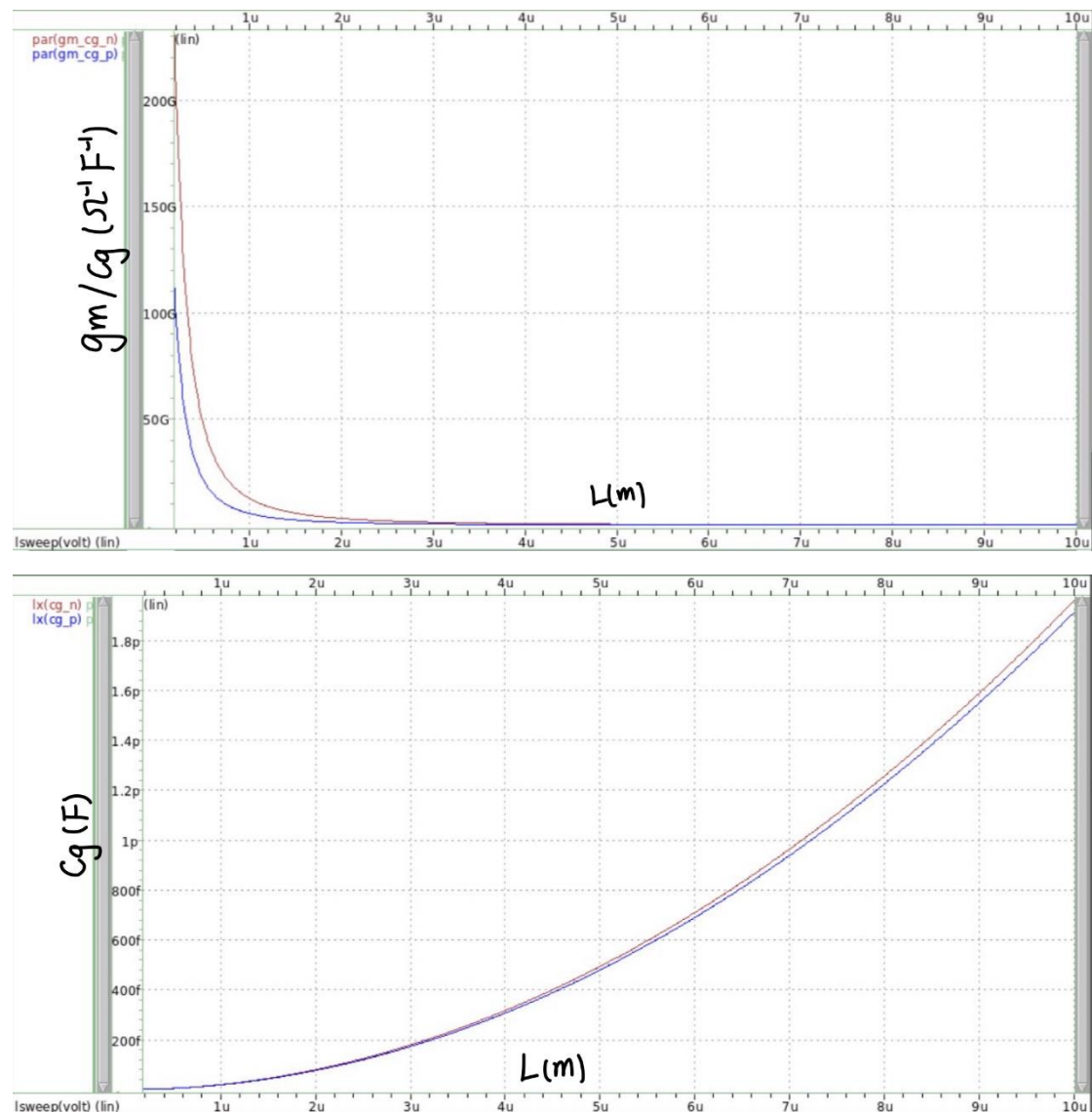
$$\text{NMOS: } g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_d} \dots\dots ④$$

$$\text{PMOS: } g_m = \sqrt{2\mu_p C_{ox} \frac{W}{L} I_d} \dots\dots ⑤$$

1. 觀察上圖，NMOS 的 g_m 在 channel length $\leq 1\mu\text{m}$ 時， g_m 隨著 L 增加而上升，且上升幅度愈來愈小。當 channel length $\geq 1\mu\text{m}$ 時，會緩慢上升並趨近一個定值 $g_m = 263\mu(1/\Omega)$ 。
2. 觀察上圖 PMOS 的 g_m 在 channel length $\leq 570\text{nm}$ 時， g_m 隨著 L 增加而下降至 $g_m = 106\mu(1/\Omega)$ 。當 channel length $\geq 570\text{nm}$ 時，會緩慢上升並趨近一個定值 $g_m = 112\mu(1/\Omega)$ 。
3. 觀察上圖 NMOS 的 g_m 之值恆大於 PMOS 之 g_m 值。
4. 在 $L < 1\mu$ 時 NMOS 的 g_m 卻有些許下降，推測是因為 L 變小時會讓電場上升使電子達到 saturation velocity，由 $V = \mu E$ 可推得， $E \uparrow \mu \downarrow$ 使得 g_m 下降。
5. 在 $L < 1\mu$ 時 PMOS 的 g_m 卻有些許上升，可能是因為 λ 也會因為 L 變小而上升，加上 $\mu_p < \mu_n$ 讓 λ 的影響蓋過了 μ_p 的影響。
6. 因為 MOS 的 drain 都接一個 $50\mu\text{A}$ 的電流源，故其 drain current 趨近定值
7. 隨著 channel length 增加，aspect ratio($=W/L$)保持不變。
8. 在 $\mu_n C_{ox}$ 和 $\mu_p C_{ox}$ 不變的情況下，由式④和式⑤可知， g_m 會趨向一個定值，此結果與 1. 和 2. 的觀察相符。

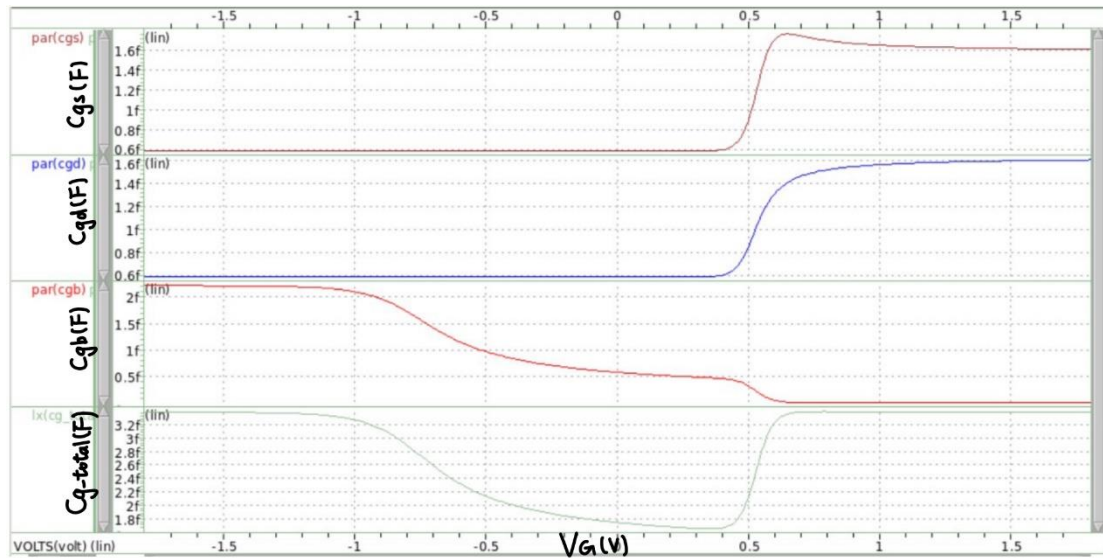
(4) Speed g_m/C_g ($\Omega^{-1} \cdot F^{-1}$) v.s. L (m)

棕線為 NMOS 藍線為 PMOS



1. 觀察上面第二張圖，可發現 $C_g = C_{gs} + C_{gd} + C_{gb}$ 隨 channel length 增加而上升。
2. 觀察上圖，可知當 channel length 增加時，NMOS 和 PMOS 的 speed 快速下降至一個定值，且 NMOS 的 speed 大於 PMOS 的 speed。
3. 由(3)可得，當 channel length 增加時， g_m 趨向一個定值。
4. 結合(3)、1. 和 3.，當 channel length 增加時， C_g 上升，使得 g_m/C_g 下降，也就是 NMOS 和 PMOS 的 speed 快速地下降，且由於當 channel length 不斷增加時， g_m 和 $1/C_g$ 都趨近定值，故其 speed 也趨近一個定值，此推論與 1. 和 2. 的觀察結果相符。

PART(3)



1. 此張圖可以分為兩個區域來查看，分為 cutoff 區和 linear 區。

2. 當 V_G 的電壓小於 V_{th} 為 **cutoff 區域**:

(a) C_{gb} vs L:

因為通道尚未形成，於是會有 gate 和 body 之間的電容其值大約為 $C_{ox}WL_{eff}$ ，在 V_G 為 -1.8 時，有最大的值，是因為在 gate 中所累積的負電壓和 substrate 中的電子所形成電場產生的電容。當電壓慢慢上升並且趨近於 0，gate 和 substrate 之間電場下降，造成電容值下降。當電壓值持續增加使得 $V_G > 0$ 後，電子開始被吸附至 source 和 drain 之間，直到當 $V_G = V_{th}$ ，此時進入 linear region。

(b) C_{gs} vs L、 C_{gd} vs L:

因為通道尚未形成，source 和 drain 只有與 gate overlap 的地方產生電容，值非常小大約為 $C_{ov}W$ ，其中 C_{ov} 為單位交疊電容值。

(c) C_{g_total} L:

$C_{g_total} = C_{gs} + C_{gd} + C_{gb}$ ，在 cut-off 狀況下，因為 C_{gs} 和 C_{gd} 只有 source 和 drain 與 gate overlap 的寄生電容值，所以 C_{g_total} 的變化趨勢與 C_{gb} 一致。

3. 當 V_G 的電壓大於 V_{th} 為 **linear 區域**:

(a) C_{gb} vs L:

通道形成，於是 gate 和 body 之間的電容消失，取而代之的是 gate 和通道之間的電容 C_{gc} ，此時 channel、drain、source 三者同電位。

(b) C_{gs} vs L、 C_{gd} vs L:

此電容 C_{gc} 值可以描述成 C_{gsc} 和 C_{gdc} 兩者電容並聯，所以 $C_{gsc} = C_{gdc} = \frac{1}{2}C_{ox}WL_{eff}$ ，加上原

先 overlap 產生的電容就是 C_{gs} 和 C_{gd} 的電容，如圖所示， C_{gs} 和 C_{gd} 在 linear 區電容值相等，大約 1.6f 左右。

(c) C_{g_total} L:

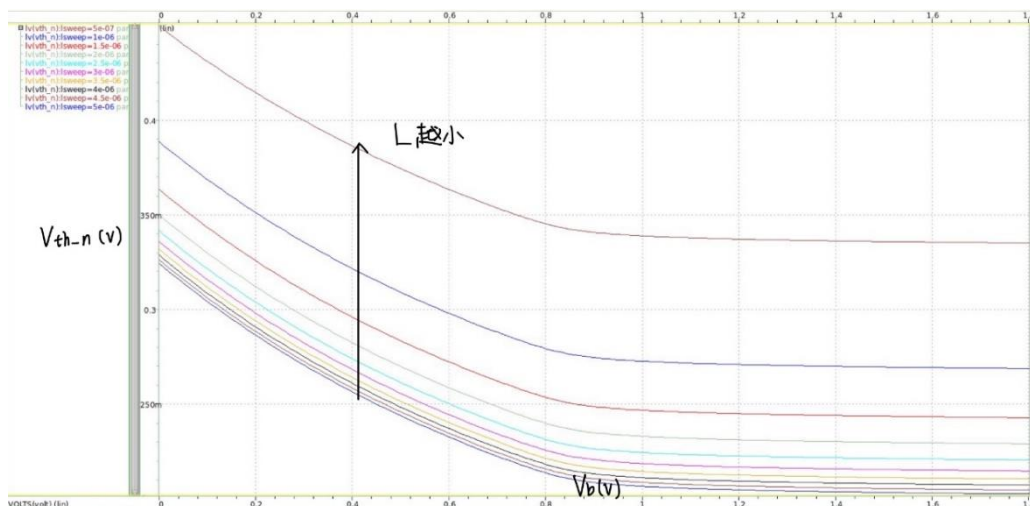
$C_{g_total} = C_{gs} + C_{gd} + C_{gb}$ ，在 $V_G > V_{th}$ 時， C_{g_total} 趨向穩定，大約在 3.35f 左右，而且大概是 C_{gs} 和 C_{gd} 值的總和。

4. 在 $V_G = V_{th}$ 的時候發現 C_{gs} 有一小段升高再下降，推測是因為當 $V_G = V_{th}$ 時，此時介在 saturation 和 linear 臨界值，我們知道進入 saturation 區域時 C_{gs} 會變得更大，當 $V_G > V_{th}$ ，又回到 linear 區域，電容又降了回來。

$$C_0 = C_{ox} W L_{eff}$$

Parameter	Cutoff	Linear	Saturation
C_{gb}	$\leq C_0$	0	0
C_{gs}	WC_{ov}	$C_0/2 + WC_{ov}$	$2/3 C_0 + WC_{ov}$
C_{gd}	WC_{ov}	$C_0/2 + WC_{ov}$	WC_{ov}
$C_g = C_{gs} + C_{gd} + C_{gb}$	$C_0 + 2WC_{ov}$	$C_0 + 2WC_{ov}$	$2/3 C_0 + 2WC_{ov}$

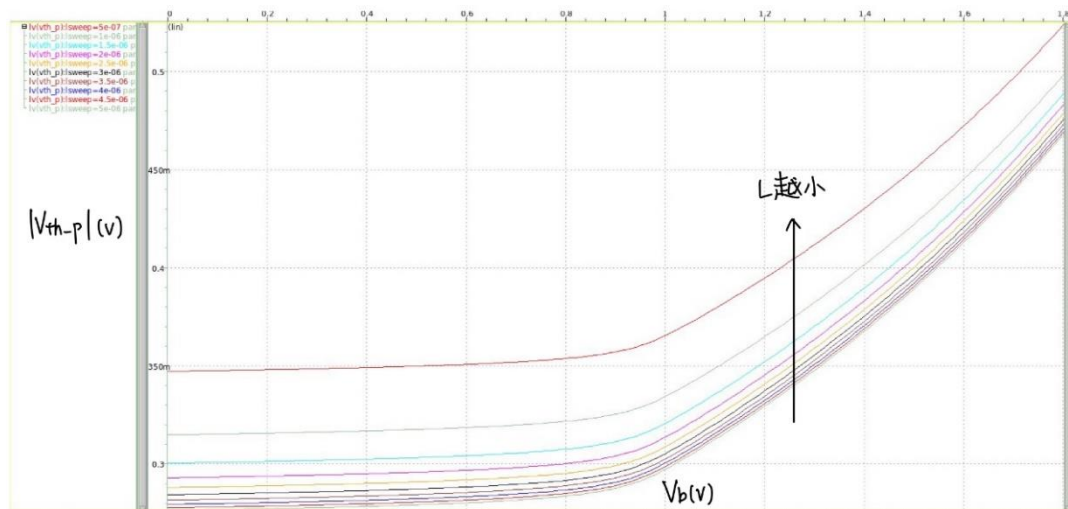
PART(4)



NMOS:(sweep channel length)

$$V_{th} = V_{th0,n} + \gamma(\sqrt{|2\Phi_F + V_{sb}|} - \sqrt{|2\Phi_F|}) \dots \textcircled{6}$$

1. 當 V_b 增加，在 γ 和 Φ_F 為定值的情況下， $|2\Phi_F + V_{sb}|$ 會變小，故從式 $\textcircled{6}$ 得知， V_{th} 會隨著 V_b 增加而減少。
2. 除此之外發現另一個有趣的事情， V_{gs} 的值也會隨著 V_b 而改變：
當溫度在 25 度時，其 built-in potential 為 0.8V，因此當 V_b 增加，pn junction 的效應愈明顯，故會產生漏電流。
3. 當 $V_b \leq 0.8V$ ，pn junction 產生的漏電流並不明顯，且因為 NMOS 的 drain 接一個 50uA 的電流源，故其 drain current 趨近定值。由式 $\textcircled{1}$ 可知，當 drain current 為定值時，在 $\mu_n C_{ox}$ 不變的情況下， $V_{gs} - V_{th}$ 也為定值，因為 V_{th} 隨著 V_b 增加而減少，故其 V_{gs} 隨著 V_b 增加而減少。
4. 當 $V_b \geq 0.8V$ ，pn junction 產生的漏電流較為顯著，因此，為了維持穩定 drain current， V_{gs} 隨著 V_b 增加而增加，i.e. V_{gs} 和 V_b 呈正相關。
5. 由 PART(2)可知，在同一 V_b 下，channel length 愈小， V_{th} 愈大。
6. 觀察上圖，可發現第一張圖與 1. 的結論相符。



PMOS:(sweep channel length)

$$V_{th,p} = V_{th0,p} + \gamma(\sqrt{|2\Phi_F + V_{bs}|} - \sqrt{|2\Phi_F|}) \dots\dots\dots ⑦$$

1. 當 V_b 增加，在 γ 和 Φ_F 為定值的情況下， $|2\Phi_F + V_{bs}|$ 會變大，故從式⑦得知， $|V_{th,p}|$ 會隨著 V_b 增加而增加。
2. 除此之外發現另一個有趣的事情， V_{sg} 的值也會隨著 V_b 而改變：
當溫度在 25 度時，其 built-in potential 為 $1.8V - 0.8V = 1V$ 因此當 $V_b \leq 1V$ 時，pn-junction 的效應愈明顯，故會產生漏電流。
3. 當 $V_b \geq 1V$ ，pn junction 產生的漏電流並不明顯，且因為 PMOS 的 drain 接一個 $50\mu A$ 的電流源，故其 drain current 趨近定值。由式②可知，當 drain current 為定值時，在 $\mu_p C_{ox}$ 不變的情況下， $V_{sg} - |V_{th,p}|$ 也為定值，因為 $|V_{th,p}|$ 隨著 V_b 增加而增加，故其 V_{sg} 隨著 V_b 增加而增加。
4. 當 $V_b \leq 1V$ ，pn junction 產生的漏電流較為顯著，因此，為了維持穩定 drain current， V_{sg} 隨著 V_b 增加而減少，i.e. V_{sg} 和 V_b 呈負相關。
5. 由 PART(2)可知，在同一 V_b 下，channel length 愈小， $|V_{th,p}|$ 愈大。
6. 觀察上圖，可發現第一張圖與 1. 的結論相符。