

AIC HW6

110011222 陳立珩

Question 1. – Single-Ended Operational Amplifier

(a) Device Size / Bias Voltage and Results (Design 會在 (g) 說明)

數據如下表所列：

Bias	Voltage(V)
VB	1.2
VCN1	0.795
VCN2	1.18402
VBP1	0.834
VICM	0.9

MOSFET	Width(um)	Length(um)	Multiplier
M0	46.813	10	2
M1	4.1	1.09	5
M2	4.1	1.09	5
M3	0.38	0.65	1
M4	0.38	0.65	1
M5	1.146	1.05	3
M6	1.146	1.05	3
M7	0.7	0.9	2
M8	0.7	0.9	2
M9	2.09049	14	1
M10	2.09049	14	1

Results:

```
dcgain_in_db= 84.6704    at= 1.0000
              from= 1.0000    to= 100.0000g
dcgain= 17.1206k    at= 1.0000
              from= 1.0000    to= 100.0000g
unity_frequency= 15.0035x
phase=-105.0000
phase_margin= 75.0000
```

DC gain = 84.6704dB \geq 65dB
 unity frequency = 15 .0035MHz \geq 15MHz
 phase margin = 75.0000° \geq 75°

```

subckt
element 0:m0      0:m1      0:m2      0:m3      0:m4      0:m5
model   0:p_18.1  0:p_18.1  0:p_18.1  0:p_18.1  0:p_18.1  0:p_18.1
region  Saturation Saturation Saturation Saturation Saturation Saturation
id      -6.5901u   -3.2950u   -3.2950u   -723.7254n  -723.7254n  -723.7259n
ibs     6.127e-22  321.2969a  321.2969a  2.397e-22  2.397e-22  90.6641a
ibd     1.2043f   1.2889f   1.2889f   19.4485a   19.4485a   198.8951a
vgs     -600.0000m -612.2339m -612.2339m -705.0253m -705.0253m -644.6228m
vds     -287.7661m -866.6634m -866.6634m -321.3772m -321.3772m -383.6479m
vbs     0.         287.7661m  287.7661m  0.         0.         321.3772m
vth     -461.9289m -575.0008m -575.0008m -524.7230m -524.7230m -592.9536m
vdsat   -139.4658m -87.4200m  -87.4200m  -205.9734m -205.9734m -99.7403m
vod     -138.0711m -37.2332m  -37.2332m  -180.3024m -180.3024m -51.6692m
beta     679.1156u  1.2678m   1.2678m   38.4899u   38.4899u   209.3913u
gam eff  557.0847m  555.1270m  555.1270m  557.0846m  557.0846m  554.9145m
gm       75.4849u   58.4937u   58.4937u   6.5584u    6.5584u    11.9209u
gds     328.9567n  142.4141n  142.4141n  127.9079n  127.9079n  47.2705n
gmb     23.2338u   15.5995u   15.5995u   1.9117u    1.9117u    3.0212u
cdttot  181.0388f    22.3471f   22.3471f   641.8585a  641.8585a  4.3434f
cgtot   5.9611p    120.9476f  120.9476f  1.6211f    1.6211f    20.5452f
cstot   6.6073p    130.5607f  130.5607f  2.1441f    2.1441f    22.8555f
cbttot  2.2088p     71.0678f   71.0678f   1.5001f    1.5001f    12.5195f
cgs     5.4074p    98.1554f   98.1554f   1.3465f    1.3465f    16.9618f
cgd     62.9187f   7.3585f    7.3585f    143.6524a  143.6524a  1.2434f

```

```

subckt
element 0:m6      0:m7      0:m8      0:m9      0:m10
model   0:p_18.1  0:n_18.1  0:n_18.1  0:n_18.1  0:n_18.1
region  Saturation Saturation Saturation Saturation Saturation
id      -723.7259n  723.7261n  723.7261n  4.0188u    4.0188u
ibs     90.6641a   -157.7312a -157.7312a  -8.806e-22 -8.806e-22
ibd     198.8952a  -267.5328a -267.5327a -142.1675a -142.1675a
vgs     -644.6228m  538.4494m  538.4494m  795.0000m  795.0000m
vds     -383.6482m  449.4044m  449.4041m  645.5706m  645.5706m
vbs     321.3772m  -645.5706m -645.5706m  0.         0.
vth     -592.9536m  526.3223m  526.3223m  321.5612m  321.5612m
vdsat   -99.7403m  73.4547m   73.4547m   379.9785m  379.9785m
vod     -51.6692m  12.1272m   12.1272m   473.4388m  473.4388m
beta     209.3913u  482.8115u  482.8115u  44.6100u   44.6100u
gam eff  554.9145m  523.0815m  523.0815m  507.4460m  507.4460m
gm       11.9209u   15.0802u   15.0802u   16.6340u   16.6340u
gds     47.2705n   218.9087n  218.9087n  98.0160n   98.0160n
gmb     3.0212u    2.1826u    2.1826u    3.0217u    3.0217u
cdttot  4.3434f     1.9541f    1.9541f    4.3870f    4.3870f
cgtot   20.5452f    6.2818f    6.2818f    191.3803f  191.3803f
cstot   22.8555f    6.6020f    6.6020f    197.2148f  197.2148f
cbttot  12.5195f     4.5159f    4.5159f    52.3131f   52.3131f
cgs     16.9618f    4.8004f    4.8004f    176.9718f  176.9718f
cgd     1.2434f    504.7603a  504.7603a  1.2082f    1.2082f

```

(b) Small signal parameters

**** small-signal transfer characteristics

```

v(vout)/vip      = 17.0940k
input resistance at vip      = 1.000e+20
output resistance at v(vout) = 296.3349x

```

g_{m1}	g_{m5}	g_{mb5}	g_{m7}	g_{mb7}
5.8494E-5	1.1921E-5	3.0212E-6	1.5080E-5	2.1826E-6

r_{o1}	r_{o3}	r_{o5}	r_{o7}	r_{o9}
7.0218E+6	7.8181E+6	2.1155E+7	4.5681E+6	1.0202E+7

上課推導的公式如下：

$$|A_{v,calculated}| \approx g_{m1} \{ (g_{m7} + g_{mb7}) r_{o7} (r_{o1} || r_{o9}) || (g_{m5} + g_{mb5}) r_{o3} r_{o5} \}$$

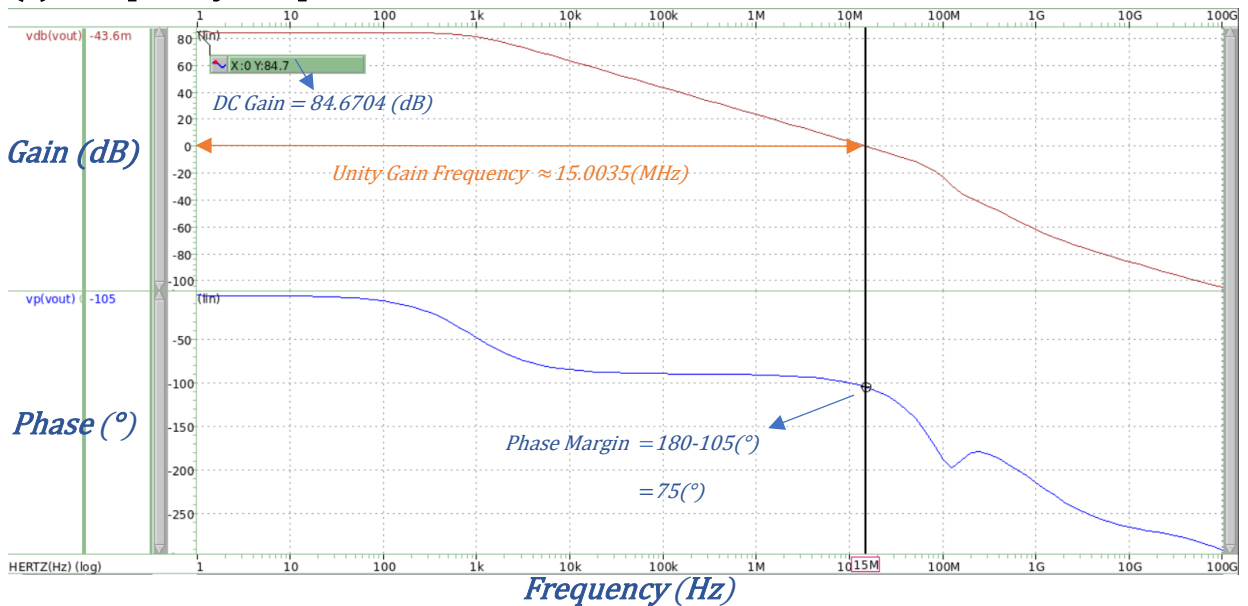
$$|A_{v,calculated}| = 16937.372137 (V/V)$$

$$|A_{v,hspice}| = 17094.0 (V/V)$$

$$|A_{v,error}| = \left| \frac{A_{v,hspice} - A_{v,calculated}}{A_{v,calculated}} \right| \times 100\% = 0.9247\%$$

誤差很小，可能來自計算時四捨五入造成計算上誤差，公式基本上正確。

(c) Frequency Response



(d) Frequency Response (Pole)

```
*****
***** pole/zero analysis

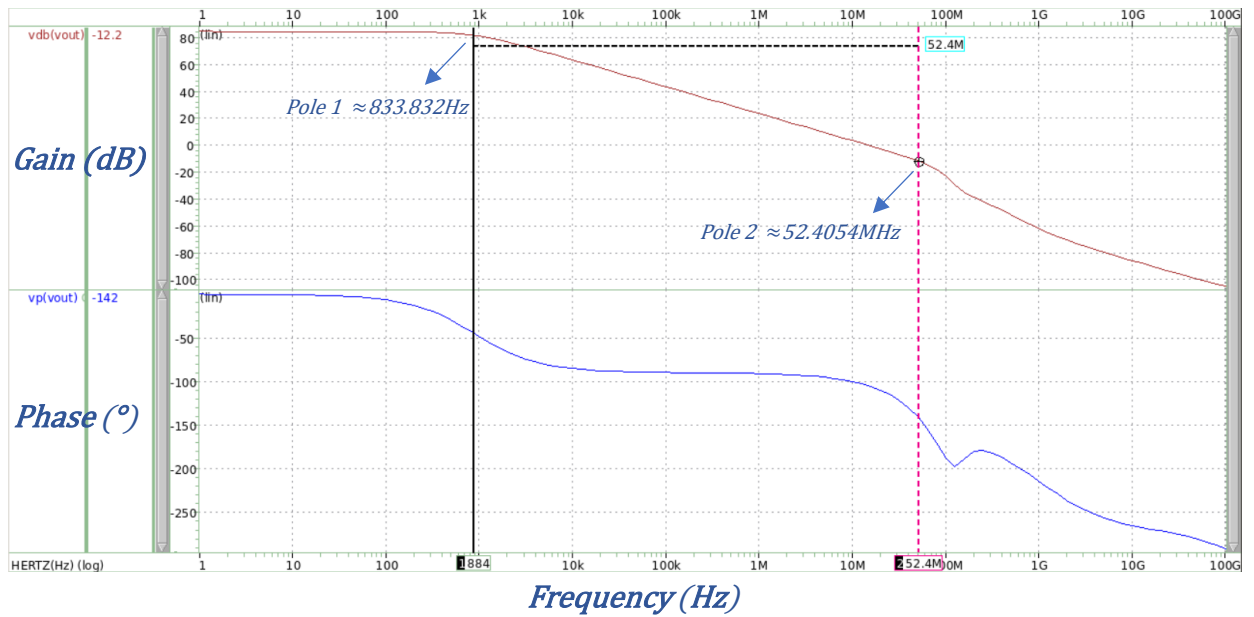
input = 0:vip          output = v(vout)

poles (rad/sec)          poles ( hertz)
real      imag          real      imag
-5.55328k  0.          -883.832  0.
-329.273x  0.          -52.4054x  0.
-333.817x  -574.585x   -53.1286x  -91.4481x
-333.817x  574.585x    -53.1286x  91.4481x
-529.930x  0.          -84.3411x  0.
-537.564x  0.          -85.5560x  0.
-643.430x  0.          -102.405x  0.

zeros (rad/sec)          zeros ( hertz)
real      imag          real      imag
-308.458x  0.          -49.0926x  0.
-372.761x  -1.29081g   -59.3267x  -205.439x
-372.761x  1.29081g    -59.3267x  205.439x
-538.401x  0.          -85.6892x  0.
-643.360x  0.          -102.394x  0.
918.247g   0.          146.144g   0.
```

Pole1=883.832 Hz

Pole2=52.4054MHz



(e) Total Harmonic Distortion(THD)

fourier components of transient response v(vout)
dc component = 1.2091

harmonic no	frequency (hz)	fourier component	normalized component	phase (deg)	normalized phase (deg)
1	1.0000x	120.8439m	1.0000	179.1515	0.
2	2.0000x	109.8765u	909.2437u	-109.8779	-289.0293
3	3.0000x	79.5796u	658.5324u	-97.2391	-276.3906
4	4.0000x	50.2610u	415.9166u	-88.3805	-267.5320
5	5.0000x	41.5894u	344.1582u	-87.1462	-266.2976
6	6.0000x	32.6833u	270.4590u	-86.1002	-265.2517
7	7.0000x	29.4968u	244.0900u	-87.7561	-266.9075
8	8.0000x	25.0091u	206.9536u	-85.3567	-264.5082
9	9.0000x	22.3480u	184.9325u	-87.2102	-266.3617

total harmonic distortion = 0.132724 percent

(f) FoM

subckt

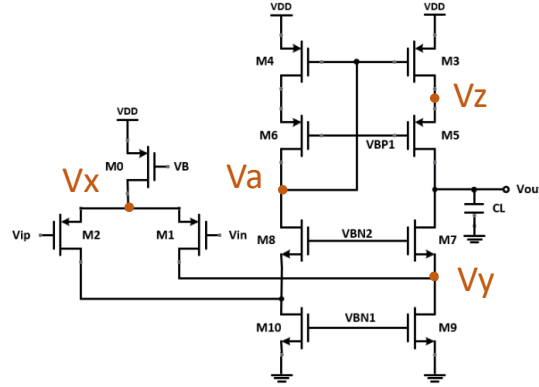
element	0:vip	0:vb	0:vbn1	0:vbn2	0:vbp1	0:vdd
volts	900.0000m	1.2000	795.0000m	1.1840	834.0000m	1.8000
current	0.	0.	0.	0.	0.	-8.0375u
power	0.	0.	0.	0.	0.	14.4676u

$$F_oM = \frac{\text{total current (uA)} \times THD(\%)}{\text{Gain(dB)} \times \text{Unit gain frequency(MHz)}} \times 1000 = \frac{8.0375 \times 0.132724}{84.6704 \times 15.0035} \times 1000$$

$$= 0.839743$$

(g) Discussion for improvements of FoM

Design Flow



$$M10: I_{10} = \frac{1}{2} K_n \left(\frac{W}{L} \right)_{10} (V_{BN1} - V_{th,10})^2, \quad V_Z \geq V_{BN1} - V_{th,10}$$

$$M9: I_9 = \frac{1}{2} K_n \left(\frac{W}{L} \right)_9 (V_{BN1} - V_{th,9})^2, \quad V_Z \geq V_{BN1} - V_{th,9}$$

$$M8: I_8 = \frac{1}{2} K_n \left(\frac{W}{L} \right)_8 (V_{BN2} - V_Y - V_{th,8})^2, \quad V_{out} \geq V_{BN2} - V_{th,8}$$

$$M7: I_7 = \frac{1}{2} K_n \left(\frac{W}{L} \right)_7 (V_{BN2} - V_Y - V_{th,7})^2, \quad V_{out} \geq V_{BN2} - V_{th,7}$$

$$M6: I_6 = \frac{1}{2} K_p \left(\frac{W}{L} \right)_6 (V_Z - V_{BP1} - |V_{th,6}|)^2, \quad V_{BP1} \geq V_{out} - |V_{th,6}|$$

$$M5: I_5 = \frac{1}{2} K_p \left(\frac{W}{L} \right)_5 (V_Z - V_{BP1} - |V_{th,5}|)^2, \quad V_{BP1} \geq V_{out} - |V_{th,5}|$$

$$M4: I_4 = \frac{1}{2} K_p \left(\frac{W}{L} \right)_4 (V_{DD} - V_{out} - |V_{th,4}|)^2, \quad V_{out} \geq V_Z - |V_{th,4}|$$

$$M3: I_3 = \frac{1}{2} K_p \left(\frac{W}{L} \right)_3 (V_{DD} - V_{out} - |V_{th,3}|)^2, \quad V_{out} \geq V_Z - |V_{th,3}|$$

$$M2: I_2 = \frac{1}{2} K_p \left(\frac{W}{L} \right)_2 (V_X - V_{ip} - |V_{th,2}|)^2, \quad V_{ip} \geq V_Y - |V_{th,2}|$$

$$M1: I_1 = \frac{1}{2} K_p \left(\frac{W}{L} \right)_1 (V_X - V_{in} - |V_{th,1}|)^2, \quad V_{in} \geq V_Y - |V_{th,1}|$$

$$M0: I_0 = \frac{1}{2} K_p \left(\frac{W}{L} \right)_0 (V_{DD} - V_B - |V_{th,0}|)^2, \quad V_B \geq V_X - |V_{th,0}|$$

$$\text{Where } I_0 = I_1 + I_2, I_3 = I_5 = I_7, I_4 = I_6 = I_8, I_9 = I_1 + I_7, I_{10} = I_2 + I_8$$

假設 $|V_{th}| \approx 0.4V$ ，且 $V_{ip}=V_{in}=0.9V$ 由 M0,M1,M2 的電流公式，可以推得 $0.9V < V_B < 1.4V$ ， $V_X > 1.3V$ 。

Gain:

觀察 $\text{Gain} \approx g_{m1} \{ (g_{m7} + g_{mb7}) r_{o7} (r_{o1} || r_{o9}) || (g_{m5} + g_{mb5}) r_{o3} r_{o5} \}$ ，如果要讓 Gain 夠大的話，根據 HW1 $r_o \propto \frac{L}{I_d}$ ，我以很大的 r_o 來增高 Gain，因此要取小的電

流 I_{d3} ，可以注意到前方乘以一個 g_{m1} 項，從公式 $g_m = \frac{2I_d}{V_{ov}}$ 可以得知 I_{d1} 要大(也就是

I_{d0} 大)，所以要設計一個 Folded(I_{d0}) 上來的電流要高過 Cascode (I_{d3}) 電流的電路。

Phase margin:

Spec 裡面要求 Phase margin 要大於 75° ，也就是在 Gain 為 0dB 時的 Phase 要小於 $|-105^\circ|$ ，有兩種方式可以增加 Phase margin，第一個就是把 Pole1 往前拉，這需要在 Output 端掛上額外的電容；第二種方式則是將 Pole2 往後拉，觀察電路大

概可以發現 Pole2 是由電阻大的 Node Y 產生，其值大約等於 $\frac{-g_{m7}}{C_Y}$ ，因此要降低 C_Y 的值，從 HW1 可以推得寄生電容與 W, L 有關，因此要盡量取小一些 M1,M7,M9(M2,M8,M10)的 W, L 值。

Unity Gain Frequency:

由於 Unity Gain Frequency 是測量 Gain 為 0 dB 時的頻率。從波形圖可以發現 Gain 大致是從 Dominant Pole 位置開始下降，如果能將 Pole1 的 Bandwidth 加大、或是將 Gain 提升，就有機會讓 Gain 掉到 0 dB 的頻率更高，而 Dominant Pole 的位置是在 Output 的地方，也就是說要降低 Output 看到的 R 和 C，可以降低 M5,M6,M7,M8 的尺寸，降低通道長度 L 的同時也會使電流下降，根據 HW1 可知 r_o 與 L 成正比，電流假設不變的情況下，降低 L 可以有效降低 Output Impedence，使得 Dominant Pole 的頻率更高，進而增加 Unity Gain Frequency。

觀察完上述 Spec 後就可以開始設計，我先決定 VBN1、VBN2 與 VBP1，這三個參數會直接影響電晶體是否能進入飽和區。第一步是先決定電流，此電路的主電流是由 M9,M10 控制，剛開始可以先設定一個參數跑模擬看看，發現很容易進入線性區，此時可以稍微降低 VBN1 的值或是將 L 稍微降低進而增加 V_{thn} ，如果是微調的部分可以稍微提升 M7,M8 的 W 尺寸讓 V_Y 端電壓稍微上升，這些都能對 M9,M10 進入飽和區有幫助。為了降低 Output 的寄生電容，所以我將 VBN2 取大、VBP1 取小，使得 M5,M6,M7,M8 不太需要很大的尺寸來維持電流，由於 M3,M4 的閘及連接到 M6 的 Drain，所以如果 V_a 的電壓值過小，很容易造成 M3,M4 進入線性區，經過幾次測試之後發現如果 VBN2 取 1.18V 附近、VBP1 取 0.8V 附近可以有效使電晶體進入飽和區。可以注意的是 M5,M6 經過幾次 Hspice 測試後觀察到如果 W/L 取太小，為了維持相同電流會使得 V_z 值上升，也很容易造成 M3,M4 進入線性區，所以 M5,M6 的 W 值可以取大一些。至於 M7,M8 的 W 也不能取得太大，會使得 V_{od} 不斷降低，最後進入 Subthreshold 區域。最後由於我將 VBP1 壓的夠小，所以讓 M5 的 Source 端電壓不會太大，使得 M3 和 M4 的 V_{DS} 都還蠻大的，有很多空間可以調整 W 的尺寸。

而 Folded 電路的部分 M0 的尺寸與此電路的 Pole 比較不相關，只與電流有關，所以 L 的取法比較不受限，但因為 VB 有限制且我要設計一個 Folded 電路電流大於 Cascode 電流的電路，所以 W 要取大。M1,M2 的尺寸不能取得太小不然會使得 Source 端電壓降低，造成 M0 進入線性區。

	Specification	This work
VDD	1.8V	
CL	600f	
Total current (uA)	Open for design	8.0375
DC gain (dB)	> 65	84.6704
Input common mode voltage	0.9V	
Output common mode voltage	Open for design	1.0950V
Unity gain frequency (MHz)	> 15	15.0035
Phase margin (°)	> 75	75
THD (%)	< 0.85	0.132724
FoM	As small as possible	0.839743

FoM improvement

從這次的 FoM 公式可以看出最首要的任務還是減少 THD，剛開始設計的時候我是將 M1~M10 的 L 都取 0.5uM 左右，並且如(a)所述將折起來電路的電流 I_{d1} 大於主電路 I_{d9} 的電流，雖然可以達到題目要求但最後測出來的 THD 很大，如 Test1 所列，接著我發現降低電流、提升 VBN2 和增加 M5,M6,M7,M8 的 W/L 值發現對於 THD 的減少有些許幫助而且如果將 VBN1 些微上升可以增加 Unity Gain Frequency 與 Phase Margin，這些使得我的 THD 降低了不少，如 Test2~Test4。由於一開始設計時是希望讓 Pole2 拉的越遠越好，所以將 M9,M10 的 L 取很小以降低寄生電容，但在模擬過程中我發現如果將 M9,M10 的 L 取大，約 14uM 左右，然後同樣把 W 調到相同比例的位置，雖然會因為 V_{thn} 下降造成電流些微提升，但可以大幅提升電路的線性度，使得 THD 降低，如 Test5~Test7。最後 Test8~Test9 將 FoM 下降到 1 以下是因為我發現提高 M5,M6 的 L 也可以對 THD 降低有所幫助，約取到 1uM。

Test	Current(uA)	THD(%)	Gain(dB)	Unity Gain Freq.(MHz)	FoM
1	10.0608	0.781258	74.3	17.6616	5.989734
2	11.0674	0.463301	71.916	15.1323	4.711688
3	8.9330	0.319932	76.148	15.0011	2.501930
4	8.5364	0.295753	77.505	15.0185	2.168935
5	8.6375	0.235814	79.102	15.1128	1.703830
6	8.7970	0.201975	81.007	15.2098	1.442071
7	8.4030	0.163646	82.408	15.1958	1.098119
8	8.1443	0.136950	84.633	15.1236	0.871404
9	8.0375	0.132724	84.67	15.0035	0.839743

由於較大的電流會讓 Phase Margin 變大，所以在壓低 THD 時，我都會將 Phase Margin 壓低到 75 度左右，確保電流在滿足條件下的最低值，當調到接近 75 度後就會嘗試提升 M5,M6,M7,M8 的尺寸，在減少 Phase Margin 的同時也可以降低 THD，最後我也會些微增加或減少 VBP1 和 VBN2，因為有時候在微小的區間也

會存在較低的 THD 值，但同時要注意將 M5,M6,M7,M8 的 L 尺寸提升雖然可以些微增加 Gain 和減少 THD，但同樣會增加 Output 看到的電阻和電容，所以會讓 Unity Gain Frequency 降低，大致來說 Phase Margin、Gain 和 Unity Gain Frequency 存在 Trade-Off，所以要如何在這之間取得平衡和 FoM 最佳值是需要花很多時間嘗試的。