

Lis.1

For the first amp. (M1~M5)

subckt element	xop 1:m1	xop 1:m2	xop 1:m3	xop 1:m4	xop 1:m5
model	0:p_18.1	0:p_18.1	0:n_18.1	0:n_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation
id	-20.0801u	-20.0801u	20.0801u	20.0801u	-40.1602u
ibs	1.919e-21	1.919e-21	-2.996e-21	-2.996e-21	3.900e-21
ibd	4.4305f	4.4305f	-1.9288f	-1.9288f	869.9219a
vgs	-501.5520m	-501.5520m	506.4089m	506.4089m	-618.7796m
vds	-803.4172m	-803.4172m	448.1348m	448.1348m	-248.4480m
vbs	0.	0.	0.	0.	0.
vth	-500.3906m	-500.3906m	313.1338m	313.1338m	-491.9904m
vdSAT	-70.5998m	-70.5998m	172.7390m	172.7390m	-139.3674m
vod	-1.1614m	-1.1614m	193.2751m	193.2751m	-126.7892m
beta	14.9898m	14.9898m	1.1966m	1.1966m	4.4665m
gam eff	557.0847m	557.0847m	507.4459m	507.4459m	557.0846m
gm	399.0182u	399.0182u	186.2209u	186.2209u	477.9158u
gds	1.7460u	1.7460u	684.0428n	684.0428n	6.3384u
gmb	118.8269u	118.8269u	36.5889u	36.5889u	145.2222u
cdtot	134.4327f	134.4327f	107.1310f	107.1310f	101.9169f
cgtot	346.9353f	346.9353f	5.8657p	5.8657p	580.3391f
cstot	381.9042f	381.9042f	6.0520p	6.0520p	664.2618f
cbtot	336.2257f	336.2257f	1.6891p	1.6891p	318.0872f
cgs	230.3279f	230.3279f	5.3430p	5.3430p	507.9735f
cgd	43.0630f	43.0630f	26.7869f	26.7869f	29.9708f

For the second amp. (M6~M9)

subckt element	xop 1:m6	xop 1:m7	xop 1:m8	xop 1:m9
model	0:n_18.1	0:p_18.1	0:n_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation
id	52.1252u	-52.1252u	52.1252u	-52.1252u
ibs	-8.031e-21	4.887e-21	-8.031e-21	4.887e-21
ibd	-3.6038f	3.7848f	-3.6038f	3.7848f
vgs	448.1348m	-546.8353m	448.1348m	-546.8353m
vds	1.1867	-313.3443m	1.1867	-313.3443m
vbs	0.	0.	0.	0.
vth	404.2415m	-491.9502m	404.2415m	-491.9502m
vdSAT	87.3095m	-92.1456m	87.3095m	-92.1456m
vod	43.8933m	-54.8851m	43.8933m	-54.8851m
beta	18.2667m	16.3194m	18.2667m	16.3194m
gam eff	507.4460m	557.0847m	507.4460m	557.0847m
gm	938.3171u	868.2724u	938.3171u	868.2724u
gds	10.8239u	4.1101u	10.8239u	4.1101u
gmb	188.1324u	262.2261u	188.1324u	262.2261u
cdtot	50.5332f	334.4918f	50.5332f	334.4918f
cgtot	183.8855f	1.8732p	183.8855f	1.8732p
cstot	210.0026f	2.0832p	210.0026f	2.0832p
cbtot	128.7357f	1.1218p	128.7357f	1.1218p
cgs	148.1113f	1.5598p	148.1113f	1.5598p
cgd	14.8713f	97.7817f	14.8713f	97.7817f

For the voltage buffer (M10~M13)

subckt element	xop 1:m10	xop 1:m11	xop 1:m12	xop 1:m13
model	0:n_18.1	0:n_18.1	0:n_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation
id	66.5169u	59.0360u	66.5169u	59.0360u
ibs	-1.015e-20	-1.003e-20	-1.015e-20	-1.003e-20
ibd	-4.2206f	-1.9868f	-4.2206f	-1.9868f
vgs	438.5703m	506.4089m	438.5703m	506.4089m
vds	751.9146m	748.0854m	751.9146m	748.0854m
vbs	0.	0.	0.	0.
vth	430.0197m	347.7555m	430.0197m	347.7555m
vdSAT	72.7442m	151.8471m	72.7442m	151.8471m
vod	8.5506m	158.6534m	8.5506m	158.6534m
beta	44.7279m	4.7090m	44.7279m	4.7090m
gam eff	507.4460m	507.4460m	507.4460m	507.4460m
gm	1.3679m	626.7523u	1.3679m	626.7523u
gds	17.7932u	5.3897u	17.7932u	5.3897u
gmb	271.6266u	123.9263u	271.6266u	123.9263u
cdtot	100.3511f	43.2895f	100.3511f	43.2895f
cgtot	227.4529f	456.8424f	227.4529f	456.8424f
cstot	262.3137f	487.5264f	262.3137f	487.5264f
cbtot	224.8555f	182.6923f	224.8555f	182.6923f
cgs	158.8286f	408.8122f	158.8286f	408.8122f
cgd	28.4556f	11.1610f	28.4556f	11.1610f

For the CMFB (MCM1~MCM5)

subckt element	xop 1:mcm1	xop 1:mcm2	xop 1:mcm3	xop 1:mcm4	xop 1:mcm5
model	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation
id	17.0588u	17.5971u	-17.0588u	-17.5971u	34.6560u
ibs	-3.182e-21	-3.282e-21	1.858e-21	1.917e-21	-5.833e-21
ibd	-428.8951a	-427.2154a	495.7594a	497.7337a	-285.3938a
vgs	496.1614m	498.0760m	-618.7796m	-621.2438m	506.4089m
vds	629.2964m	626.8322m	-618.7796m	-621.2438m	251.9240m
vbs	0.	0.	0.	0.	0.
vth	435.9211m	435.9506m	-505.9917m	-505.9918m	388.8289m
vdSAT	98.8640m	99.9861m	-138.7951m	-140.6058m	129.1564m
vod	60.2402m	62.1254m	-112.7878m	-115.2521m	117.5800m
beta	4.4417m	4.4418m	2.0029m	2.0017m	4.3587m
gam eff	507.4460m	507.4460m	557.0846m	557.0846m	507.4461m
gm	283.2077u	289.5547u	214.7271u	218.9469u	440.7071u
gds	3.9803u	4.0820u	1.6047u	1.6498u	9.3666u
gmb	55.6455u	56.8710u	63.2535u	64.5190u	89.4770u
cdtot	10.3880f	10.3929f	18.0564f	18.0484f	21.4563f
cgtot	28.5244f	28.6340f	55.8696f	55.9534f	96.2417f
cstot	34.1923f	34.3389f	68.5770f	68.7028f	107.2983f
cbtot	23.0233f	23.0278f	43.1424f	43.1335f	54.2944f
cgs	23.0546f	23.1897f	46.2273f	46.3383f	83.5678f
cgd	2.7568f	2.7556f	5.4990f	5.4992f	5.3318f

For the bias , start-up circuit (Mb1~Mb9)

subckt element	xop 1:mb1	xop 1:mb2	xop 1:mb3	xop 1:mb4	xop 1:mb5	xop 1:mb6	xop 1:mb7	xop 1:mb8	xop 1:mb9
model	0:n_18.1	0:n_18.1	0:p_18.1	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:n_18.1	0:p_18.1
region	Subth	Linear	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation
id	1.7861p	1.5343u	-1.5343u	12.5843u	12.4717u	-12.5843u	-12.4717u	2.3015u	-2.3015u
ibs	-1.637e-27	-3.412e-22	2.097e-22	-2.227e-21	-1.924e-21	1.375e-21	1.363e-21	-6.861e-22	2.305e-22
ibd	-68.2554a	-5.6685a	193.6282a	-175.2738a	-1.0775f	261.0031a	203.1980a	-136.6069a	263.2944a
vgs	26.5096m	506.4089m	-993.5911m	506.4089m	412.0265m	-773.5390m	-773.5390m	506.4089m	-546.8353m
vds	726.4610m	26.5096m	-1.4735	412.0265m	726.4610m	-993.5911m	-773.5390m	953.1647m	-546.8353m
vbs	0.	0.	0.	0.	0.	0.	0.	0.	0.
vth	331.0844m	396.9845m	-462.9999m	388.7096m	383.4204m	-495.6982m	-495.6981m	397.3244m	-494.6582m
vdSAT	36.2852m	123.3271m	-456.1786m	129.0290m	76.2949m	-259.4264m	-259.4253m	123.6564m	-92.2698m
vod	-304.5748m	109.4244m	-530.5912m	117.6993m	28.6061m	-277.8408m	-277.8408m	109.0845m	-52.1771m
beta	20.9544u	620.5368u	12.6329u	1.5558m	6.2127m	337.8477u	337.8478u	308.4701u	725.0047u
gam eff	507.4459m	507.4460m	557.0846m	507.4461m	507.4460m	557.0846m	557.0846m	507.4460m	557.0847m
gm	65.2054p	13.9265u	5.3056u	160.5758u	242.1849u	79.8977u	79.1551u	30.5259u	38.5801u
gds	298.9206f	50.5159u	4.5684n	2.1462u	2.5978u	459.8431n	574.1228n	328.6381n	137.8410n
gmb	14.9153p	2.9297u	1.7691u	32.4631u	49.9356u	24.8076u	24.5741u	6.0983u	11.6074u
cdtot	508.0888a	13.6963f	2.2074f	7.1605f	26.3803f	5.5536f	5.7652f	1.3771f	11.8301f
cgtot	2.4908f	16.1291f	126.4197f	34.2445f	114.2710f	32.5805f	32.5916f	6.8142f	57.9948f
cstot	606.8338a	16.3937f	143.7325f	38.3977f	123.0695f	38.3589f	38.3535f	7.7530f	65.4260f
cbtot	3.1396f	8.5171f	45.0883f	19.1734f	74.4217f	18.2482f	18.4437f	3.9059f	37.2050f
cgs	116.6538a	10.6587f	116.9970f	29.7807f	90.9002f	28.6392f	28.6457f	5.9003f	47.5762f
cgd	116.4898a	4.8986f	738.9891a	1.7968f	7.2578f	1.7988f	1.8064f	354.4662a	3.5963f

For Gain , GBW and P.M.

For node voltage

```
dcgain_in_db= 80.0107 >70dB
               at= 10.0000
               from= 10.0000 to= 1.0000g
dcgain= 10.0123k at= 10.0000
               from= 10.0000 to= 1.0000g
unity_frequency= 114.6546x >50MHZ
phase=-134.6890
phase margin= 45.3110 >45°
```

```
+0:vdd = 1.5000 0:vinn = 750.0000m 0:vinp = 750.0000m <1%
+0:vocm = 750.0000m 0:von = 748.0854m 0:vop = 748.0854m
+0:vss = 0. 1:d4 = 448.1348m 1:d6 = 1.1867
+1:net26 = 412.0265m 1:net31 = 726.4610m 1:net42 = 1.1867
+1:net44 = 448.1348m 1:net47 = 1.2516 1:net51 = 251.9240m
+1:net52 = 506.4089m 1:net55 = 881.2204m 1:net60 = 748.0854m
+1:net67 = 26.5096m 1:net68 = 953.1647m 1:net73 = 878.7562m
+1:net78 = 1.1867 1:net79 = 1.1867
```

For current

```
subckt
element 0:vinp 0:vdd 0:vgnd 0:vinn 0:vocm
volts 750.0000m 1.5000 0. 750.0000m 750.0000m
current 0. -340.9921u 326.0304u 0. 0.
power 0. 511.4882u 0. 0. 0.
```

Dis.1(a)

忽略 channel length modulation, 設 $V_{th,MB5} = V_{th,MB4}$

$$I_{D,MB4} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4} (V_{GS,MB4} - V_{th})^2 \rightarrow V_{GS,MB4} = \left(I_{D,MB4} / \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4}\right)^{\frac{1}{2}} + V_{th} \dots \textcircled{1}$$

$$I_{D,MB5} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB5} (V_{GS,MB5} - V_{th})^2 \rightarrow V_{GS,MB5} = \left(I_{D,MB5} / \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB5}\right)^{\frac{1}{2}} + V_{th} \dots \textcircled{2}$$

根據題目, $\left(\frac{W}{L}\right)_{MB5} = 4\left(\frac{W}{L}\right)_{MB4}$, 且 $I_{D,MB5} = I_{D,MB4}$, $V_{GS,MB4} - V_{GS,MB5} = I_{D,MB4} \cdot R_b \dots \textcircled{3}$

將①②代入③可得

$$\left[\left(I_{D,MB4} / \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4}\right)^{\frac{1}{2}} + V_{th}\right] - \left[\left(I_{D,MB5} / \frac{1}{2} \mu_n C_{ox} 4\left(\frac{W}{L}\right)_{MB4}\right)^{\frac{1}{2}} + V_{th}\right] = I_{D,MB4} \cdot R_b$$

$$\Rightarrow \left(I_{D,MB4} / \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4}\right)^{\frac{1}{2}} \cdot \left(1 - \frac{1}{4}\right) = I_{D,MB4} \cdot R_b$$

$$\Rightarrow I_{D,MB4} / \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4} = 4 I_{D,MB4}^2 R_b^2 \Rightarrow I_{D,MB4} = \frac{1}{2 R_b^2 \cdot \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4}} \dots \textcircled{4}$$

$$\text{又 } g_{m,MB4} = \left(2 \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4} I_{D,MB4}\right)^{\frac{1}{2}} \dots \textcircled{5}$$

$$\text{將④代入⑤可得: } g_{m,MB4} = \left(2 \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4} \cdot \frac{1}{2 R_b^2 \cdot \mu_n C_{ox} \left(\frac{W}{L}\right)_{MB4}}\right)^{\frac{1}{2}} = \frac{1}{R_b}$$

$$\Rightarrow g_{m,MB4} = \frac{1}{R_b} \dots \textcircled{6}$$

$$\text{又 } g_{m,MB4} = \frac{2 I_{D,MB4}}{V_{ov,MB4}} \Rightarrow I_{D,MB4} = \frac{V_{ov,MB4}}{2 R_b} \dots \textcircled{7}$$

假設所有的 Mos 都處於飽和區且忽略了 Channel Length Modulation, 並且 V_{th} 相等, 我們可以看到 MB4 的 g_m 不受溫度、電源電壓以及操作狀況影響。因此, 如果 M3、M4、M8、M11 和 M13 具有相同的尺寸, 它們將具有相同的 g_m 。如果給定目標 g_m , 我們可以使用推導結果⑥和⑦來計算 R_b 電阻的值, 以設置 Constant g_m 所需的電流。

Dis.1(b)

Why do we need a start-up circuit?

If all the transistors carry zero current when the supply is turned on, they may remain off indefinitely since it is also stable in that state. A start-up circuit drives the circuit out of the degenerate bias point when the supply is turned on. Once the circuit is turned on, the start-up circuit will be switched off.

Please explain the functionality of the start-up circuit.

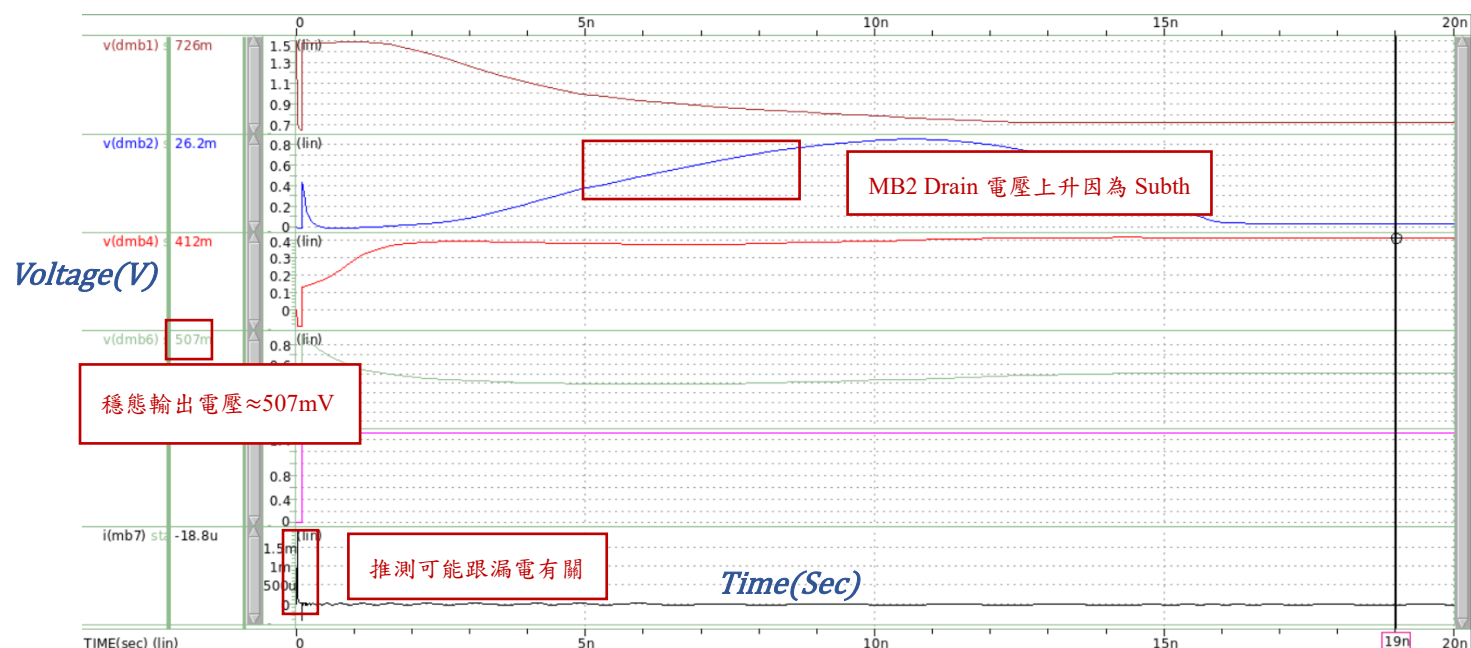
The function of the Start-Up Circuit, including MB1, MB2 and MB3, is to initiate the circuit. The principle is that when the power supply (Power Supply or Vdd) is turned on, MB3 receives a sufficiently large bias voltage and turns on. Once MB3 is turned on, it creates a bridge between the power supply (Vdd) and MB1. Consequently, the gate of MB1 starts charging and the voltage rises. When the gate voltage exceeds the threshold voltage (V_{th}) of MB1, MB1 turns on and forms a path between MB6 and MB7. Therefore, the gates of MB6 and MB7 begin to discharge because they are connected to ground. When the gate voltage of MB6 and MB7 drops to a certain level, MB6 and MB7 turn on. Since MB7 is diode connected and MB1 is on, current must flow from MB7 to MB1, and since MB6 is a mirror, the current must thus also flow across MB6. Once the Constant g_m Circuit starts operating, the gates of MB4 and MB2 will charge, and when the charge exceeds the threshold voltage (V_{th}) of MB2, MB2 turns on. After the path is formed, the gate of MB1 continues to discharge to ground, and when it discharges to a level below the threshold voltage (V_{th}) of MB1, MB1 turns off. Thus, the Start-Up Circuit achieves its functionality.

How do you design the size of the transistors to improve the power efficiency after startup ?

The sizing of the transistors will be related to threshold voltage of the path of current when the circuit is just starting up. The total threshold voltage of all the MOSFETs in that path should be smaller than VDD to make sure the MOSFETs can be turned on to jump start the other transistors.

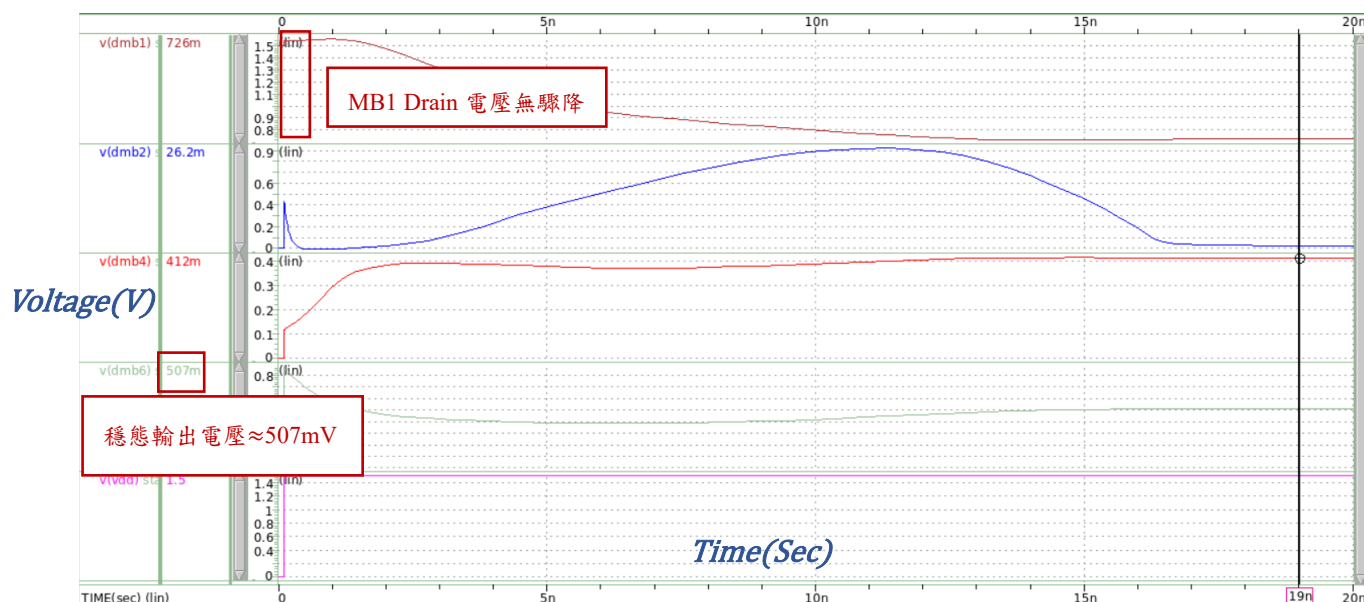
To reduce power consumption and improve efficiency, it is necessary to lower the current flowing through the Start-Up Circuit. From the above analysis, we know that MB1 will eventually turn off. Therefore, considering the situation where MB1 has no current, the current values of MB2 and MB3 should not be too large. Because the current is directly proportional to the (W/L) ratios, the (W/L) ratios of MB2 and MB3 should not be too large.

Start up Circuit Test.(Apply Initial Condition)



此圖為模擬 Start-Up 電路和 Constant gm 電路上電過程，我讓 Vdd 在 0.11ns 時上升到 1.5V，且要求 MB7 的 Gate 端一開始就要在 1.5V，經過模擬後可以發現由於 MB7 Gate 和 Drain 有電壓，產生漏電的效應，所以在剛開不久電壓馬上就掉到 0.7V 左右，以至於 Start-Up 電路並沒有完美如上述分析一樣，但最終的電壓如同 OP 穩態的偏壓一樣大致為 507mV，而且在 19ns 就達到電路穩定。

Only Start up Circuit Vdd from 0v to 1.5v



如果我將 Constant gm 電路的 Vdd 一開始就設定在 1.5V，少了漏電效應讓 MB1 的 Drain 維持在 1.5V，結果就比較符合上述推斷的情形，可以發現最終穩態的電壓一樣為 507mV。

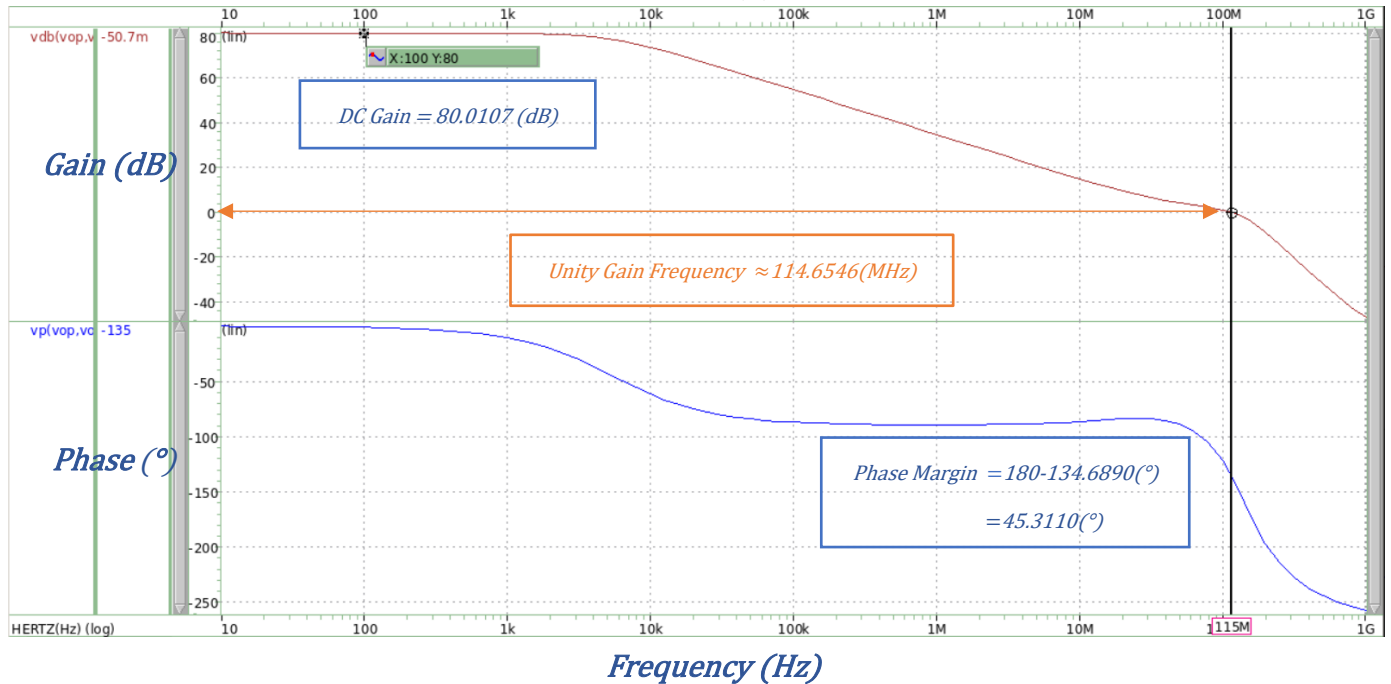
II. Specification Table

Design Items	Specifications	score	Simulation	Calculation
Technology	CIC pseudo 0.18um technology			
Vicm, Vocm	$V_{DD}/2$			
Supply voltage (V)	Open for design $\leq 1.8 / \leq 1.5 / \leq 1.3$	2% 4% 6%	1.5	
Supply current (mA) (including bias ckt)	$< 3 / < 1 / < 0.4$	2% 4% 6%	0.3409921	
Loading	2 pF / 100 k Ω (for each output)		2 pF / 100 k Ω (for each output)	
Compensation Rz, Cc	Rz < 10 k Ω , Cc < 10 pF		Rz = 4.55 k Ω Cc = 1.09 pF	
Open-loop simulation				
DC gain (dB)	$> 70 / > 75 / > 80$	1% 3% 5%	80.0107	80.0108
G-BW (MHz)	$> 50 / > 75 / > 90 / > 100$	1% 2% 3% 4%	114.6546	
P.M.	$> 45^\circ$		45.3110°	
C.M.R.R. @10KHz	> 90 dB		113.9886 dB	113.9886 dB
P.S.R.R.+ @10KHz	> 90 dB		112.1017 dB	
P.S.R.R.- @10KHz	> 90 dB		108.7805 dB	
Closed-loop simulation				
Differential swing of 1.0 V (step or sinusoidal)				
Closed-loop gain	> -0.1 dB @ 10kHz		-0.0017 dB	-0.0017336 dB
S.R.+ (10% ~ 90%)	> 15 V/us (single-ended output)		16.3878 V/us	16.4765 V/us
S.R.- (90% ~ 10%)	> 15 V/us (single-ended output)		15.2159 V/us	15.2483 V/us
THD (1.0Vpp@100kHz Sin)	< -60 dB		-70.63 dB	
Settling+ (1.0Vstep to 0.5%)	< 150 ns		35.8180 ns	
Settling- (1.0Vstep to 0.5%)	< 150 ns		50.7992 ns	
$\frac{Settling+ + Settling-}{2}$ (ns)	$< 150 / < 90 / < 70 / < 55$	1% 2% 3% 4%	43.3086 ns	

III. Simulations Result

3.1 Open-Loop Differential Mode AC Response

Fig. 3.1(a)



本次 Final 我所設計的電路

雙端輸出 DC_Gain_dB 為 80.0107(dB)

GBW 為 114.6546(MHz)

Phase Margin 為 $180^\circ - 134.6890^\circ = 45.3110^\circ$

理論上對於放大器來說 P.M. 大於 0 即可，最終會趨近於穩定，但我在設計時發現 P.M 就算大於 45°，CMFB 也會影響系統之穩定，後續會加以討論。

Tab. 3.1(b)

**** small-signal transfer characteristics

v(vop,von)/vinp	=	10.0122k
input resistance at vinp	=	1.000e+20
output resistance at v(vop,von)	=	1.4190k

Tab. 3.1(c)

poles (rad/sec)		poles (hertz)	
real	imag	real	imag
-34.1350k	0.	-5.43275k	0.
-10.3458x	0.	-1.64658x	0.
-16.1528x	0.	-2.57079x	0.
-172.509x	-212.315x	-27.4557x	-33.7910x
-172.509x	212.315x	-27.4557x	33.7910x
-215.991x	0.	-34.3760x	0.
-473.347x	-771.839x	-75.3356x	-122.842x
-473.347x	771.839x	-75.3356x	122.842x
-523.084x	895.481x	-83.2515x	142.520x
-523.084x	-895.481x	-83.2515x	-142.520x
-629.568x	0.	-100.199x	0.
-644.739x	0.	-102.613x	0.
-1.15413g	-226.757x	-183.685x	-36.0896x
-1.15413g	226.757x	-183.685x	36.0896x
-3.77857g	943.994x	-601.378x	150.241x
-3.77857g	-943.994x	-601.378x	-150.241x

zeros (rad/sec)		zeros (hertz)	
real	imag	real	imag
-10.3456x	0.	-1.64656x	0.
-16.1557x	37.6366k	-2.57126x	5.99006k
-16.1557x	-37.6366k	-2.57126x	-5.99006k
-168.764x	-199.364x	-26.8596x	-31.7298x
-168.764x	199.364x	-26.8596x	31.7298x
-169.363x	199.911x	-26.9550x	31.8169x
-169.363x	-199.911x	-26.9550x	-31.8169x
-225.187x	5.43031k	-35.8396x	864.260
-225.187x	-5.43031k	-35.8396x	-864.260
-262.981x	0.	-41.8547x	0.
-517.657x	-867.956x	-82.3877x	-138.139x
-517.657x	867.956x	-82.3877x	138.139x
-517.667x	867.990x	-82.3892x	138.145x
-517.667x	-867.990x	-82.3892x	-138.145x
-644.725x	0.	-102.611x	0.
-1.10631g	186.348x	-176.075x	29.6582x
-1.10631g	-186.348x	-176.075x	-29.6582x
-1.10637g	-186.093x	-176.083x	-29.6177x
-1.10637g	186.093x	-176.083x	29.6177x
3.12808g	-11.2899k	497.849x	-1.79685k
3.12808g	11.2899k	497.849x	1.79685k
-3.77811g	943.627x	-601.305x	150.183x
-3.77812g	-943.630x	-601.306x	-150.183x
-6.88740g	0.	-1.09616g	0.
45.0010g	0.	7.16213g	0.

Dis. 3.1

1. Gain

因電路為對稱架構，故能用等效半電路下去做分析，且 Buffer 後面還有接上 RCM 和 RL，故可視為負載效應下去算 Gain。

$$A_1 = -g_{m1}(r_{o2}||r_{o4})=164.2021(\text{V/V})$$

$$A_2 = -g_{m6}(r_{o6}||r_{o7})=62.8309(\text{V/V})$$

$$A_{buffer} = (r_{o11}||r_{o10}||R_L||R_{CM})/[g_{m10}^{-1} + (r_{o11}||r_{o10}||R_L||R_{CM})]=0.97(\text{V/V})$$

$$\text{總增益 Gain} = A_1 A_2 A_{buffer} = 10012.54496(\text{V/V}) = 80.0108(\text{dB})$$

與模擬出的值 10.0122K(V/V)，誤差為 0.003%，公式基本正確。

2. Dominant Pole

受到 Miller Effect 的影響 Cc 會被放大 A2 倍，出現在第一級的輸出端。

$$|\text{Dominant Pole}| = \frac{1}{g_{m6} \times R1 \times R2 \times C_c}, R1 = (r_{o2}||r_{o4}), R2 = (r_{o6}||r_{o7})$$

$$= 5647.21(\text{Hz})$$

與模擬出的絕對值 5432.75(Hz)，誤差為 3.79%，公式基本正確。

3. Non-dominant Pole

這次有加入 Buffer，且 C_L 並不掛在第二級輸出，其值為 2pF 的電容，所以可以推測第二個 Pole 應該為 Output Pole。

$$|\text{Pole 2}| = \frac{1}{C_L \times (R_3 \parallel \frac{1}{g_{m10}})}, R_3 = R_L \parallel (r_{o10} \parallel r_{o11}) \parallel R_{CM}$$
$$= 112.163(\text{MHz})$$

與模擬出的絕對值 102.016(MHz)，誤差為 10.6%，可能為各值的四捨五入造成誤差。

至於 Pole 3 位在第二級的輸出端經頻率補償之後為

$$\text{Pole 3} \cong \frac{-g_{m8}}{C_1 + C_2}$$

$$C_1 \cong C_{\text{dtotal},M2} + C_{\text{dtotal},M4} + C_{\text{gs},M6} = 389.67\text{f (F)}$$

$$C_2 \cong C_{\text{dtotal},M6} + C_{\text{dtotal},M7} + C_{\text{gs},M10} = 543.85\text{f (F)}$$

$$|\text{Pole 3}| \cong \left| \frac{-g_{m8}}{C_1 + C_2} \right| = 159.971(\text{MHz})$$

與模擬值 $\sqrt{75.3356^2 + 122.842^2} = 144.102(\text{MHz})$ ，誤差 9.9%，可能來自於公式的化簡和電容值大致抓取造成誤差，但相差不大可以知道公式大致正確。

4. Zero

經由老師上課得知在米勒補償後，本來米勒電容所產生的 Right Half-Plane Zero 會使 Phase 急速下降，但加入 R_z 後，能藉由調整 R_z 使 Right Half-Plane Zero 變成 Left Half-Plane Zero。

$$|\text{Zero}| = \frac{1}{C_C \times (\frac{1}{g_{m6}} - R_z)} = 41.906(\text{MHz})$$

與模擬出的絕對值 41.8547(MHz)，誤差為 0.12%，公式基本正確。

未加米勒補償前可能會電路造成穩定性差，我們須加入米勒補償讓 Dominant Pole 頻率變低，使 Gain 盡快掉到 0dB，這樣有助於把 Phase Margin 拉大，但 Dominant Pole 頻率變低就犧牲掉了 Gain Bandwidth，也會在 InBand 內加入一個較小的 Right Half-Plane Zero 使 Phase Shift 更為劇烈，為了避免此情況，會加入補償電阻 R_z ，而補償電阻如果可以設計成 $R_z > 1/g_m$ 的大小能有效的把 RHZ 變為 LHZ 進而增加 Gain Bandwidth 和 Phase Margin。理論上來說，一個好的補償系統可以同時把 Gain Bandwidth 和 Phase Margin 一起加大，但多數情況下都會變成 Gain Bandwidth 和 Phase Margin 去做 Trade Off。

3.2 Open-Loop Differential Mode DC Sweep

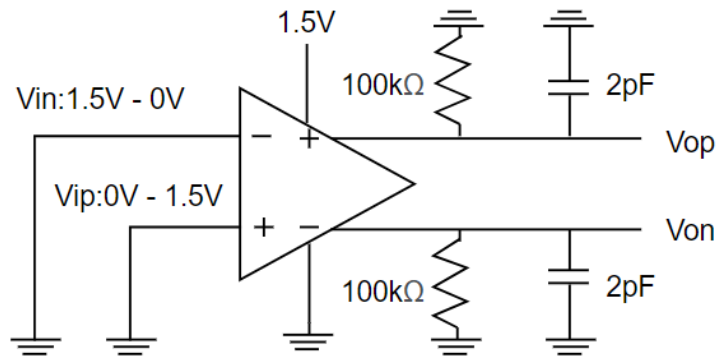
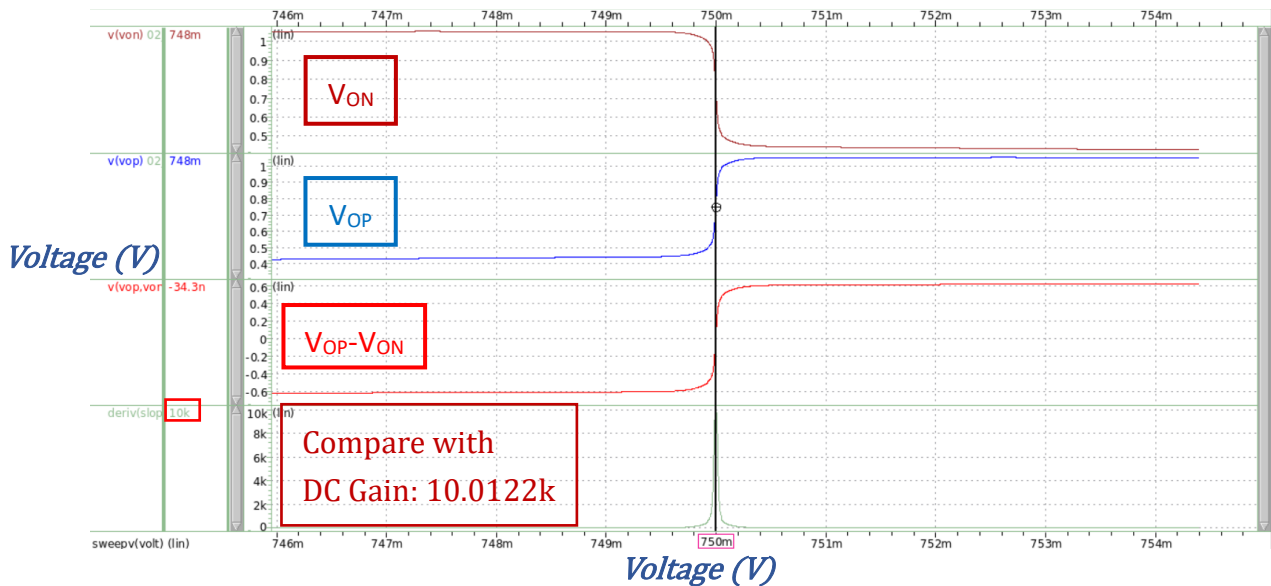


Fig. 3.2(a)



因 Wave View 會四捨五入，觀察 Slope 幾乎與 DC_Gain 相同。

3.3 Open-Loop Common Mode AC Response

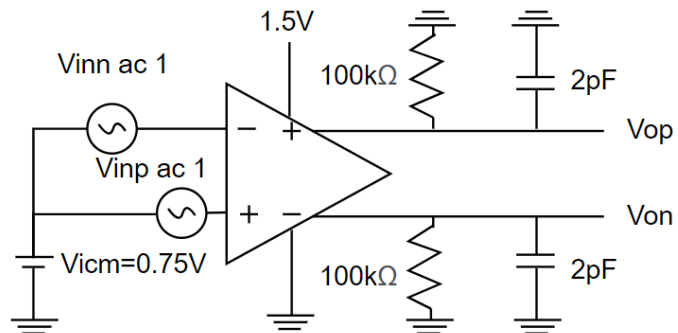


Fig. 3.3(a)

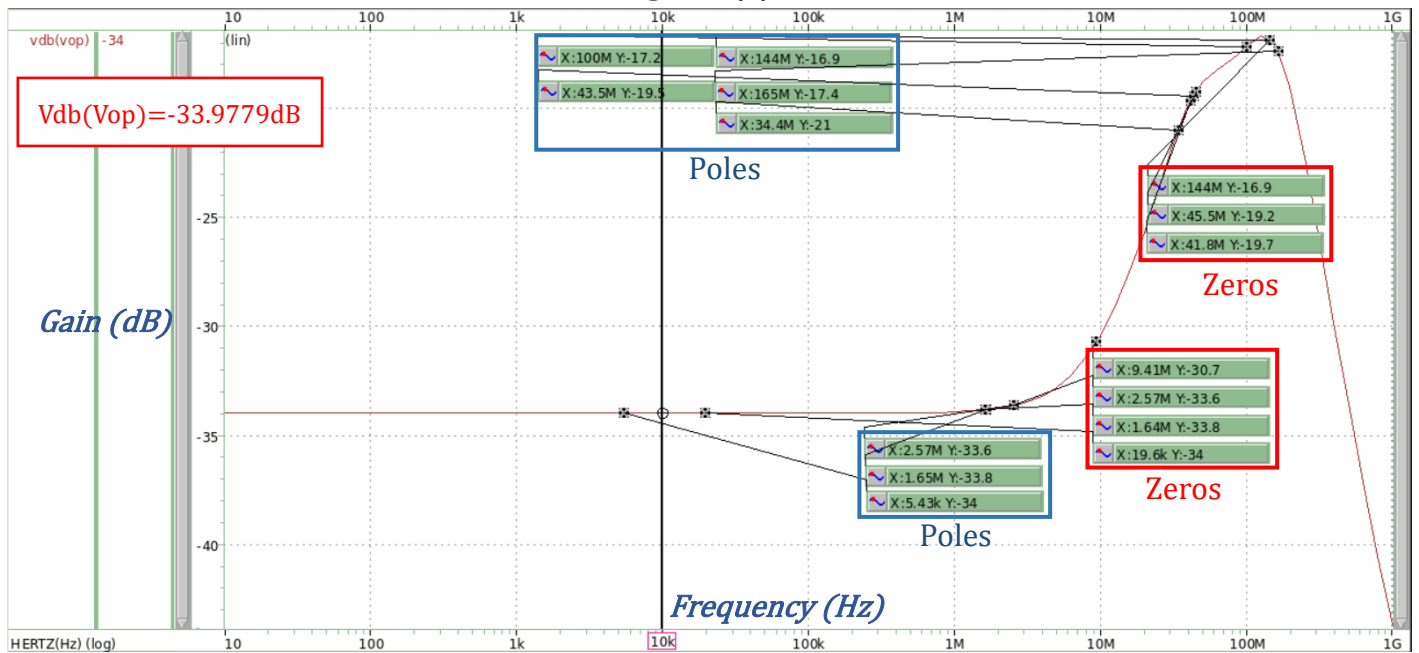


Fig. 3.3(b)

```

**** small-signal transfer characteristics

v(vop)/vinp                      = 20.0034m
input resistance at vinp          = 1.000e+20
output resistance at v(vop)       = 354.7793

***** ac analysis tnom= 25.000 temp= 25.000 *****
acm_in_db= -33.9779

```

能得知 CMRR_in_db 為 Dcgain_in_db 減去 Acin_db 為 113.9886(dB)，符合規格中的 CMRR 要大於 90(dB)。

Fig. 3.3(c)

```

poles (rad/sec)      poles ( hertz)
real      imag      real      imag
-34.1350k  0.        -5.43275k  0.
-10.3458x  0.        -1.64658x  0.
-16.1528x  0.        -2.57079x  0.
-172.509x  -212.315x -27.4557x  -33.7910x
-172.509x  212.315x -27.4557x  33.7910x
-215.991x  0.        -34.3760x  0.
-473.347x  -771.839x -75.3356x  -122.842x
-473.347x  771.839x -75.3356x  122.842x
-523.084x  895.481x -83.2515x  142.520x
-523.084x  -895.481x -83.2515x  -142.520x
-629.568x  0.        -100.199x  0.

Output first 11 Zeros, (total 29)
Use .option pz_num = NUM to control output number, (default:10)

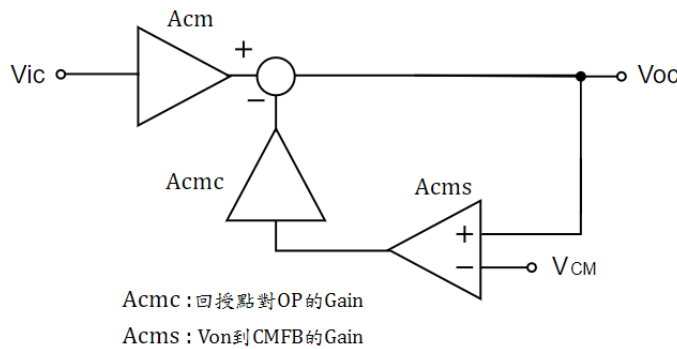
zeros (rad/sec)      zeros ( hertz)
real      imag      real      imag
-123.456k  0.        -19.6486k  0.
-10.3155x  737.793   -1.64176x  117.423
-10.3155x  -737.793  -1.64176x  -117.423
-16.1864x  -126.136k -2.57614x  -20.0752k
-16.1864x  126.136k  -2.57614x  20.0752k
-59.1316x  451.473   -9.41108x  71.8542
-59.1316x  -451.473  -9.41108x  -71.8542
-262.854x  0.        -41.8345x  0.
285.967x  0.        45.5131x  0.
-472.872x  -771.868x -75.2598x  -122.847x
-472.872x  771.868x  -75.2598x  122.847x

```

Dis. 3.3

1. Gain

若沒接上 CMFB 可能會造成電路無法穩定 V_{ocm} ，故要接上 CMFB 讓電路輸出電位穩定在 0.75V，因此可看為一個負回授，如下圖所示，能得出 A_{cm} 。



$$A(\text{without CMFB}) = \frac{V_{oc}}{V_{ic}} = A_{cm}$$

$$A(\text{with CMFB}) = \frac{V_{oc}}{V_{ic}} = \frac{A_{cm}}{1 + A_{cm} \cdot A_{cm} \cdot A_{cm}}$$

A_{cm} 由三級組成。第一級利用等效共模半電路去求解，而第二級和最後一級 Buffer 與等效差模半電路一樣求解即可，但須注意 R_L 和 R_{cm} 的負載效應須納入考慮。

$$|A_1| = (g_{m2}r_{o2}r_{o4}) / (r_{o4} + r_{o2} + (1 + g_{m2}r_{o2})(2r_{o5})) = 4.49(V/V)$$

$$|A_2| = g_{m6}(r_{o6} || r_{o7}) = 62.83(V/V)$$

$$|A_3| = (r_{o11} || r_{o10} || R_L || R_{cm}) / ((r_{o11} || r_{o10} || R_L || R_{cm}) + g_{m10}^{-1}) = 0.97(V/V)$$

$$A_{cm} = |A_1 A_2 A_3| = 273.6(V/V)$$

A_{cm} 為從 M5 的 Gate 灌入訊號，觀察對於 V_{on} 的反應為何，需注意的為第一級與 A_{cm} 又略有不同，但第二級和 Buffer 也與等效差模半電路一樣分析即可。

$$|A_4| = 0.5g_{m5}[r_{o4} || (r_{o2} + (1 + g_{m2}r_{o2})(2r_{o5}))] = 342.47(V/V)$$

$$|A_5| = g_{m6}(r_{o6} || r_{o7}) = 62.83(V/V)$$

$$|A_6| = (r_{o11} || r_{o10} || R_L || R_{cm}) / ((r_{o11} || r_{o10} || R_L || R_{cm}) + g_{m10}^{-1}) = 0.97(V/V)$$

$$A_{cm} = |A_4 A_5 A_6| = 20883.04(V/V)$$

A_{cm} 為 V_{on} 到 CMFB 的電壓增益。

$$A_{cm} = g_{mMCM1} / 2g_{mMCM3} = 0.6595(V/V)$$

$$A(\text{with CMFB}) = A_{cm} / (1 + A_{cm} \cdot A_{cm} \cdot A_{cm}) = 19.86513m(V/V)$$

與模擬出的 $\text{Gain} = 20.0034m(V/V)$ ，誤差為 0.69%，誤差很小，推測有可能是 A_{cm} 忽略 r_o 的計算產生些微誤差。

$$\text{所以 } CMRR_{\text{calculated}} = 80.0107 - 20\log 0.020034 = 113.9886(\text{dB})$$

2. Low Frequency Zero

The low frequency zero = $1 / (g_{m6}^{-1} - R_C)C_C = 41.9066(\text{MHz})$

與 Fig 3.3(c)模擬出的值 41.8345(MHz)，誤差為 0.17%，公式基本正確。

3.4 Open-Loop Common Mode DC Sweep

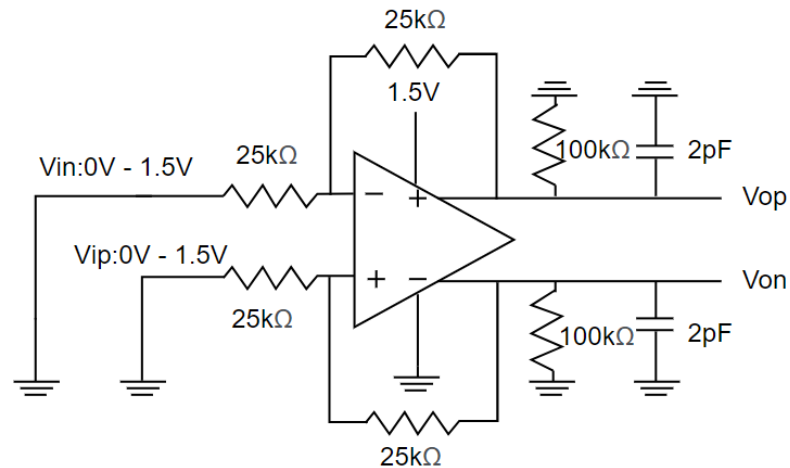
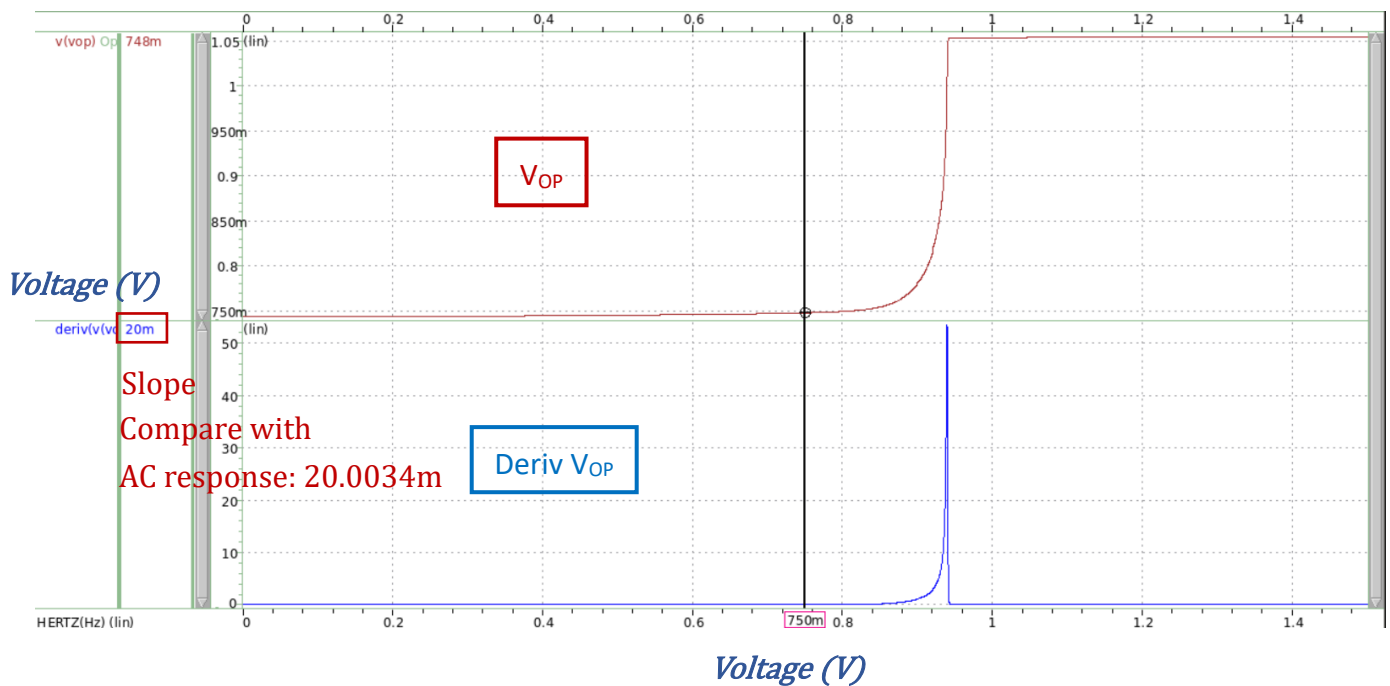


Fig. 3.4(a)



與上題 AC Response 得到的 Gain = 20.0034m(V/V)非常接近。

3.5 Open-Loop Power Supply AC Response

1. Supply+

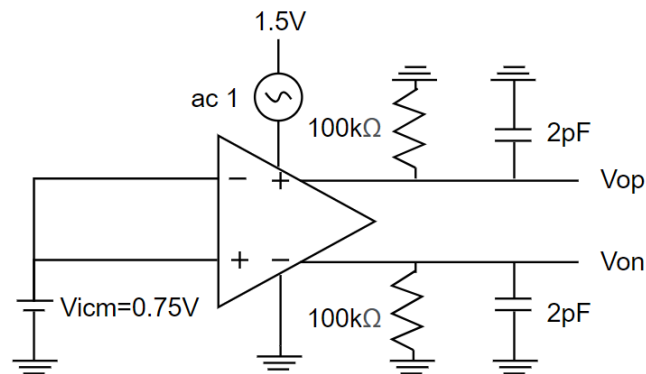
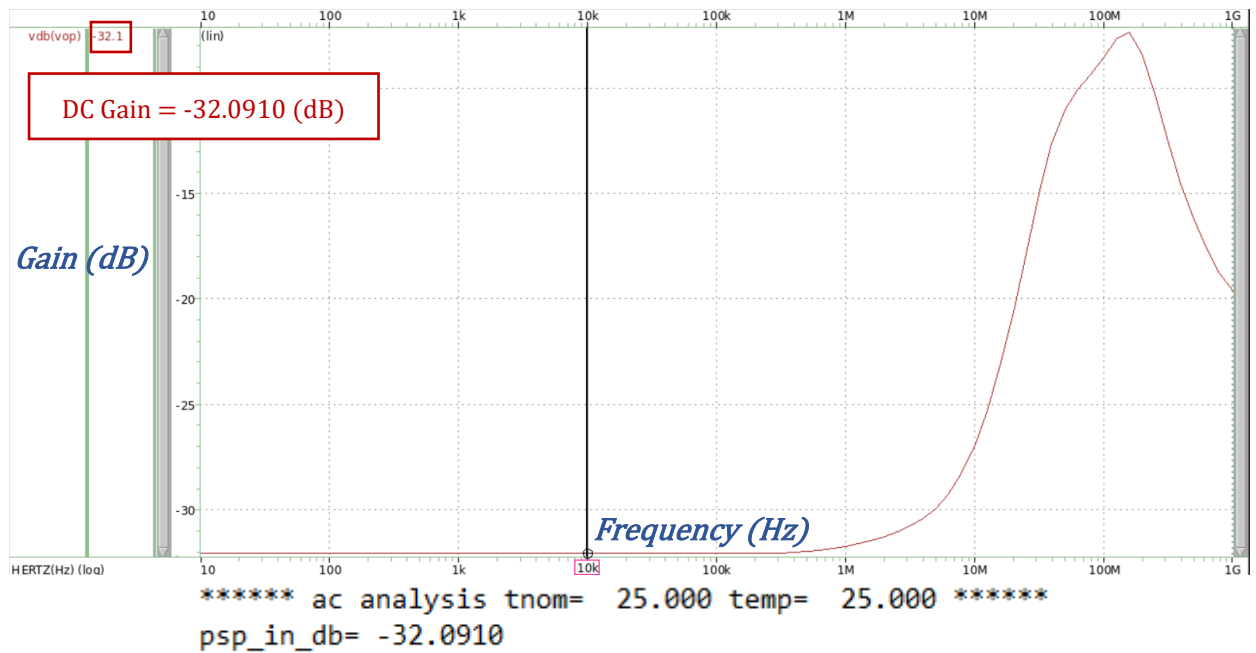


Fig. 3.5(a)



根據定義， $PSRR+$ 為 A_{DM} / A_{Vdd} ， A_{DM} 為電路本身的雙端差動增益、 A_{Vdd} 為電源對輸出的反應為何，當然我們希望 A_{DM} 越大越好， A_{Vdd} 越小越好，也就是說 V_{dd} 的小訊號越乾淨越好，因此 $PSRR+$ 越大越好，可經由計算得知 $PSRR+ = A_{DM_Gain_in_dB} - A_{Vdd_in_dB} = 112.1017(dB)$ ，滿足規格所要求的 90(dB)。

2. Supply -

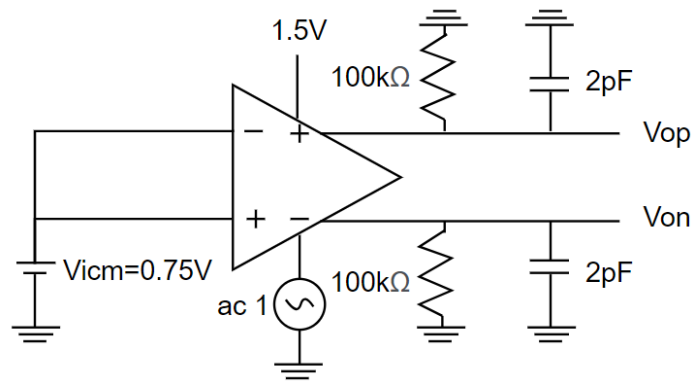
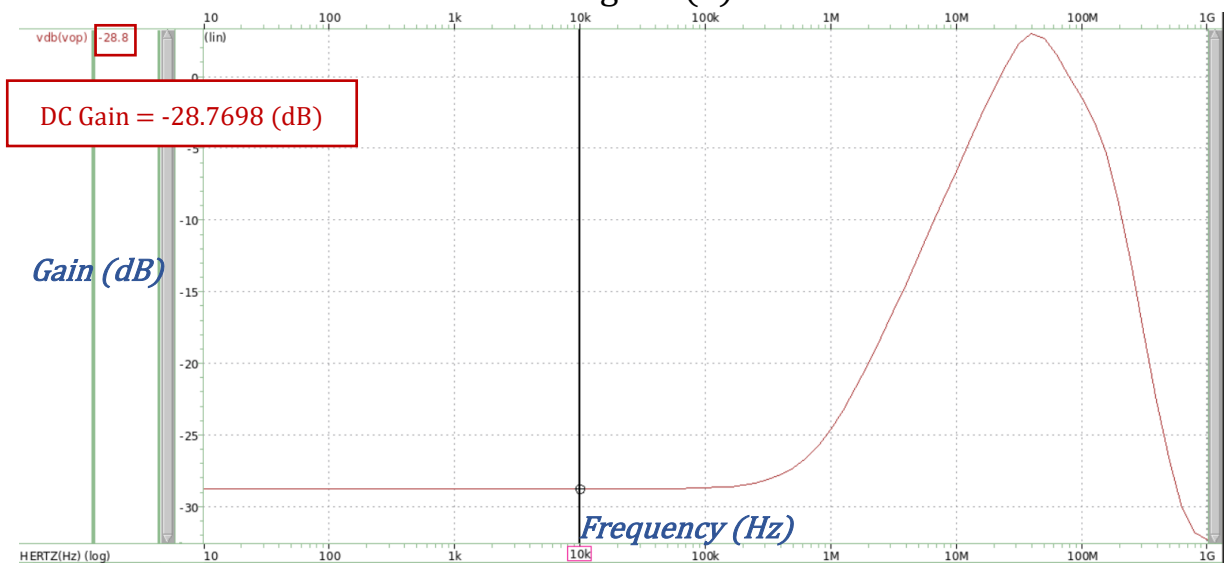


Fig. 3.5(b)



```
***** ac analysis tnom= 25.000 temp= 25.000 *****
psn_in_db= -28.7698
```

與上題類似，只是將測試訊號改到 V_{ss} 上， V_{ss} 的微小變動對電路造成的影響定義為 $A_{V_{ss}}$ 。這與 $A_{V_{dd}}$ 一樣為非理想訊號，故不管是 V_{ss} 還是 V_{dd} ，我們皆希望對輸出的反應越小越好。而本次規格 PSRR- 為 $A_{DM_Gain_in_dB} - A_{V_{ss_in_dB}} = 108.7805(dB)$ ，也符合本次作業的規格大於 90(dB)。

3.6 Closed-Loop Differential Mode AC Response

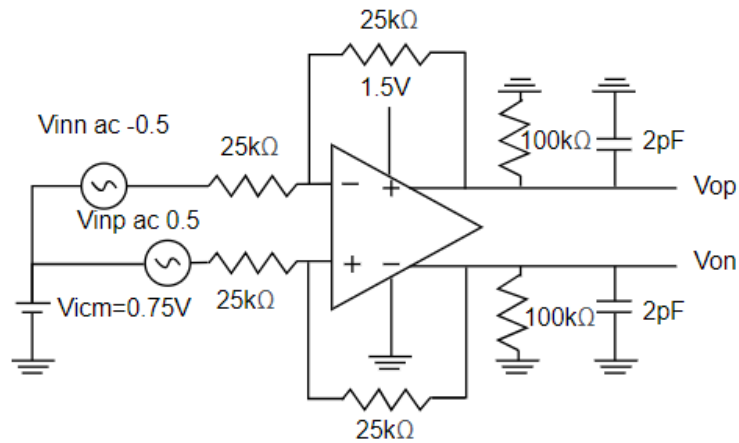
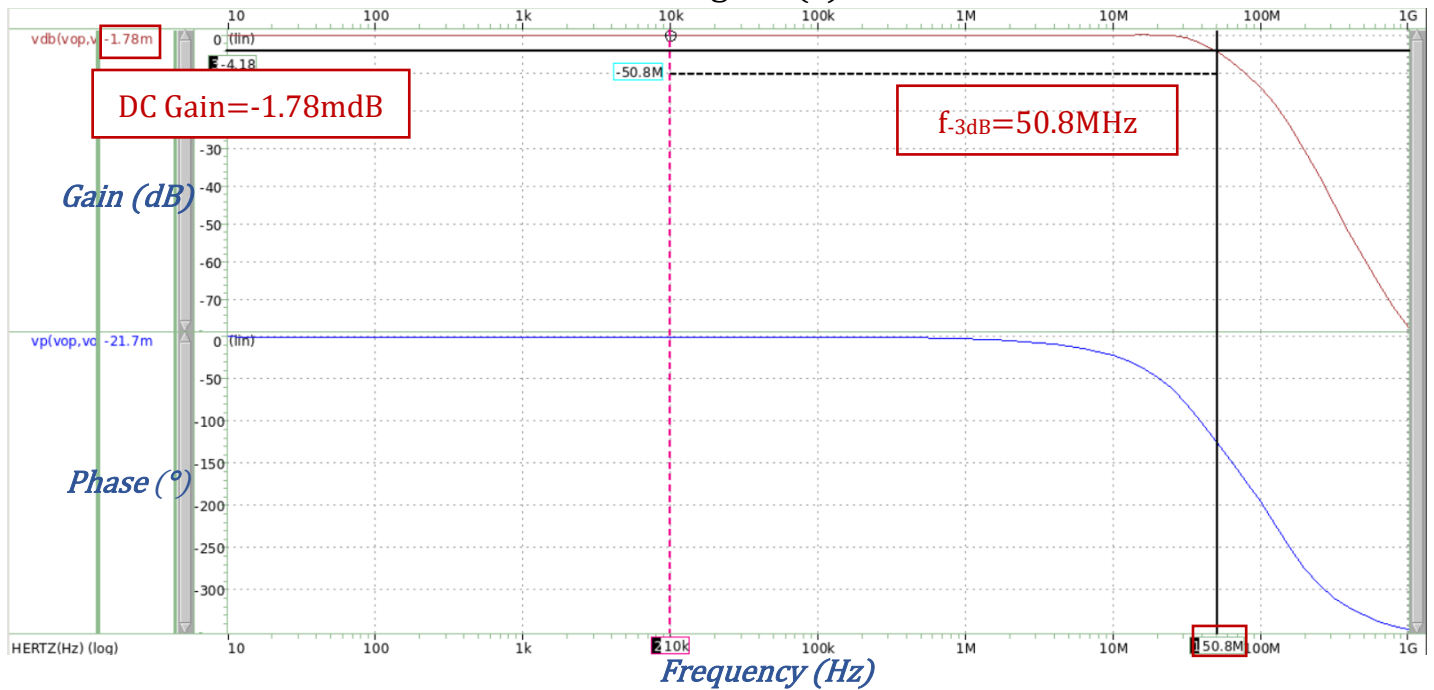
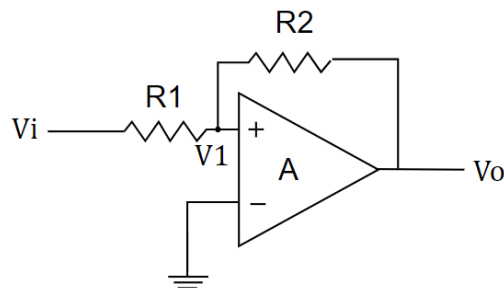


Fig. 3.6(a)



Dis. 3.6(b)

1. For Gain



由上述可以簡單列出兩式：

$$\begin{cases} (V_1 - V_i) / R_1 = (V_o - V_1) / R_2 \\ V_o = A V_1 \end{cases}$$

整理可得出 $V_o/V_i = (R_2 / R_1) / (1 + (1+R_2 / R_1) / A)$

將 $R_1=R_2=25k\Omega$ 和 $A=10.0122k(V/V)$ 代入

可得出 $V_o/V_i = 0.99800638(V/V) = -0.0173336(dB)$

與模擬值 $-1.78mdB=0.9997946(V/V)$ 非常接近，誤差為 0.18%。

2. For -3dB BW

假設 $A(s)$ 只有 Simple Pole 不然會變得很複雜。

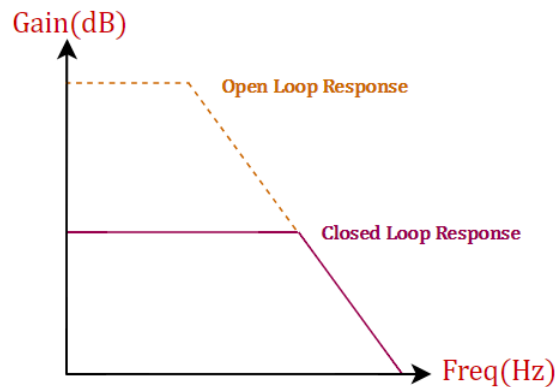
$$A_{Closed-Loop} = \frac{A(s)}{1+\beta A(s)} = \frac{\frac{A_{Open}}{1+s/w_0}}{1+\beta \frac{A_{Open}}{1+s/w_0}} = \frac{A_{Open}}{1+\beta A_{Open}} \cdot \frac{1}{1+\frac{s}{w_0(1+\beta A_{Open})}}, \text{ 其中回授增益 } \beta = 1$$

可以發現 Pole 在 Closed-Loop 中變成 $(1 + \beta A_{Open})$ 倍， $f_0=5647.21(Hz)$

-3dB Pole = $5647.21(1 + 10012.2) = 56.54(MHz)$ ，模擬值為 $50.8(MHz)$ ，誤差為 10.15%，誤差可能為假設系統理想只有一個 Pole 和各值四捨五入造成。

另外理想來說 Closed Loop Response 和 Open Loop Response 應要交在一個點後同時下降，如圖 Dis. 3.6(b)-1 所示，然而 Open Loop 系統並不理想，不是只有單單一個 Pole，而且還存在 Zero，所以導致兩者並沒有交會，實際情況如圖 Dis. 3.6(b)-2 所示。

Dis. 3.6(b)-1



Dis. 3.6(b)-2

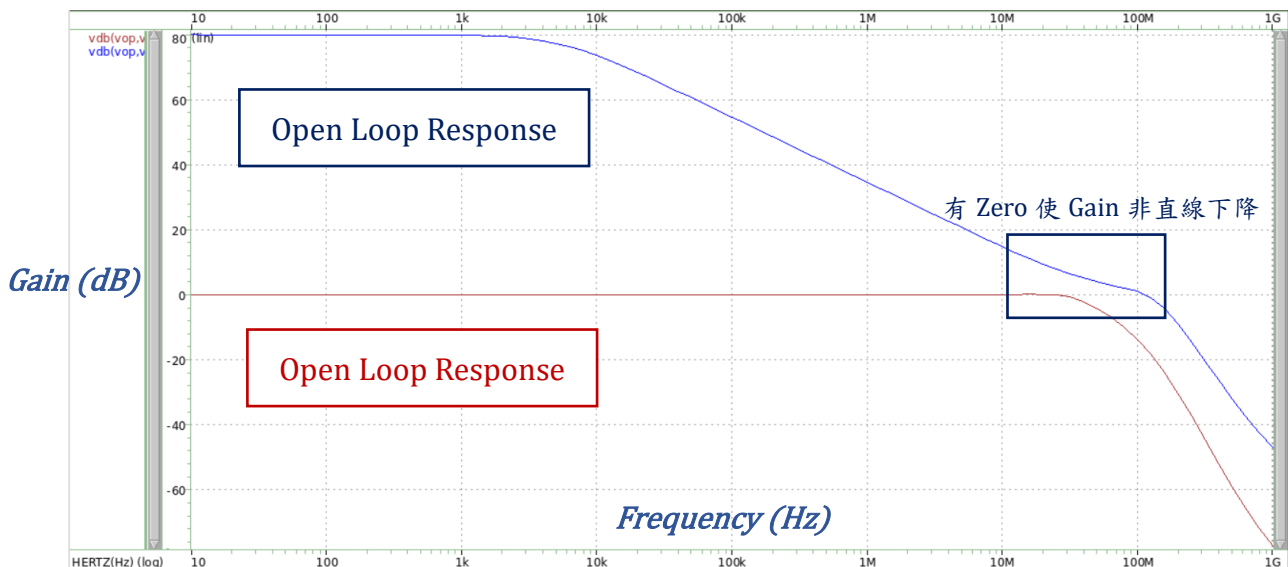


Fig. 3.6(c)

```
+0:test1 = 750.0000m 0:test2 = 750.0000m 0:vdd = 1.5000
+0:vin = 749.0331m 0:vinp = 749.0331m 0:vocm = 750.0000m
+0:von = 748.0661m 0:vop = 748.0661m 0:vss = 0.
+1:d4 = 448.1356m 1:d6 = 1.1866 1:net26 = 412.0265m
+1:net31 = 726.4610m 1:net42 = 1.1866 1:net44 = 448.1356m
+1:net47 = 1.2506 1:net51 = 251.9148m 1:net52 = 506.4089m
+1:net55 = 881.2331m 1:net60 = 748.0661m 1:net67 = 26.5096m
+1:net68 = 953.1647m 1:net73 = 878.7441m 1:net78 = 1.1866
+1:net79 = 1.1866
```

Fig. 3.6(d)

```
**** small-signal transfer characteristics
v(vop,von)/vinpp = 999.7946m
input resistance at vinpp = 33.4470k
output resistance at v(vop,von) = 283.6146m
```

Dis. 3.6(e)

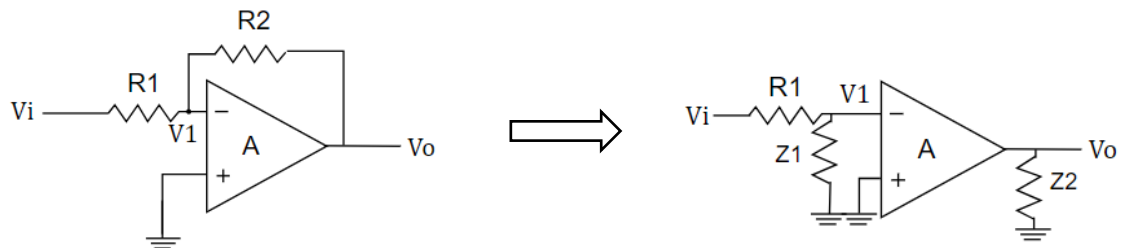
1. For Gain

如同 Dis. 3.6(b)所討論。

可得出 $V_o/V_i = 0.99990013(V/V)$

與模擬值 $-1.78m(dB) = 0.9997946(V/V)$ 非常接近，誤差為 0.01%。

2. For Input Impedance



$$\begin{cases} I_1 = \frac{V_1}{Z_1} = \frac{V_1 - V_o}{R_2} = \frac{1 - V_o/V_1}{R_2/V_1} \\ Z_1 = \frac{V_1}{I_1} = \frac{V_1 \cdot R_2/V_1}{1 - V_o/V_1} = \frac{R_2}{1 + 10.0122k} \end{cases}$$

所以 Input Impedance = $R_1 + Z_1 || Z_{open}$ ，其中假設 Z_{open} 為無限大。

$Z_{in,closed} = 25000 + 25000/(1 + 10012.2) = 25002.5(\Omega)$

與模擬結果 33.4470(K Ω)，誤差為 33.7%，誤差來源可能為忽略 Z_{open} 和 A_{open} 本身存在誤差產生。

3. For Output Impedance

我們知道理想的 Op Amp 會有 Zero Output Impedance，但是因為我們加上了 CMFB 的電路，才導致了 Output Impedance 有些微的上升。

3.7 Closed-Loop Differential Mode DC Sweep

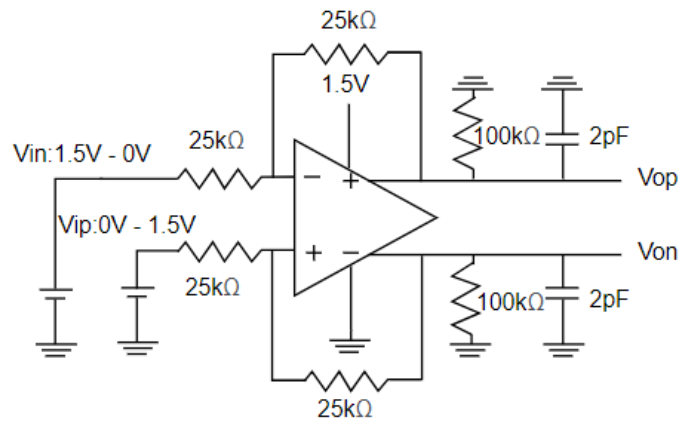
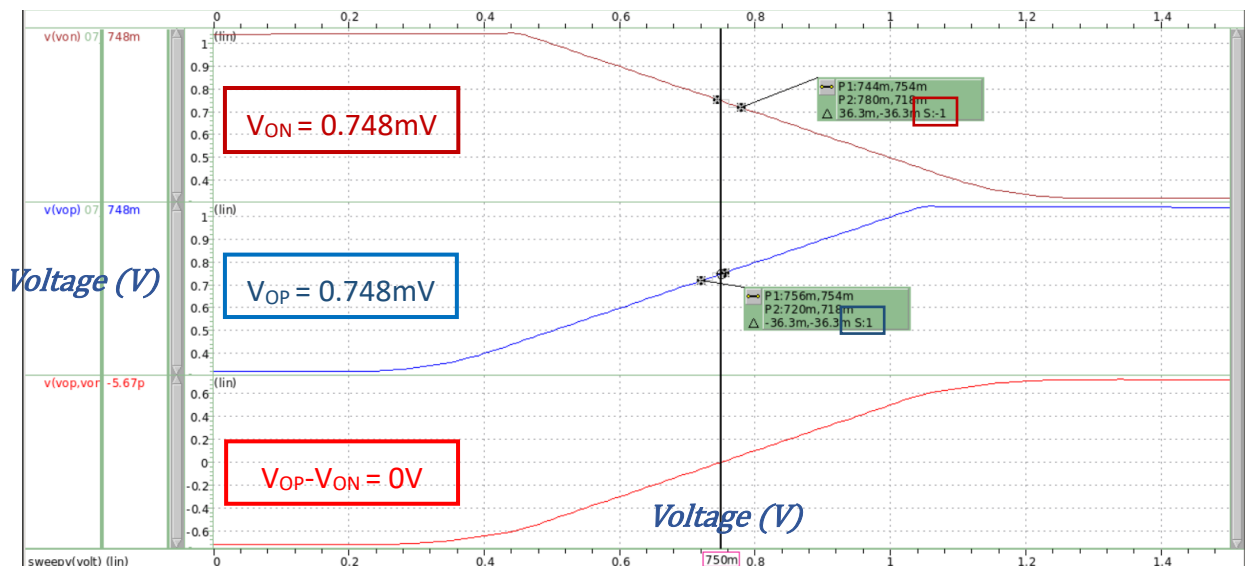


Fig. 3.7(a)



當 V_{ON} 和 V_{OP} 為 $0.748V$ (約為 $V_{dd}/2$) 時，能得出差動斜率為 $1(V/V)$ ，與 3.6 模擬結果 $0.9997946(V/V)$ 相當接近，且因電路對稱，兩端輸出的電壓值等值異號。

3.8 Closed-Loop Distortion Simulation

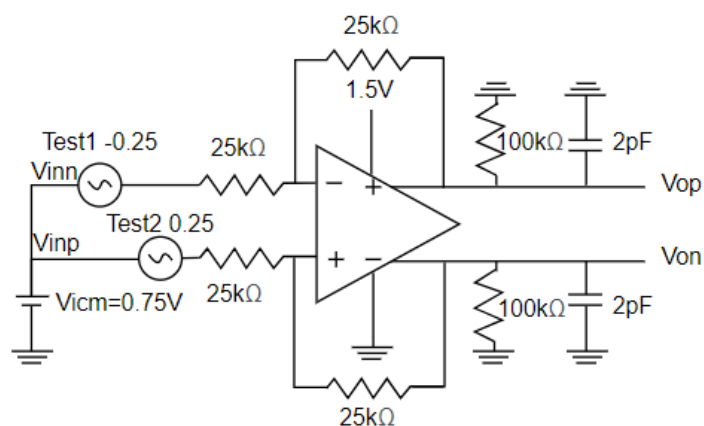
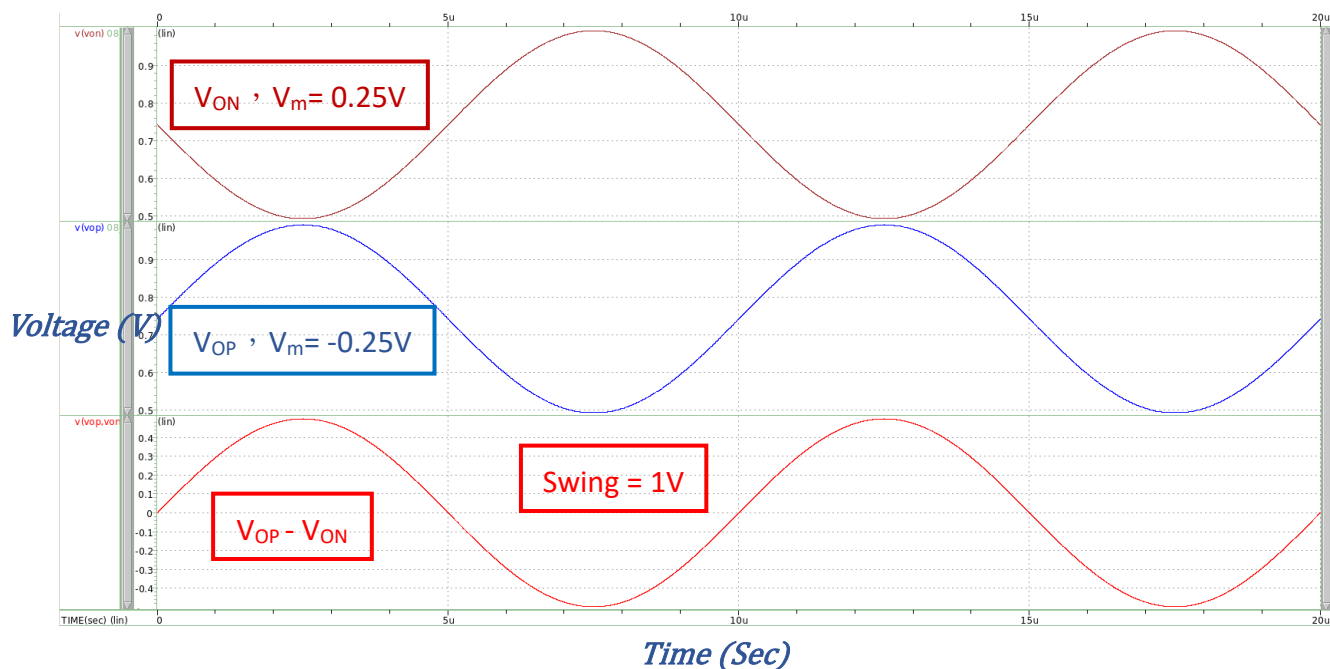


Fig. 3.8(a)

fourier components of transient response v(vop,von)
dc component = 32.7687f

harmonic no	frequency (hz)	fourier component	normalized component	phase (deg)	normalized phase (deg)
1	100.0000k	499.7823m	1.0000	-90.2233	0.
2	200.0000k	7.1210p	14.2482p	89.7633	179.9866
3	300.0000k	123.2222u	246.5517u	-37.5701	52.6532
4	400.0000k	569.7918f	1.1401p	87.5820	177.8053
5	500.0000k	74.8496u	149.7645u	153.6175	243.8408
6	600.0000k	156.6958f	313.5281f	82.9189	173.1422
7	700.0000k	28.3148u	56.6544u	-21.8418	68.3815
8	800.0000k	74.3722f	148.8092f	84.7274	174.9507
9	900.0000k	5.0702u	10.1448u	156.0771	246.3004

total harmonic distortion = 0.0294159 percent



雙端輸出相較於單端輸出的 THD 更好，因雙端輸出能有效地把偶次項的諧波成分給消去，而主要看的是基波、二次諧波、三次諧波，其餘成分影響不大。我設計的 OP 電路雙端輸出的 THD 為 $20\text{Log}(0.0294159 \times 0.01) = -70.63(\text{dB})$ ，小於題目所要求 $-60(\text{dB})$ 。

3.9 Closed-Loop Step Response

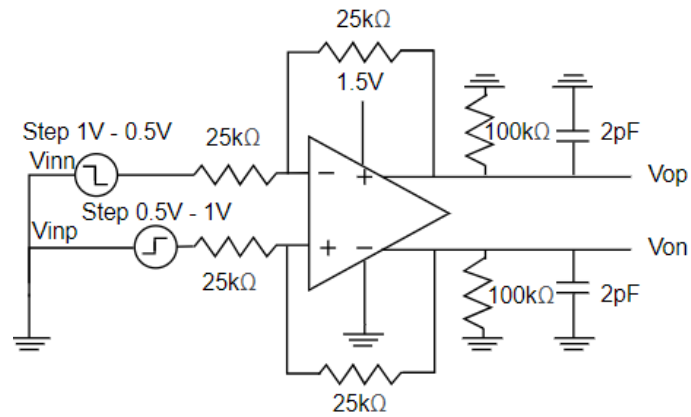
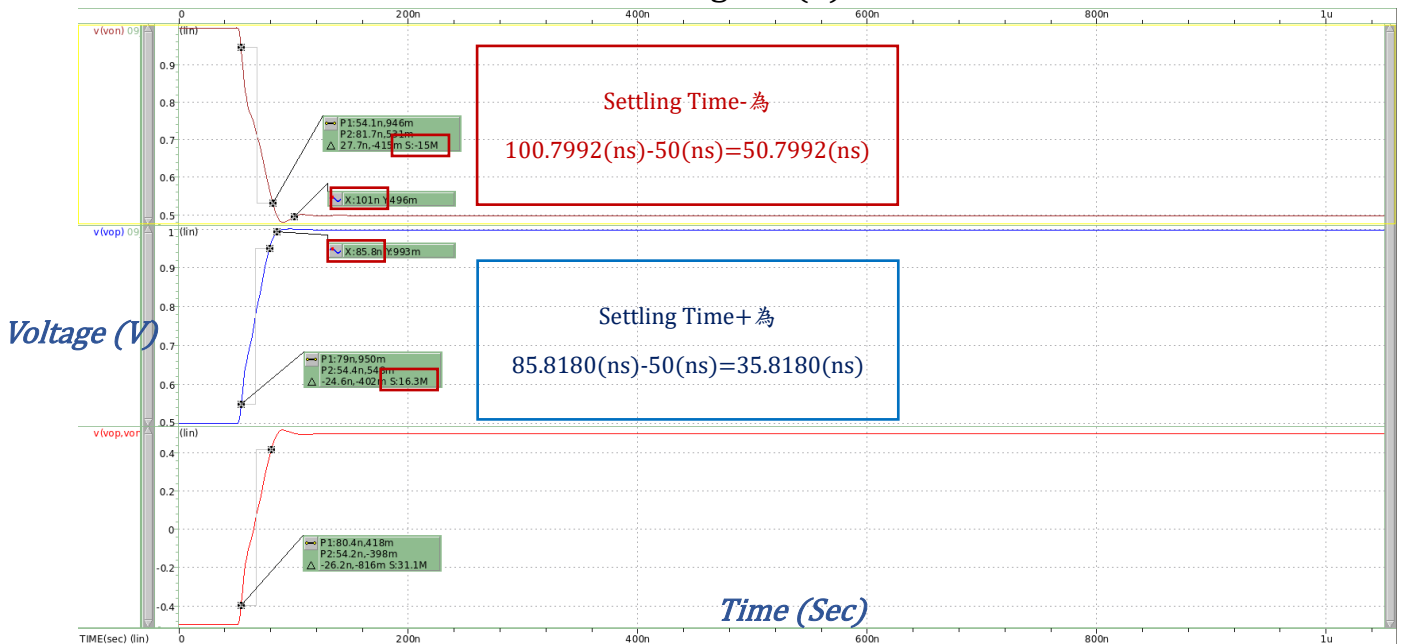


Fig. 3.9(a)



Fig. 3.9(b)



下圖為跑出來的結果，可以發現 Slew Rate+ 為 **16.3878(V/us)**，Slew Rate- 為 **15.2159(V/us)**，Settling Time+ 為 85.8180(ns)-50(ns)=**35.8180(ns)**，Settling Time- 為 100.7992(ns)-50(ns)=**50.7992(ns)**，皆符合題目要求。理論上雙端輸出比起單端輸出速度更快，因雙端輸出能夠透過 Differential 有效地消除偶次階諧波所帶來的部分擾動，把單端輸出的 Damping 有效地抑制下來，也有較佳的 THD 特性以及 Settling Time 表現。

Slew Rate 由 External Node 所產生，計算如下：

$$V_{OP,SR} = \frac{dV_{out}}{dt} \Big|_{\max} = \frac{I_{op}}{C_L} = \frac{32.9531u}{2p} = 16.4765 \text{ (V/us)} \text{ 與模擬值誤差為 } 0.53\%$$

$$V_{ON,SR} = \frac{dV_{out}}{dt} \Big|_{\max} = \frac{I_{on}}{C_L} = \frac{30.4966u}{2p} = 15.2483 \text{ (V/us)} \text{ 與模擬值誤差為 } 0.21\%$$

上述誤差可能來自平均充放電的電流時間始終與 SR Time 差了一點造成。

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
pos_settling_h= failed
pos_settling_l= 35.8180n
final1= 997.8559m
hlimit1= 1.0028
llimit1= 992.8667m
htime1= failed
ltime1= 85.8180n
pos_settling1= failed
final2= 498.1901m
hlimit2= 500.6811m
llimit2= 495.6992m
htime2= 84.9178n
ltime2= 100.7992n
pos_settling2= 50.7992n
begin1= 498.1874m
begin2= 997.8555m
srp_v1= 548.1542m
srp_v2= 947.8891m
srp_time= 24.3922n targ= 78.7833n trig= 54.3911n
srp_diff= 399.7348m
srp= 16.3878x
srn_v1= 947.8889m
srn_v2= 548.1566m
srn_time= 26.2707n targ= 80.2995n trig= 54.0288n
srn_diff= 399.7323m
srn= 15.2159x
iop= 32.9531u from= 54.3911n to= 78.7839n
ion= -30.4966u from= 54.0288n to= 80.2992n
```

Fig. 3.9(c)

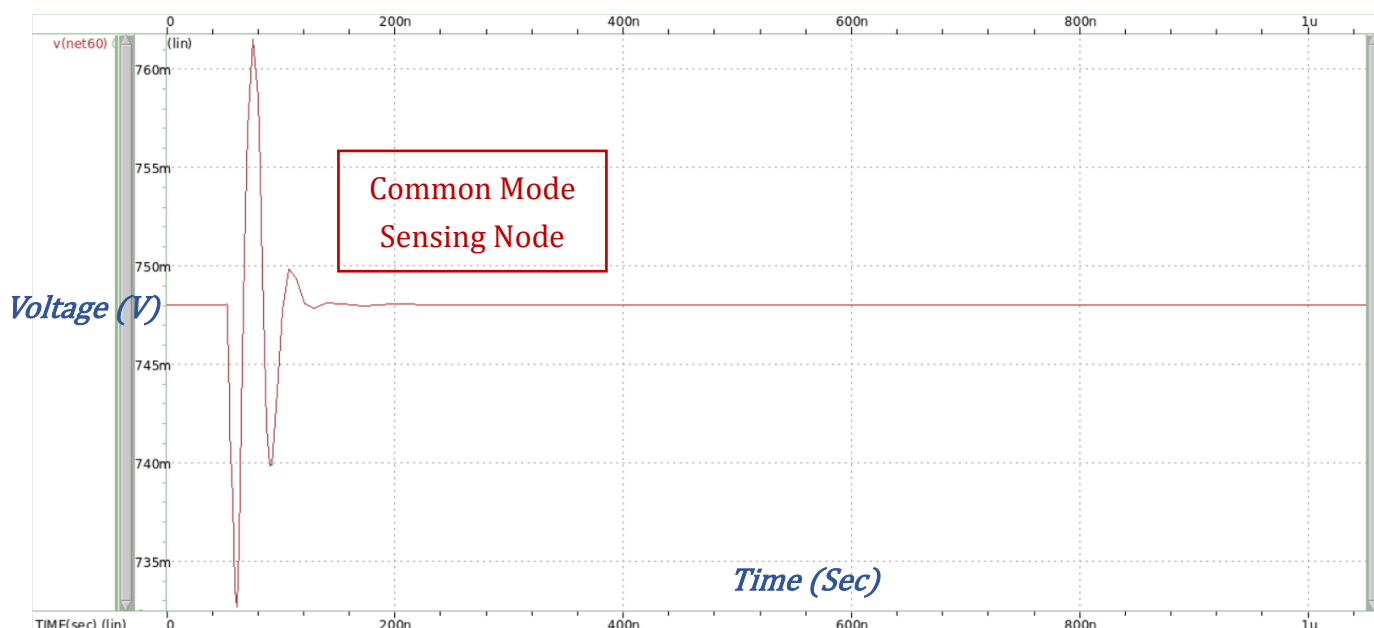
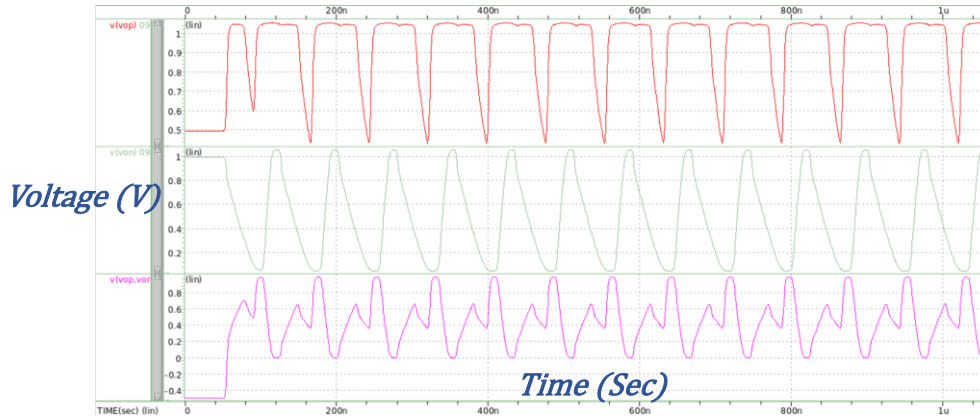


Fig. 3.9(d)

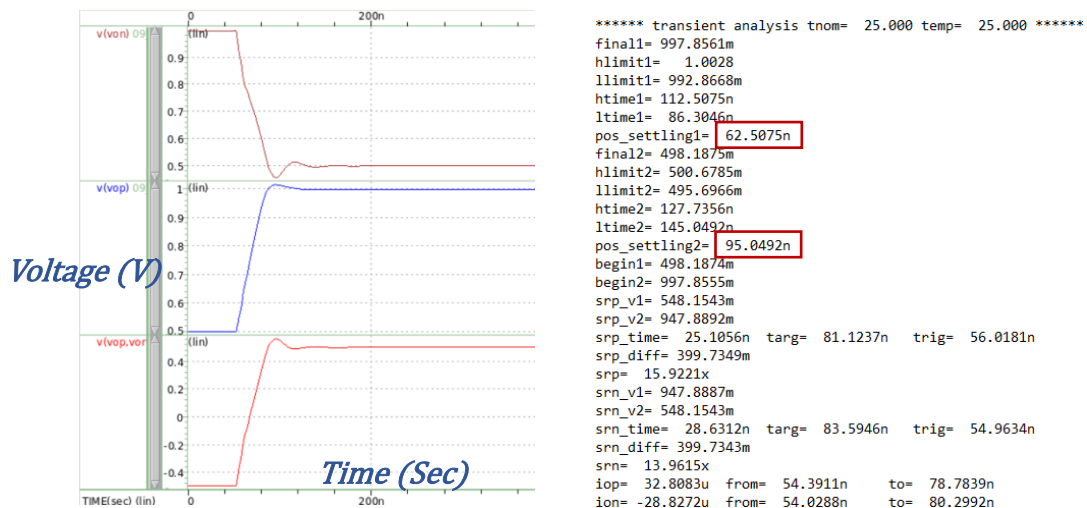
Settling Time 的部分可以先比較以下三種情況 Un-compensate、Light-Compensate、Normal-Compensate:

1. Un-compensate:

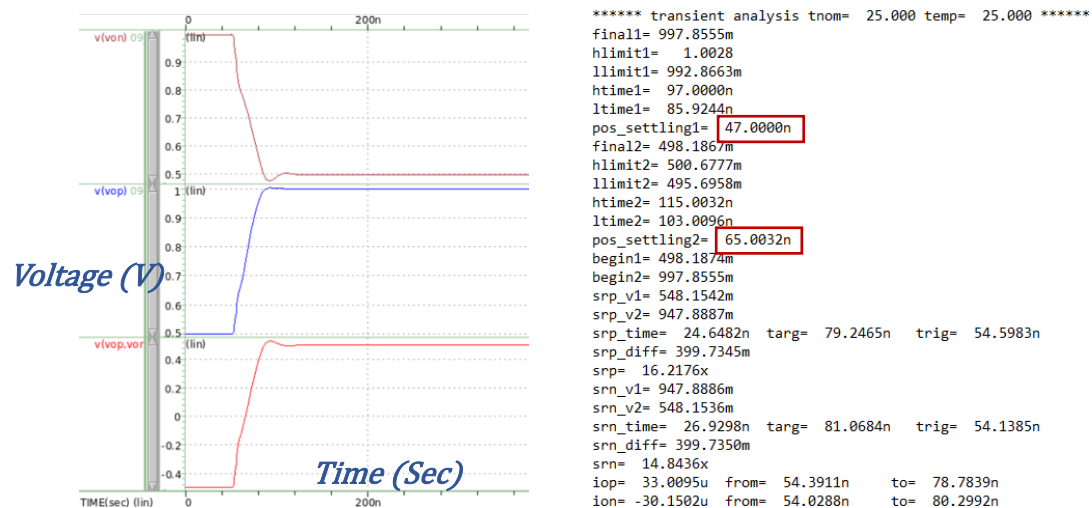


可以看出在 Un-Compensate 下，Von 和 Vop 整體來說是不能使用的，因為 OP 本身為不穩定。

2. Light-Compensate($C_c=1.09p$, $R_z=2k\Omega$):



3. Normal-Compensate($C_c=1.09p$, $R_z=4k\Omega$):



而 CMFB 部分，由 Fig. 3.9(d)-1 能看出當輸入給一個震幅為 1V 的 Step 訊號，理論上輸出應立即反應同樣一個震幅為 1V 的輸出，但因 V_{on} 和 V_{op} 總有一些偏差，而這些偏差也會反應在輸出上而造成輸出的偏移。要解決這個問題於是加入了 CMFB 的電路，將 V_{on} 和 V_{op} 拉出來經 RCM 分壓看相加除以二的電壓，若與期望的 V_{ocm} 有偏差，藉由改變 CMFB 內部 Error Amplifier 電流，經由負回授回到 M5 的 Gate 去調整輸入的偏壓值，經過一段時間穩定後會使得 V_{ocm} 回到最初設定的值，大致流程圖如 Fig. 3.9(d)-2 所示。

```

graph TD
    A[CM Voltage ↑] --> B[ID,MCM1 ↑]
    B --> C[FB Voltage ↓]
    C --> D[ID,MCM1 ↓]
    D --> E[FB Voltage ↑]
    E --> A
    F[最後 Voltage Stable]
  
```

IV. Design Considerations

(a) Device Values And Operation Point Selection

1. For bias

注意電流源的 Length 盡量大一點，一方面是為了讓 V_{th} 不要那麼高以去壓縮操作區間，另一方面根據理論有較大的 V_{ov} 的話有較好 THD，最後則是大的 Length 可得出較大的 r_o 在 Common Mode 分析時，能得出較小的 ACM。而對於 Constant g_m 和 Start-up 的設計，我一開始打算將送入 M3、M4、M11、M13 的 Gate 電壓設定在 0.5V，接著再使用 Dis.1.(a)推導的公式，由於 $I_{D,MB5}$ 會等於 $I_{D,MB4}$ ，所以可以從電流 $I_{D,MB5}$ 和 $V_{OV,MB4}$ 算出大致上的電阻，接著也要讓各處 MOS 處在合適的區間，特別注意 MB1 要 Subth($(W/L)_{MB1}$ 要大)，透過不斷的微調最後將 R_b 設定在 7500Ω 。

2. For Core Differential Amp

此為兩級放大器的核心，可以知道設計需左右對稱才会有平衡的 Performance，也才能使用等效半電路做分析。

For Frequency and Time Domain

設計時，發現 Pole2 設計在 Unity Gain Frequency 外，對於穩定性的掌控程度會最佳，已知 Pole2 為 Output Pole，若要把 Pole2 推遠的話從公式可以知道 g_{m12} 不能太小，也就是 Buffer 的電流要夠大，同時也可以增加 Slew Rate。另外也要特別留意 Zero 的位置，盡量要讓 Zero 位於 Unity Gain Frequency 之前，這樣才能讓 Gain 下降的速率變緩且 Phase 也能稍稍拉回，要小心的是一但有過多的補償就會有 Time-Domain 上的問題，可能 Slew Rate 不佳又或者是整個電路起震到很後面進而拉高 Settling Time。至於 Dominant Pole 也要特別留意，從公式可以知道如果將 C_c 取小，雖然可以讓 Dominant Pole 變大，使得 Unity Gain Frequency 和 Slew Rate 增加，但會讓 Phase Margin 下降，而在設計時我發現 Settling Time 和 Slew Rate 是有 Trade OFF 的，因為我發現 Slew Rate 增大時，Damping 也會越來越大，且增加 C_c 的電容值有的時候可以減少 Settling Time，但 Slew Rate 也會因此減小，因此如何決定 C_c 、 g_{m6} 和 R_z 就顯得很重要。

For Gain

至於 MOS 尺寸的設計，由於 Gain 是由兩級 OP 相乘的，為了讓 Gain 達到規格 80dB，首先大致觀察 Gain 公式 $A_V = g_{m1}(r_{o2}||r_{o4})g_{m6}(r_{o6}||r_{o7})$ (忽略 Buffer 的影響)，由於 g_{m6} 與 Zero 有關，為了避免 R_z 到時候取得過大超過上限，所以避免將 g_{m6} 取得過小($(W/L)_6$ 要大)，代表不能為了壓低電流而將第二級電流壓過低，而第一級的電流我設計的很小，由於根據 HW1， r_o 反比於電流，所以我設計得電路主要是是依靠 r_o 來增高 Gain 的，因此第一級跟第二級 MOS 的 L 不能取得太

小，總之將 M1、M2、M6、M8 的(W/L)提高，或是將 M3、M4、M7、M9 的(W/L)降低，都可以使 Gain 增加。另外加入 Buffer 的目的是為了有效降低輸出阻抗，使得如果後級接上其他電路或是 Loading，可以降低負載效應讓 Gain 不會掉太多。

For THD

我發現當 Supply Voltage 壓越低時，當 V_{on} 、 V_{op} 越接近 $V_{dd}/2$ ，THD 會突然暴增，經過幾次嘗試之後發現需要將 M10、M12 的 V_{ov} 壓得越低越能增加電路的線性度並減少 THD。

3. For CMFB

這塊即是這次 Project 最需要探討的地方。這部分功能是假設電路中有一個地方產生偏差，以至於 V_{op} 、 V_{on} 不在我們所需的點上，我們須經由 CMFB 與我們所需的 V_{ocm} 做差值的比較，而 CMFB 的輸出再經負回授傳至 Core Differential Amplifier 做偏差的調整。可以注意的由於 RL 掛上 $100k\Omega$ ，所以 RCM 的值不能取得太小，不然根據上述推導 Buffer Gain 公式會稍微降低增益，此外我也發現將 RCM 提高可以減少 Settling Time，我取 $RCM=119k\Omega$ ，。

4. For Start-Up Circuit

此電路的目的為假設 Supply 電壓上電時，防止 Constant gm 電路無電流永久處於穩態，加入的 MB1 等同新增一條路線使得 MB7 在電壓上電時有電流從 MB7 流至 MB1，又因為 MB6 為 Diode Connected，所以 MB6 也會有電流，這樣可以使得 Constant gm 不會處於關斷的狀態，根據 Dis.1(b)可以得知當 Supply 電壓達到 1.5V 時，MB1 最終要關斷，所以可以讓 MB1 的(W/L)小，且我為了使電流壓低也將 MB3 的(W/L)取小。

(b) Compensation

若 Pole2 要推到 Unity Gain Frequency 外的話 g_{m12} 必須要大，除了將 Pole2 推遠之外，加入補償電路之後，還需要將 Zero 盡量往前拉，讓 Gain 和 Phase 降低不那麼劇烈，而上述有提到 Zero 與 C_c 、 g_{m6} 和 R_z 有關係，且為了能讓 Zero 為左半平面也就是要設計 $R_z > 1/g_{m6}$ ，而如果將 C_c 取大或 R_z 要取大，也能使 Zero 往前移，同時也能稍微減少 Damping 的幅度，增加電路的穩定性，然而 Slew Rate 也會因此變小，要注意的是如果補償過多導致 Zero 太前面，雖然可以大幅增加 Unity Gain Frequency，但如果使 Pole2 落到 InBand 就會導致 Phase Margin 降低，最終我取 $R_z=4.55K\Omega$ ，且把 Phase Margin 設置在 45 度。由於我為了要讓電流壓在 0.4uA 以下，又為了讓 Slew Rate 達到規格，所以取小的 $C_c=1.09pF$ 。

(c) Supply Voltage

在不斷嘗試不同 Supply Voltage 後，我發現其實最難達成的是當 Supply Voltage 越低，會使得 THD 越來越難壓下來，而且在跑 AC Closed-Loop 時，很容易因為 AC 擺幅大，使 M1、M2 的 Source 端電壓太高，讓 M5 的 V_{ds} 減少很多，很容易進到線性區，這樣會造成第一級電流不夠，連帶影響 M1、M2、M3、M4 等 MOS 離開飽和區，最後 Gain 就會因此不正確。另外減少 Supply Voltage 也會減少各 MOS 的電流，有可能讓 Gain 沒辦法達到那麼高，Slew Rate 也有可能因電流下降而變慢。

(d) Optimizing Performance

如果要讓 Performance 好，就要確保在能維持 80dB Gain 和 100MHz GBW 的情況下想辦法減少 Supply Voltage 和電流，同時又要滿足其他的 Spec，除了上述提及減少 Supply Voltage 會帶來的影響外，減少電流的部分有可能會受限於 Slew Rate 的影響，如果 Slew Rate 落在 External Node，Buffer 電流不能壓太低，且避免讓 Slew Rate 在 Internal Node Dominant，所以補償電容 C_c 需壓得夠低，這樣就可以讓各級的電流壓小。然而第二級的電流也不行壓得太低，不然 g_{m6} 的降低可能會使 Dominant Pole 過小壓低了 GBW，總之在實作過程中遇到很多 Trade-Offs，以下整理幾點：

1. Unity Gain Frequency 和 Phase Margin(由於 Zero 的改變)
2. Gain 和 Unity Gain Frequency(由於 Dominant Pole 的改變)
3. Slew Rate 和 Settling Time(C_c 的改變)
4. Slew Rate 和電流(Buffer 電流的改變)
5. Gain 和電流(g_m 的下降)

V. Discussions

(a) Experience

這次的 Final 對我來說是一個非常大的挑戰，因為與以往作業不同，這次是把很多上課教過的電路和觀念合在一起，其實整個電路最重要的地方就是米勒補償那塊，只要調整 Pole 和 Zero 的位置基本上就能輕鬆達到題目要求的 Gain 和 BW，但最花我時間的地方是卡在各種 Trade-Offs，雖然說 Gain 和 BW 容易達到，但常常就讓 THD、SR、Settling Time 犧牲很多，若穩定性不佳只能去調整補償電路 R_z 、 C_c ，會受到 Settling Time 和 SR 的限制；若 SR 不佳，就去加大 Buffer 的電流讓電容充放電的速度能快點或是降低 C_c 值，但同時又可能影響剛調整好的穩定度，加大電流也會受到功耗的限制，甚至影響 THD；若 Settling Time 不好可能是 Slew Rate 太慢或者是起震的幅度太大，且 CMFB 來不及回授造成波形震盪，增加 Settling Time。這些在實作過程中雖然繁雜且各數值得取捨須要花很多時間去

嘗試，但當逐漸掌握到關鍵之後就會變得有趣很多，最後我本來想嘗試將 Supply Voltage 壓到 1.3V，但是 THD 會增加很多也壓不下來，跑 Closed Loop AC Response 時，MOS 的工作區也常常會偏，Gain 也調不到那麼高，所以最後就以 Supply Voltage 1.5V，不斷嘗試壓低 Settling Time，經果幾次嘗試之後發現如果將 M1、M2 的 L 壓低可以有效降低 Settling Time，且掉下來的 Gain 如果透過加大 M3、M4 的 L 來補效果最佳。

(b) Summarizing

從這個 Project 學到很多知識，也花了很多時間去理解各參數和電路代表的意思和功能，尤其米勒補償那塊我覺得最神奇，居然可以透過電容就把 Pole1 和 Pole2 拉遠，加上電阻竟然還可以產生一個 LHZ 對電路的穩定性增加不少，同時 CMFB 也是電路中很重要的一環，可以透過 FB 電壓改變電流，負回授回去調整偏壓，也達到穩定電路的功能，另外 Start-Up 電路也是第一次使用，可以使 Supply 電壓從 0V 到 Vdd 時不會因為電路無電流而停擺，可以透過增加另一個 Path 讓電路活起來。至於 THD 我還是沒有一個確切的方法來降低它，只能從嘗試中找到端倪，像是調整 M10、M12 的 Vov 和嘗試找到適合的 Length 尺寸。

整體來說這是門對於類比電路有熱忱的人來說的初階課程，要走類比相關領域的這門課應該算是必修，但我希望老師能在前面較簡單的部分能上快一點，多把時間放慢留在後面的章節，很多時候上課會來不及理解就要跳到下一個內容，同時也希望作業批改的速度能再快一點！總之非常感謝教授這學年的教學，很喜歡聽教授分享人生和職場經驗，這堂課可以算是我這學期收穫最多也花最多時間的一門課，也感謝助教們想出這些作業給我們練習，希望未來能有機會進到教授的實驗室學習！

VI. Reference

以上圖片均為自行繪圖。