**AIC HW1**

110011222陳立珩

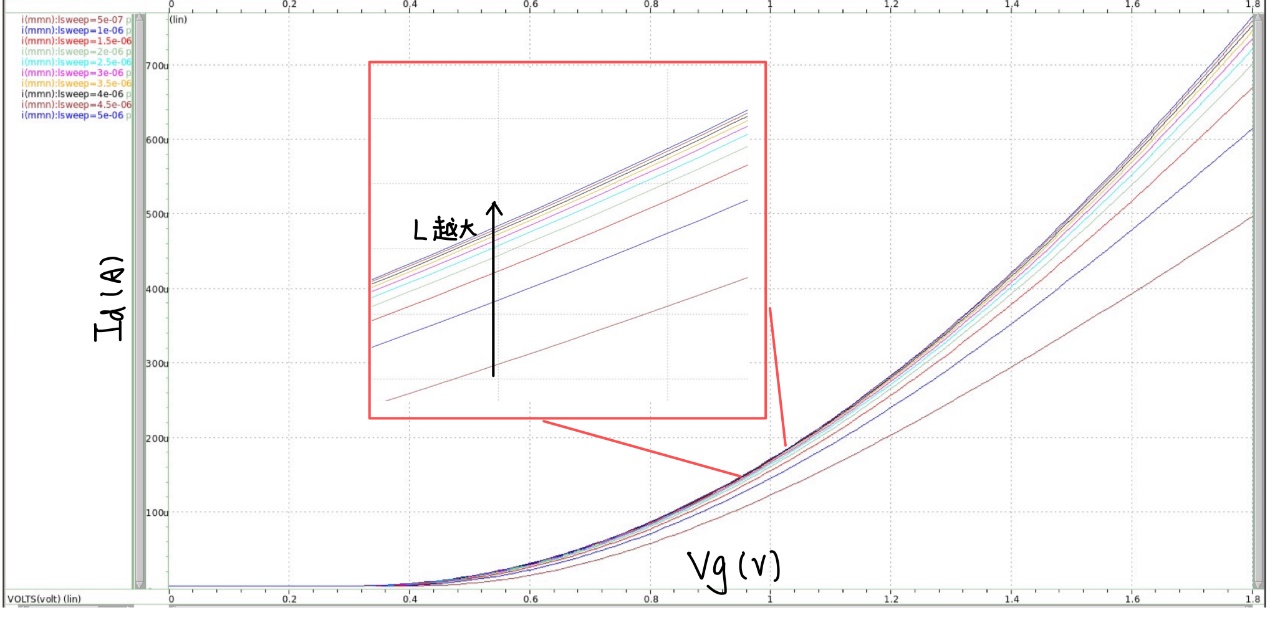
NMOS: IDS= × µnCOX ×(VGS - |Vth|) 2(1+λVDS) ……

PMOS: ISD= × µpCOX ×( VSG - |Vth|) 2(1+λVSD) ……

**PART(1)**

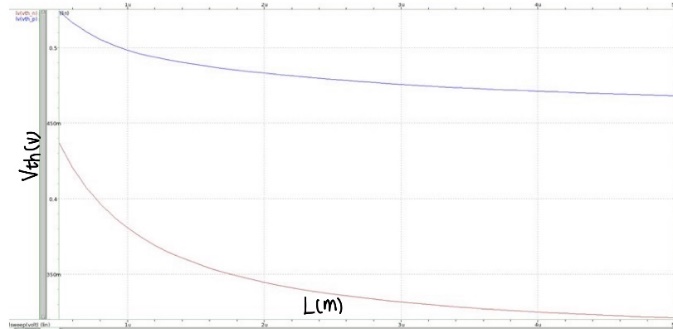
NMOS:

下到上的5條線分別對應由小到大的5種L



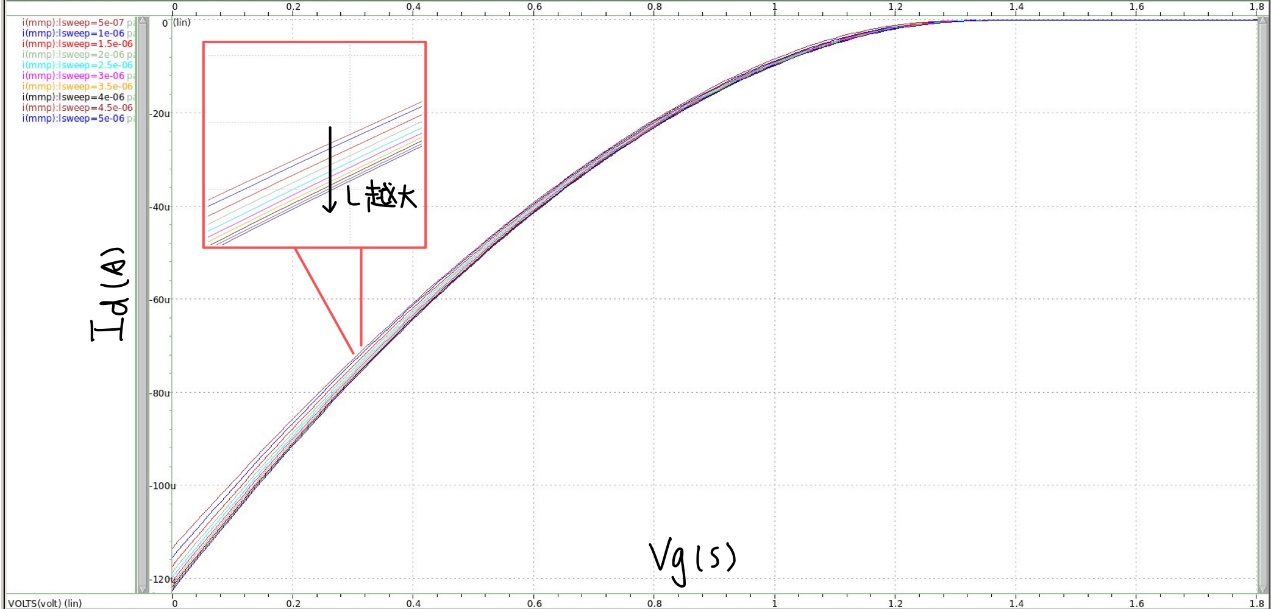
此架構mos會一直處於saturation region(VGS - VTH<VDS=VD - VS =1.8v)根據電流公式，其中維持相同比例關係，接下來就是要確認length對於Vth的影響，於是再跑了另一張Vth vs channel length 的圖(橫軸為channel length (m)，縱軸為|Vth|(v)如下)，可以發現當length越大時Vth越小(此原因part2 (1)有提到)，根據電流公式在相同VGS下，當length越大Id也會越大，而如果考慮同一length則是VGS越大則Id越大，關係呈現(VGS - VTH) 2指數(平方)增加。

圖中可以發現length = 5um 時Id會最大，隨著length、VGS越來越大，Id越來越大。



PMOS:

下到上的5條線分別對應由大到小的5種L

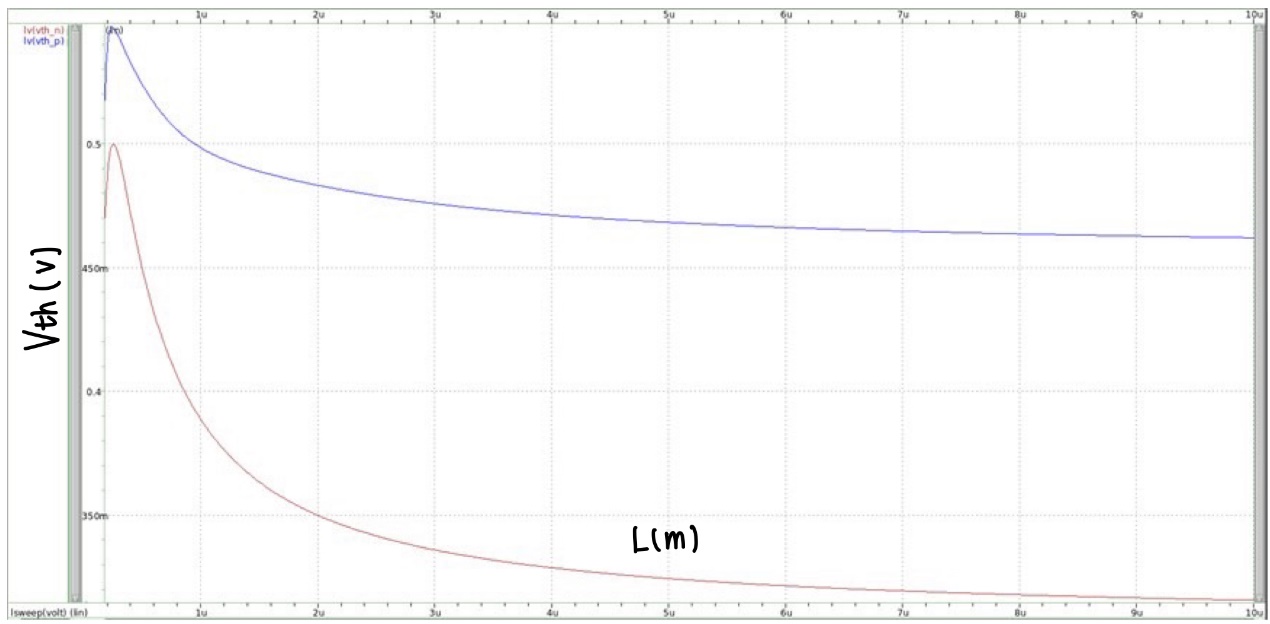


pmos也會一直處於saturation region(VSG - |VTH|<VSD=VS- VD =1.8v) 根據電流公式可以得到與nmos相似的結果，在VSG 固定下，length 越大|VTH|則會越小，使得|ISD|越大;在length固定下，VSG越大(VG越小，因為VSG=VS-VG=1.8-VG )|ISD|越大，|ISD|和( VSG - |Vth|) 2呈現平方關係增加。

**PART(2)**

**(1)~(4)** 棕線為NMOS 藍線為PMOS

**(1) Threshold voltage Vth (V) v.s L (m)**



1. 觀察圖可得，當 0.180um ≤ channel length ≤ 0.239um，NMOS 的|Vth|和 L成正相關，當 channel length ≥ 0.239um，NMOS 的|Vth|和 L 成負相關。
2. 觀察圖可得，當 0.180um ≤ channel length ≤ 0.251um，PMOS 的|Vth|和 L 成正相關，當 channel length ≥ 0.251um，PMOS 的|Vth|和 L 成負相關。
3. 觀察圖可得，PMOS 的 |Vth|恆比 NMOS 的|Vth|的值來的大。
4. 因為電子的流動性比電洞高，故|Vthp| > |Vthn|，與 3.的結果相符。
5. 當 channel length 太小時，NMOS 和 PMOS 會發生 roll-off 的現象，故|Vth| 隨著 channel length 增加而上升，與 1.和 2.的觀察相符。
6. 隨著 channel length 增加，aspect ratio(=W/L)保持不變。
7. 當 VDS 與 VGS 固定時，drain current 正比於(VGS–Vth)和aspect ratio。
8. 因為 MOS 的 drain 都接一個 50uA 的電流源，故其 drain current 趨近定值。
9. 實際需要考慮 channel-length modulation 時，因為λ值反比於 channel length，故由式 和式 可知，Vth 隨著 channel length 增加而減少。
10. 觀察上圖，NMOS 的 Vth 變化幅度較 PMOS 明顯。

roll-off:

根據查找的網路資料，這是因為 MOSFET Charge Sharing Model 造成的，

當 L 較小時，source 和 drain 兩端的 depletion region 厚度就會大

於 gate 底下的 depletion region 厚度，可以代替形成 channel 時所需的

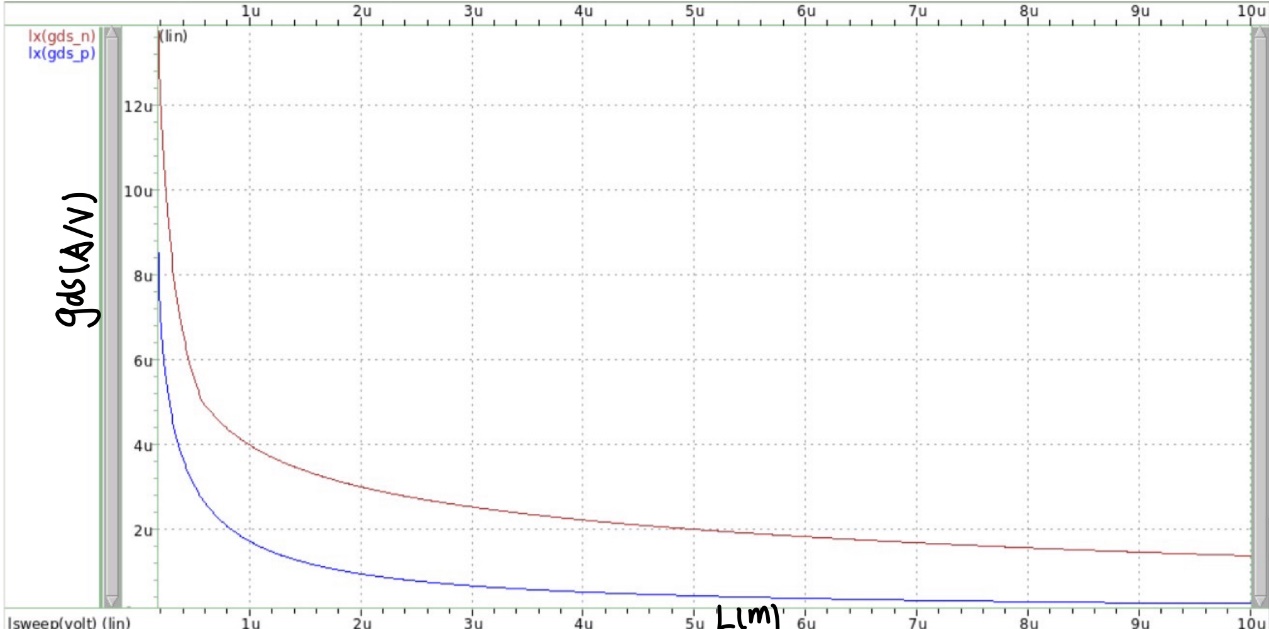
depletion region，因此只要更少的 gate 電壓就能形成 channel，所以造成

Vth 變小，這個現象稱為 short-channel effect。

除此之外，為了減少 source 和 drain 的 depletion region，現代製成會讓source 和drain 附近的 doping 程度會比較高，造成 halo doping，在 L 較小時 source和 drain 兩端的 halo doping 區域會重疊，造成整個 channel 的 doping 濃度較高，因此 Vth 會比較高，但隨著 L 上升，兩端的 halo doping 部分逐漸分開，直到兩者完全分離，Vth 也會隨著下降並收斂，這個現象稱為 reverse short-channel effect，所以在大約 L 大於 3um 時，Vth 就逐漸下降並收斂成一定值，NMOS 的 Vth 趨近 315mV，PMOS 的 Vth 則趨近 460mV。

**(2) Output conductance gds (A/V) v.s L (m)**

棕線為NMOS 藍線為PMOS

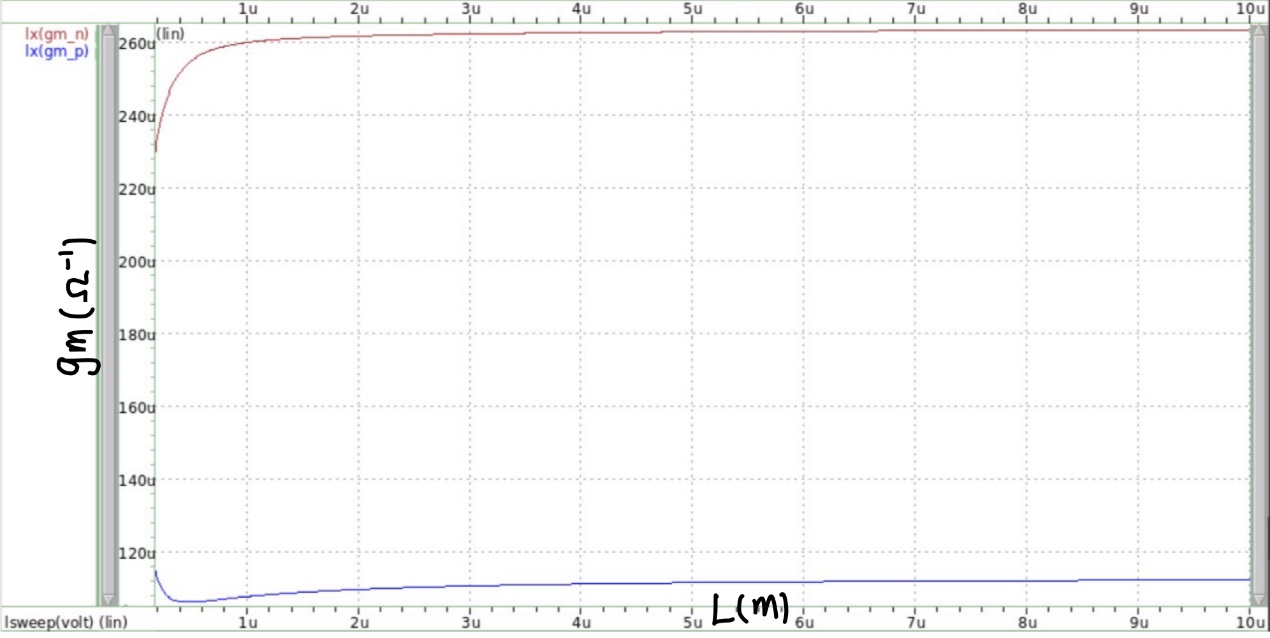


MOS: ro ≒ ……

1. 觀察上圖，當 channel length 增加時，NMOS 和 PMOS 的 gds 快速地下降並趨近一個定值。
2. 觀察上圖NMOS 的 gds 永遠比 PMOS 的 gds 之值來的大。
3. 因為 MOS 的 drain 都接一個 50uA 的電流源，故其 drain current 趨近定值。
4. 由式和λ∝可知，當 channel length 增加時，λ 會減少，故 ro 增加。
5. 由於 gds = 1/ro，因此從 3.和 4.的結論可得，當 channel length 增加，gds 減少，和 1.的觀察相符。
6. 因為 NMOS 的λ比 PMOS 的λ大(hspice計算)，故從 gds = 1/ro 和式 可知，NMOS 的 gds會比 PMOS 的 gds 大，與 2.的觀察結果相符。

**(3) Transconductance gm (Ω-1) v.s. L (m)**

棕線為NMOS 藍線為PMOS



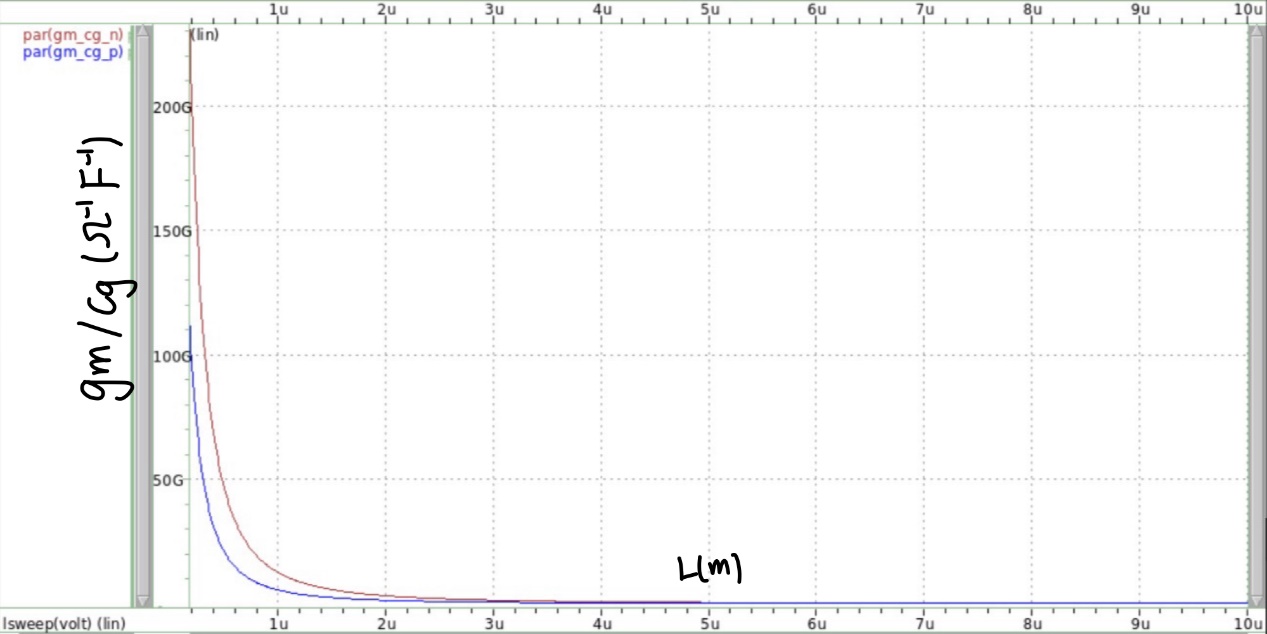
NMOS: gm= Id ……

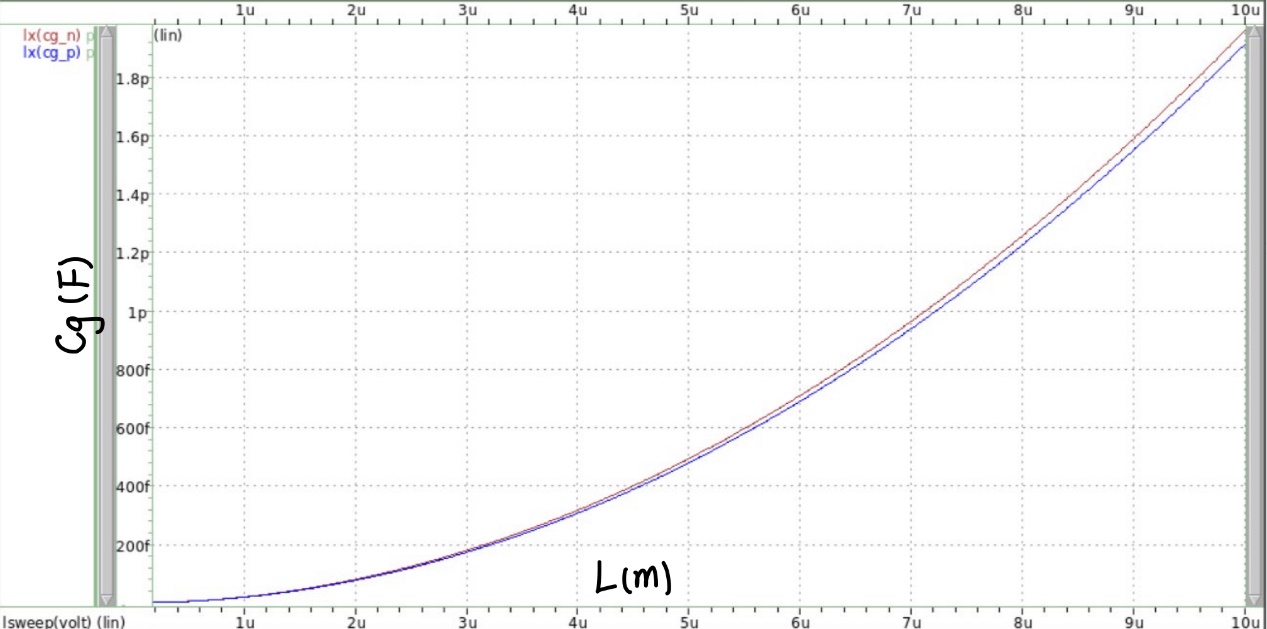
PMOS: gm= Id ……

1. 觀察上圖，NMOS 的 gm 在 channel length ≤ 1um 時，gm 隨著 L 增加而 上升，且上升幅度愈來愈小。當 channel length ≥ 1um 時，會緩慢上升並趨近一個定值 gm = 263u(1/Ω) 。
2. 觀察上圖PMOS 的 gm 在 channel length ≤ 570nm 時，gm 隨著 L 增加而下降至 gm = 106u(1/Ω)。當 channel length ≥ 570nm 時，會緩慢上升並趨近一個定值 gm = 112u(1/Ω) 。
3. 觀察上圖NMOS 的 gm 之值恆大於 PMOS 之 gm 值。
4. 在 L<1u時NMOS 的 gm 卻有些許下降，推測是因為 L 變小時會讓電場上升使電子達到saturation velocity，由 V =µ E 可推得， E↑ µ↓使得 gm下降。
5. 在L<1u 時PMOS 的 gm卻有些許上升，可能是因為λ也會因為 L 變小而上升，加上 µp < µn讓λ的影響蓋過了µp的影響。
6. 因為 MOS 的 drain 都接一個 50uA 的電流源，故其 drain current 趨近定值
7. 隨著 channel length 增加，aspect ratio(=W/L)保持不變。
8. 在µnCOX和µpCOX不變的情況下，由式和式可知，gm 會趨向一個定值，此結果與 1.和 2.的觀察相符。

**(4) Speed gm/Cg (Ω-1\*F-1) v.s. L (m)**

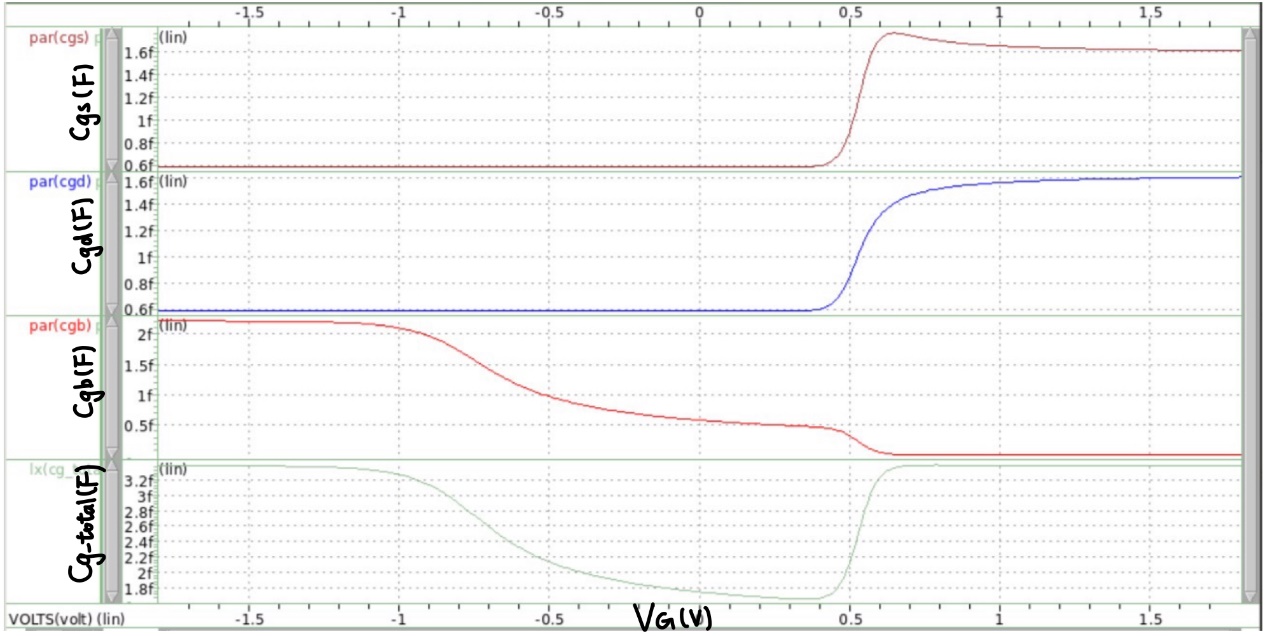
棕線為NMOS 藍線為PMOS





1. 觀察上面第二張圖，可發現 Cg = Cgs + Cgd + Cgb隨 channel length 增加而上升。
2. 觀察上圖，可知當 channel length 增加時，NMOS 和 PMOS 的 speed 快速下降至一個定值，且 NMOS 的 speed 大於 PMOS 的 speed。
3. 由(3)可得，當 channel length 增加時，gm 趨向一個定值。
4. 結合(3)、1. 和 3.，當 channel length 增加時，Cg 上升，使得gm/Cg 下降，也就是NMOS 和 PMOS 的 speed 快速地下降，且由於當 channel length 不斷增加時，gm 和 1/Cg 都趨近定值，故其 speed也趨近一個定值，此推論與1.和 2.的觀察結果相符。

**PART(3)**



1.此張圖可以分為兩個區域來查看，分為cutoff區和linear區。

2.當V­G的電壓小於Vth為cutoff區域:

**(a) Cgb vs L:**

因為通道尚未形成，於是會有gate和body之間的電容其值大約為CoxWLeff，在VG為-1.8時，有最大的值，是因為在gate中所累積的負電壓和substrate中的電子所形成電場產生的電容。當電壓慢慢上升並且趨近於0，gate和substrate之間電場下降，造成電容值下降。當電壓值持續增加使得V­G>0後，電子開始被吸附至source和drain之間，直到當V­G=Vth，此時進入linear region。

**(b) Cgs vs L、Cgd vs L:**

因為通道尚未形成，source和drain只有與gate overlap的地方產生電容，值非常小大約為CovW， 其中Cov為單位交疊電容值。

**(c) Cg\_total L:**

Cg\_total = Cgs+Cgd+Cgb ，在cut-off狀況下，因為Cgs和Cgd只有source和drain與gate overlap的寄生電容值，所以Cg\_total的變化趨勢與Cgb一致。

3.當V­G的電壓大於Vth為linear區域:

**(a)Cgb vs L:**

通道形成，於是gate和body之間的電容消失，取而代之的是gate和通道之間的電容Cgc，此時channel、drain、source三者同電位。

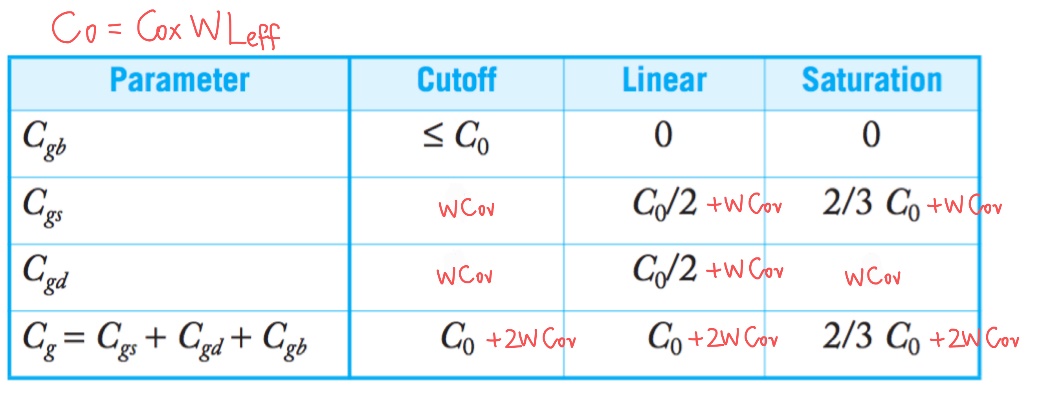
**(b)Cgs vs L、Cgd vs L:**

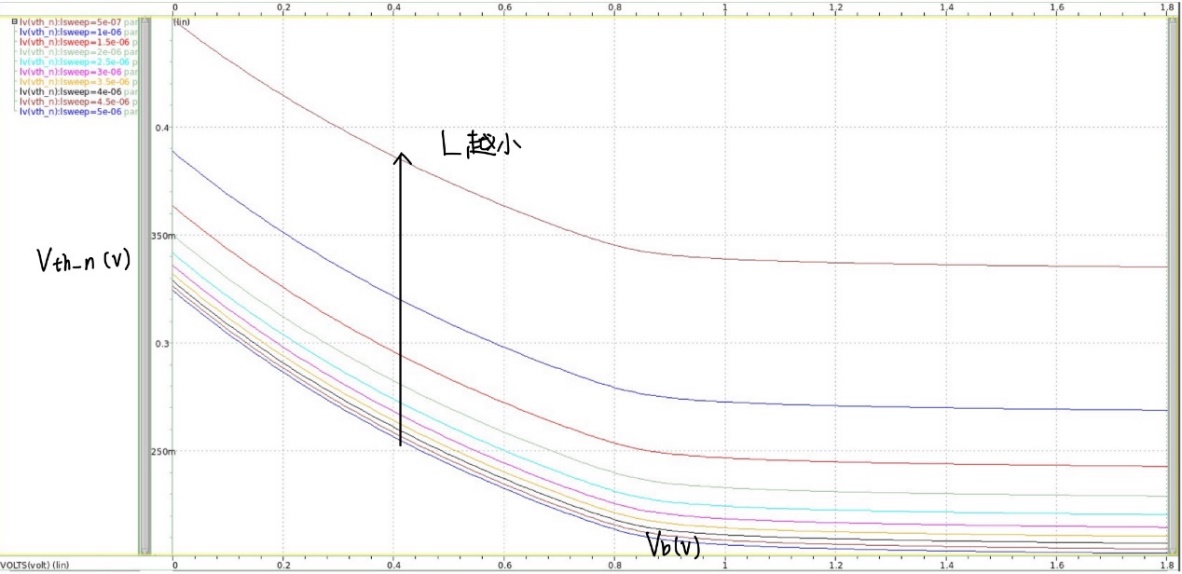
此電容Cgc值可以描述成Cgsc和Cgdc兩者電容並聯，所以Cgsc=Cgdc=CoxWLeff，加上原先overlap產生的電容就是Cgs和Cgd的電容，如圖所示，Cgs和Cgd在linear區電容值相等，大約1.6f左右。

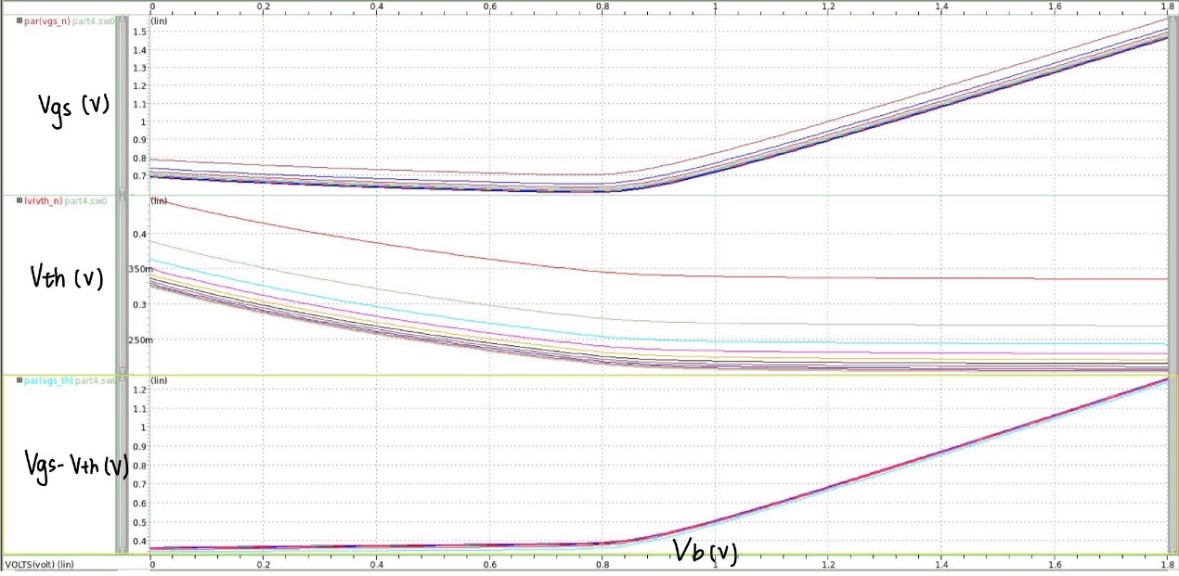
**(c)Cg\_total L:**

Cg\_total = Cgs+Cgd+Cgb ，在V­G>Vth時，Cg\_total趨向穩定，大約在3.35f左右，而且大概是Cgs和Cgd 值的總和。

4.在V­G=Vth的時候發現Cgs有一小段升高再下降，推測是因為當V­G=Vth時，此時介在saturation和linear臨界值，我們知道進入saturation區域時Cgs會變得更大，當V­G>Vth，又回到linear區域，電容又降了回來。



**PART(4)**



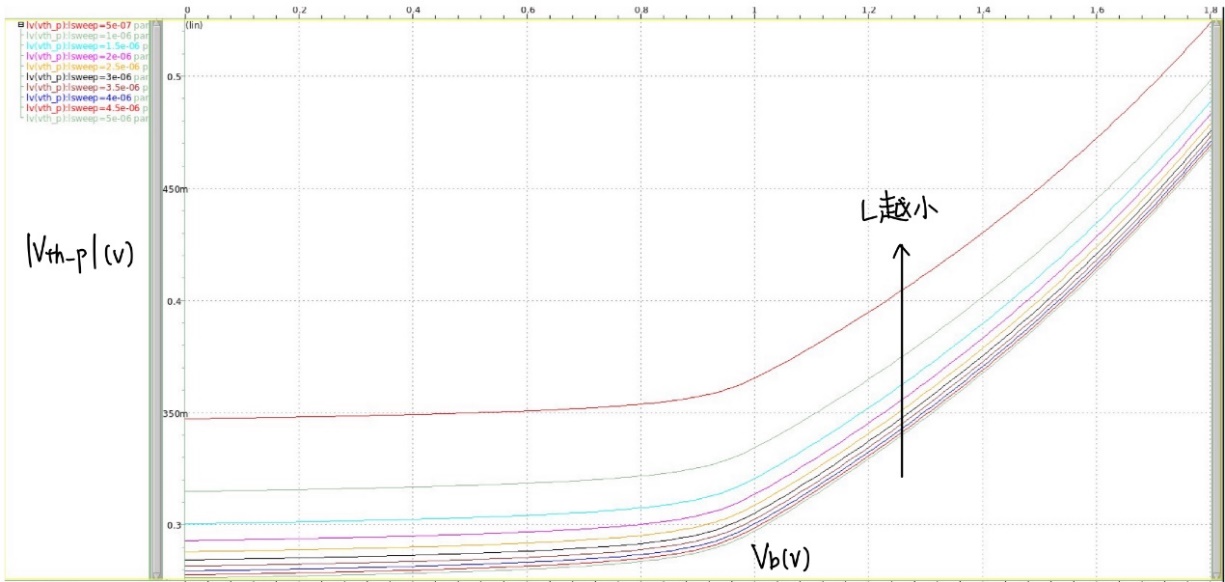
**NMOS:(sweep channel length)**

Vth = Vth0,n + γ( − )……

1. 當 Vb 增加，在γ和為定值的情況下，會變小，故從式得知，Vth會隨著Vb增加而減少。
2. 除此之外發現另一個有趣的事情，Vgs的值也會隨著Vb而改變:

當溫度在 25 度時，其 built-in potential 為0.8V，因此當 Vb 增加，pn junction 的效應愈明顯，故會產生漏電流。

1. 當 Vb ≤ 0.8V，pn junction 產生的漏電流並不明顯，且因為 NMOS 的 drain 接一個 50uA 的電流源，故其 drain current 趨近定值。由式可知,當 drain current為定值時，在µnCOX不變的情況下，Vgs-Vth 也為定值，因為 Vth 隨著 Vb 增加而減少，故其 Vgs 隨著 Vb 增加而減少。
2. 當 Vb ≥ 0.8V，pn junction 產生的漏電流較為顯著，因此，為了維持穩定drain current，Vgs 隨著 Vb 增加而增加，i.e. Vgs 和 Vb 呈正相關。
3. 由 **PART(2)**可知，在同一 Vb 下，channel length 愈小，Vth 愈大。
4. 觀察上圖，可發現第一張圖與 1. 的結論相符。





PMOS:(sweep channel length)

Vth,p = Vth0,p + γ( − )……

1. 當 Vb 增加，在γ和為定值的情況下，會變大，故從式得知，|Vth,p|會隨著Vb增加而增加。
2. 除此之外發現另一個有趣的事情，Vsg的值也會隨著Vb而改變:

當溫度在 25 度時，其 built–in potential 為 1.8V −0.8V = 1V因此當 Vb≤ 1V時，pn-junction 的效應愈明顯，故會產生漏電流。

1. 當 Vb ≥ 1V，pn junction 產生的漏電流並不明顯，且因為 PMOS 的 drain 接一個 50uA 的電流源，故其 drain current 趨近定值。由式可知，當 drain current為定值時，在µpCOX不變的情況下,Vsg − |Vth,p|也為定值，因為|Vth,p|隨著 Vb增加而增加，故其Vsg隨著 Vb 增加而增加。
2. 當 Vb ≤ 1V，pn junction 產生的漏電流較為顯著，因此，為了維持穩定drain current，Vsg隨著 Vb 增加而減少，i.e. Vsg和 Vb 呈負相關。
3. 由 **PART(2)**可知，在同一 Vb 下，channel length 愈小，|Vth,p|愈大。
4. 觀察上圖，可發現第一張圖與 1. 的結論相符。