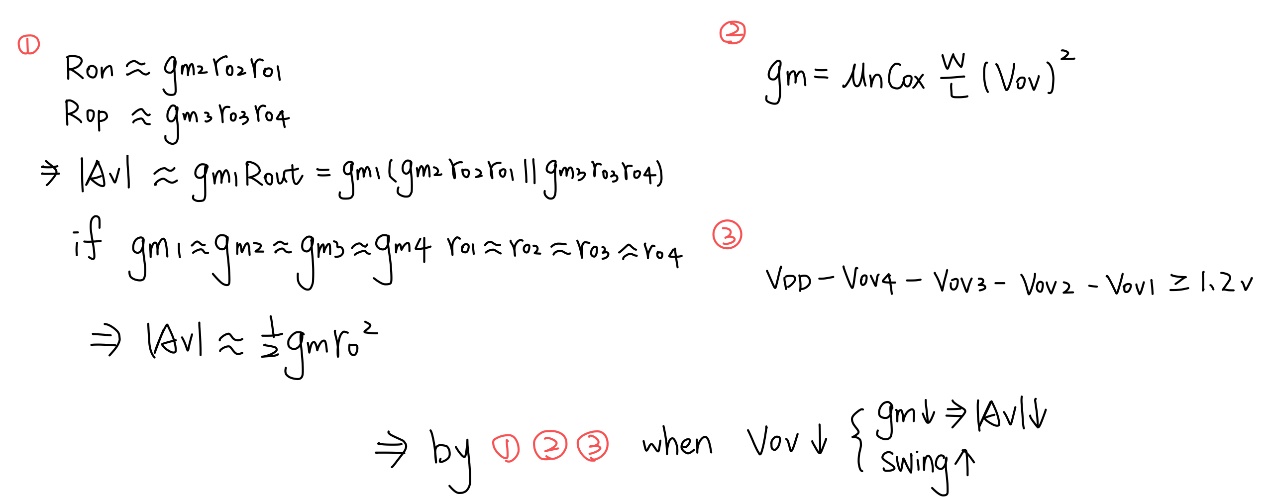
**AIC HW3**

110011222陳立珩

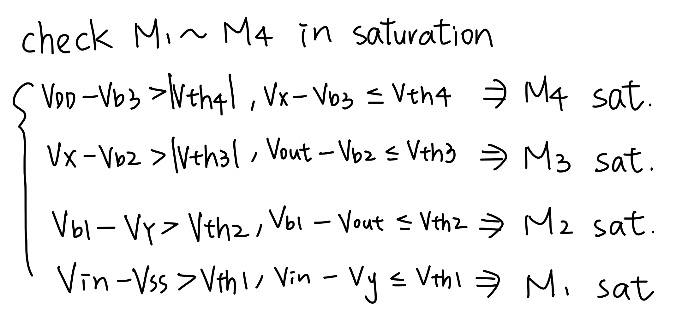
**Part I – Cascode Amplifier:**

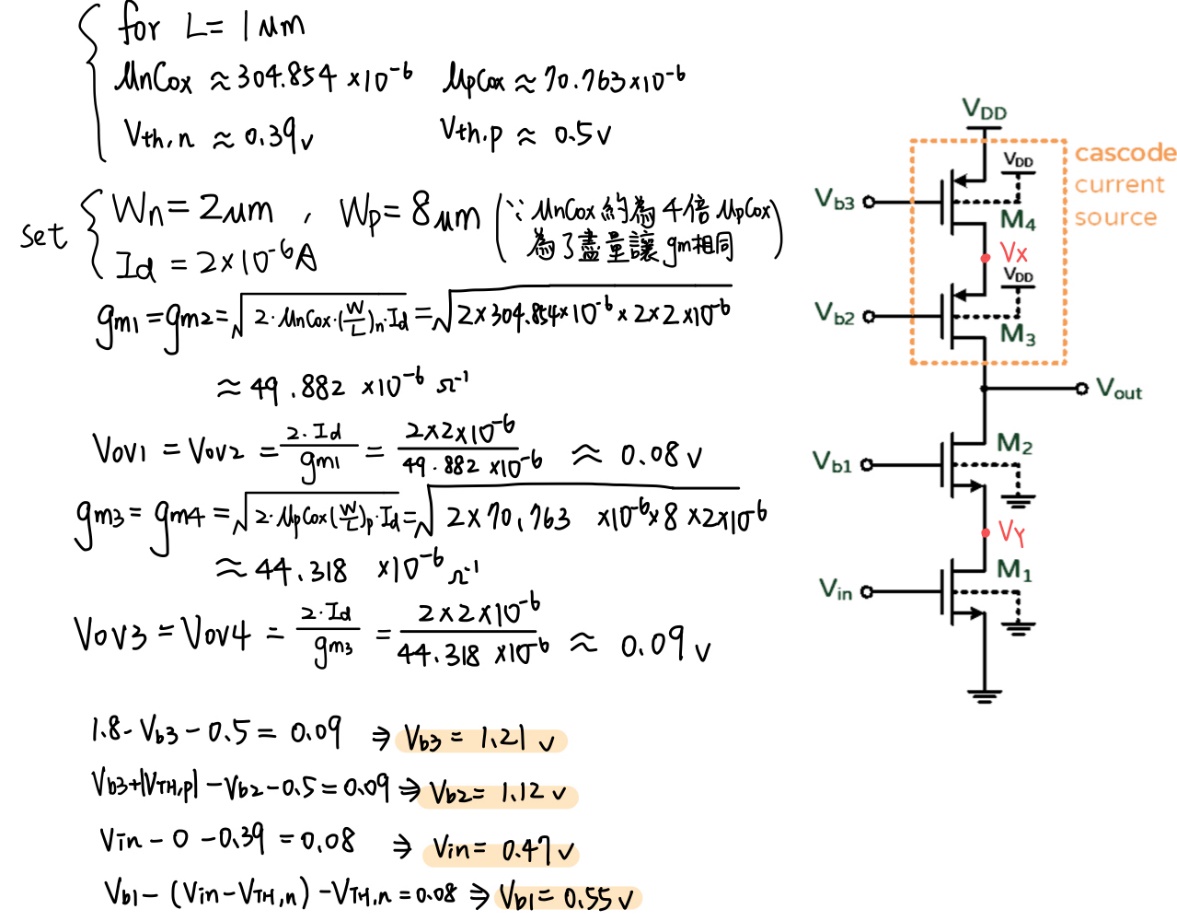
(a)

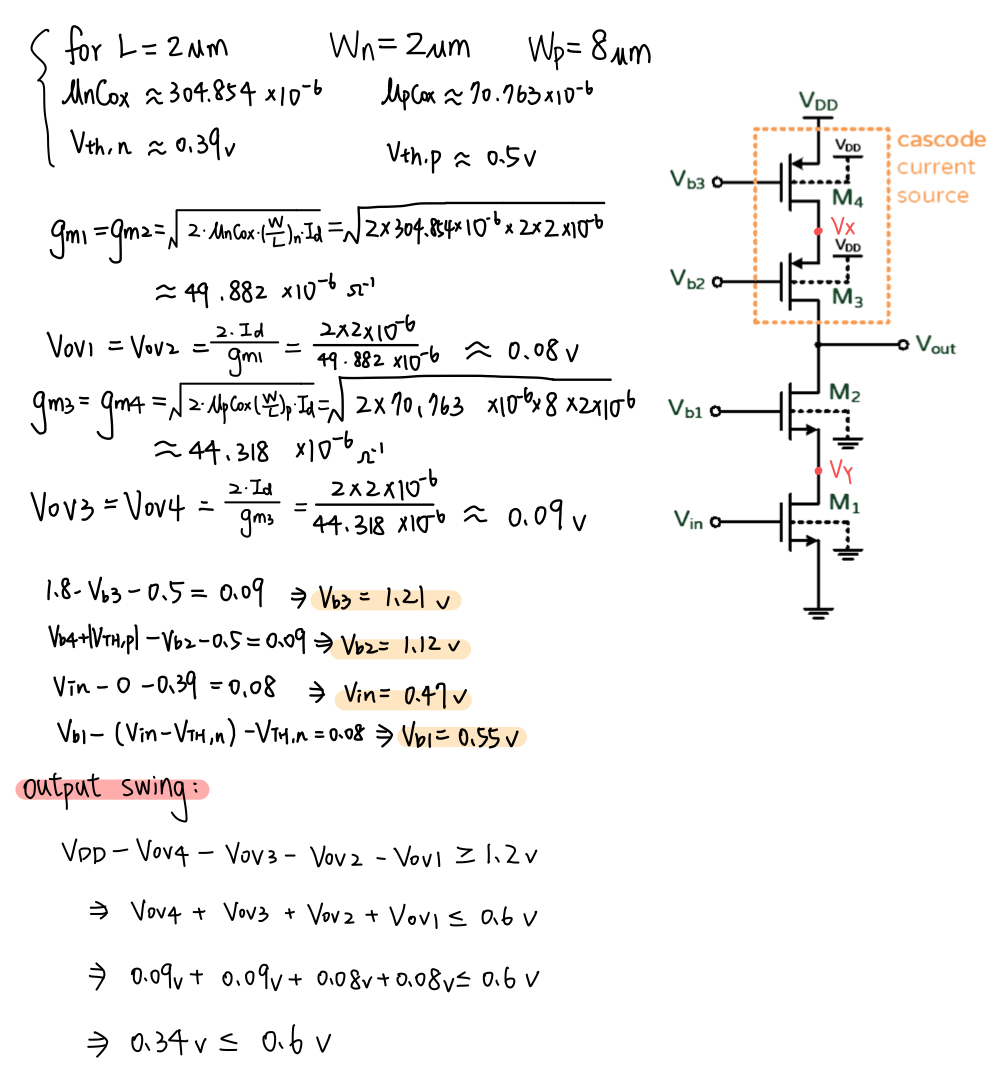
首先先推此電路用得到的公式和先備知識:



接著決定各mos的Vov值，但同時要確保每一個mos都處在saturation區。





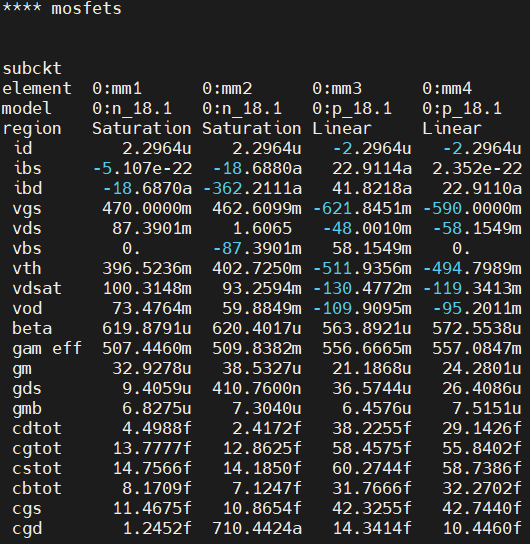
****

**第 1 次測試:**

Design parameter:

Wn=2 𝜇m，Wp=8 𝜇m，Ln =Lp= 1 𝜇m，Vin=0.47V，Vb1=0.55V

Vb2=1.12V，Vb3=1.21V。



**觀察與微調:**

發現電流比預期的大一些，而且M3和M4都還處在linear region，因為M4是電流源，首要目標是要先將電流源的mos進入saturation region，觀察M4的Vgs–Vth =95.2011mV 大於 Vds = 58.1549mV，觀察電流公式

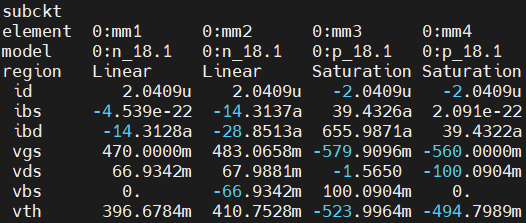
IDS=| × µpCOX ×(VGS - |Vth|)2|

如果將bias的電壓升高，預期可以降低ID，同時因為Vgs變小使得電流源更有可能進入saturation region。測試Vb3=1.24V。

**第 2 次測試:**

Design parameter: Wn=2 𝜇m，Wp=8 𝜇m，Ln =Lp= 1 𝜇m，Vin=0.47V，Vb1=0.55V

Vb2=1.12V，Vb3=1.24V。



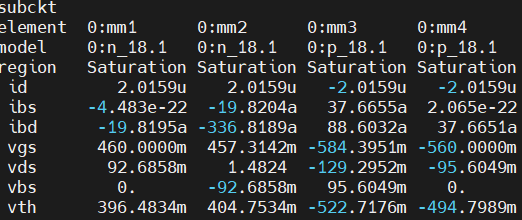
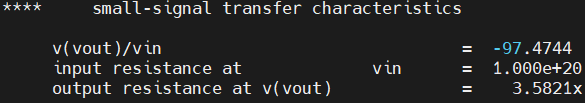
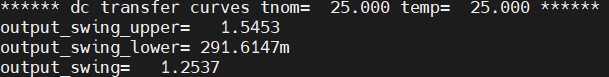
**觀察與微調:**

發現電流與預期的差不多，M4也終於進入saturation region，但M1和M2進入linear region，但因為電壓源確定(電流與計算差不多)比較可以放心去調整其他mos，於是我打算先調整M1，因為此nmos的source端接地比較好去決定偏壓電流，觀察M4的Vgs–Vth =73.3216mV 大於 Vds = 66.9342mV，如果稍微減少偏壓值或許就有機會進入飽和區。測試Vin=0.46V。

**第 3 次測試:**

Design parameter: Wn=2 𝜇m，Wp=8 𝜇m，Ln =Lp= 1 𝜇m，Vin=0.46V，Vb1=0.55V

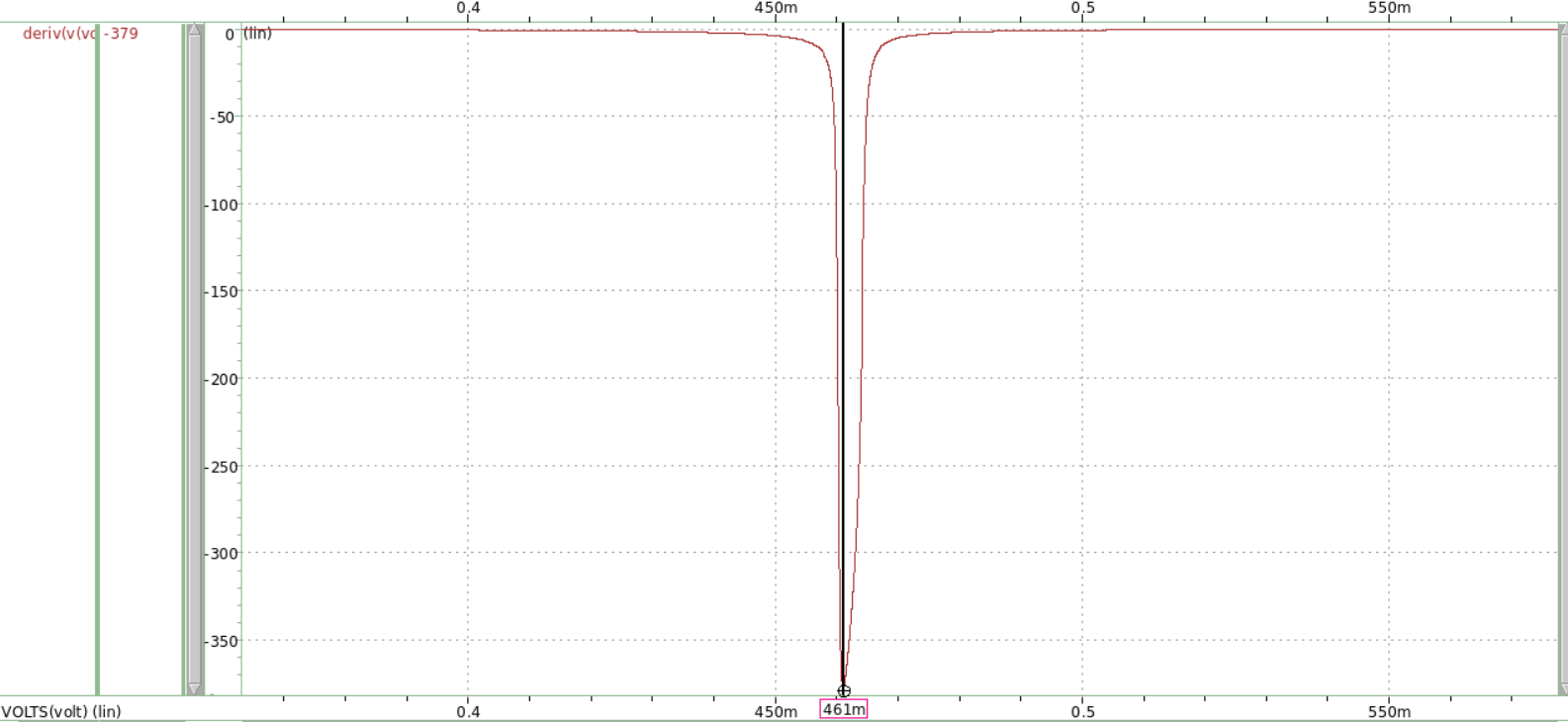
Vb2=1.12V，Vb3=1.24V。



**觀察與微調:**

發現全部的mos都進入saturation region了，但gain還沒有達到標準(45dB)，接著繼續微調，根據推導公式可以得知|Av|與 gm 呈正相關，如果提升gm或許可以將gain提高，而gm小是因為Vov小所導致的，下一次實驗方向應將Vov調大並且讓四顆電晶體還在飽和區運作，因此我打算將Vin調更大一些，我做了gain vs Vin的圖看Vin 對於gain的影響，順便驗證一下推論。發現如果將Vin稍微提升至Vin=0.461V，就可以達到符合預期的gain。

測試Vin=0.461V。



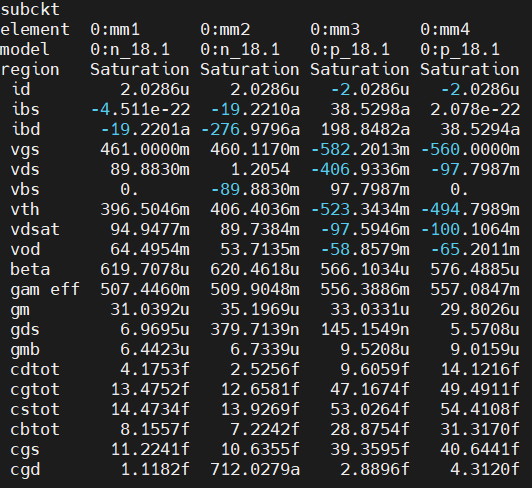
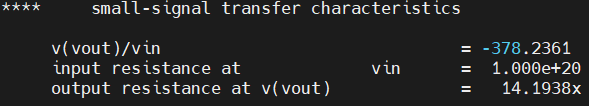
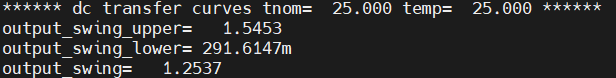
Vin(V)

Gain(V/V)

**第 4 次測試:**

Design parameter: Wn=2 𝜇m，Wp=8 𝜇m，Ln =Lp= 1 𝜇m，Vin=0.461V，Vb1=0.55V

Vb2=1.12V，Vb3=1.24V。

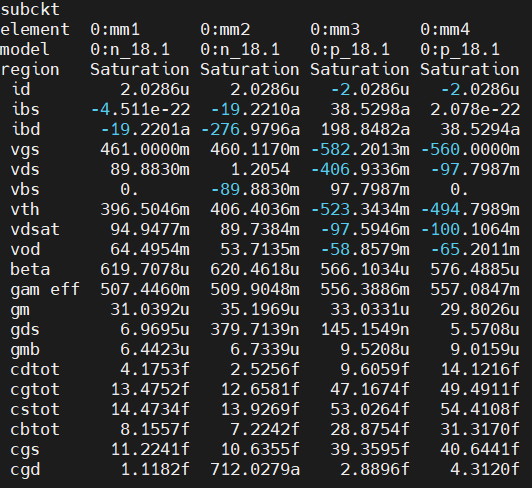


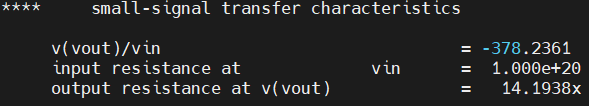
**觀察與微調:**

模擬結果符合題目要求(swing>1.2V，ID<5 𝜇A，gain>45dB)。

註: 45dB < 20log|Av| ⇒ < |Av| ⇒ |Av|> 177.8 (V/V)

(b)

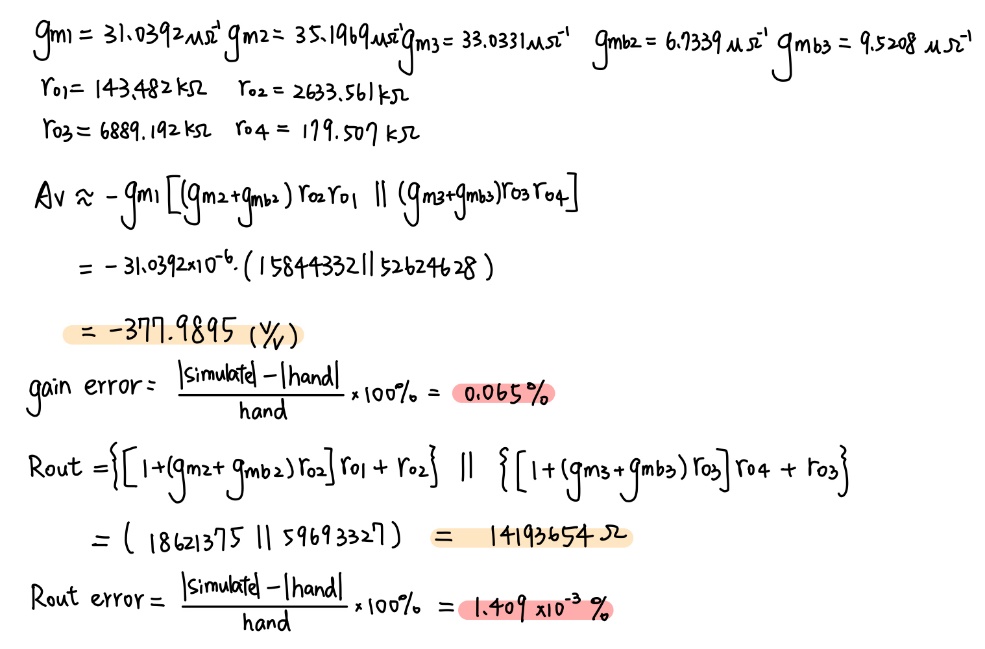


(c)

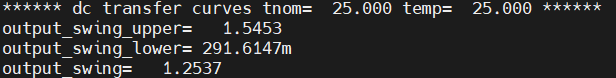
gain = 20 log(378.2361) = 51.55 dB > 45dB

(d)

根據前面推導的公式算出來的結果會有誤差，應考慮body effect造成的影響。

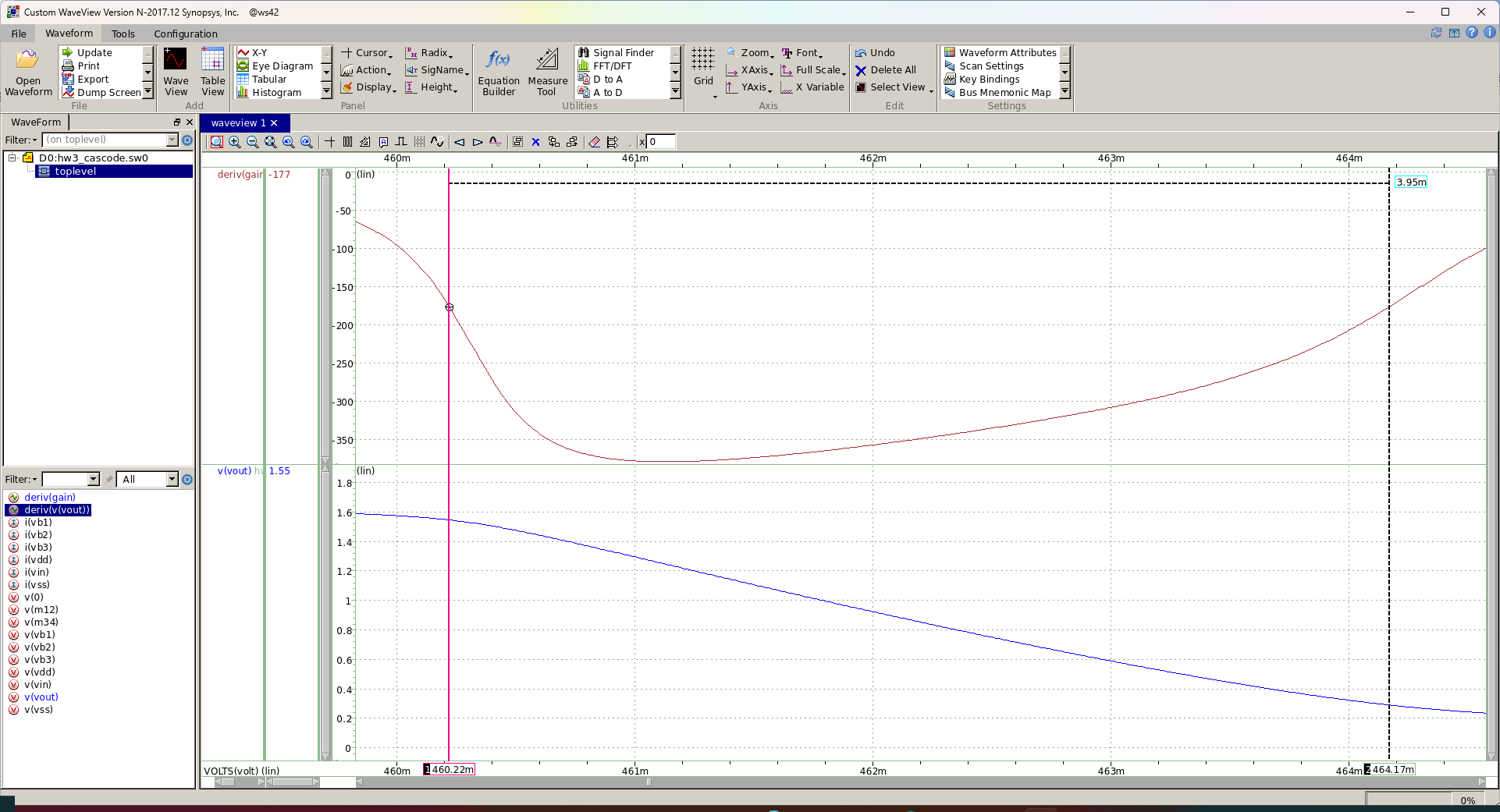


output impedence與 Gain 的誤差小到可以忽略，推測誤差來源可能僅是單純計算上取值所產生的，應該未有其他 Non-ideal Effect 影響，也可推測公式為正確。

(e)

經過Vin sweep from 0 to 1.8V，step=10uV後，可以在lis檔中看到結果。

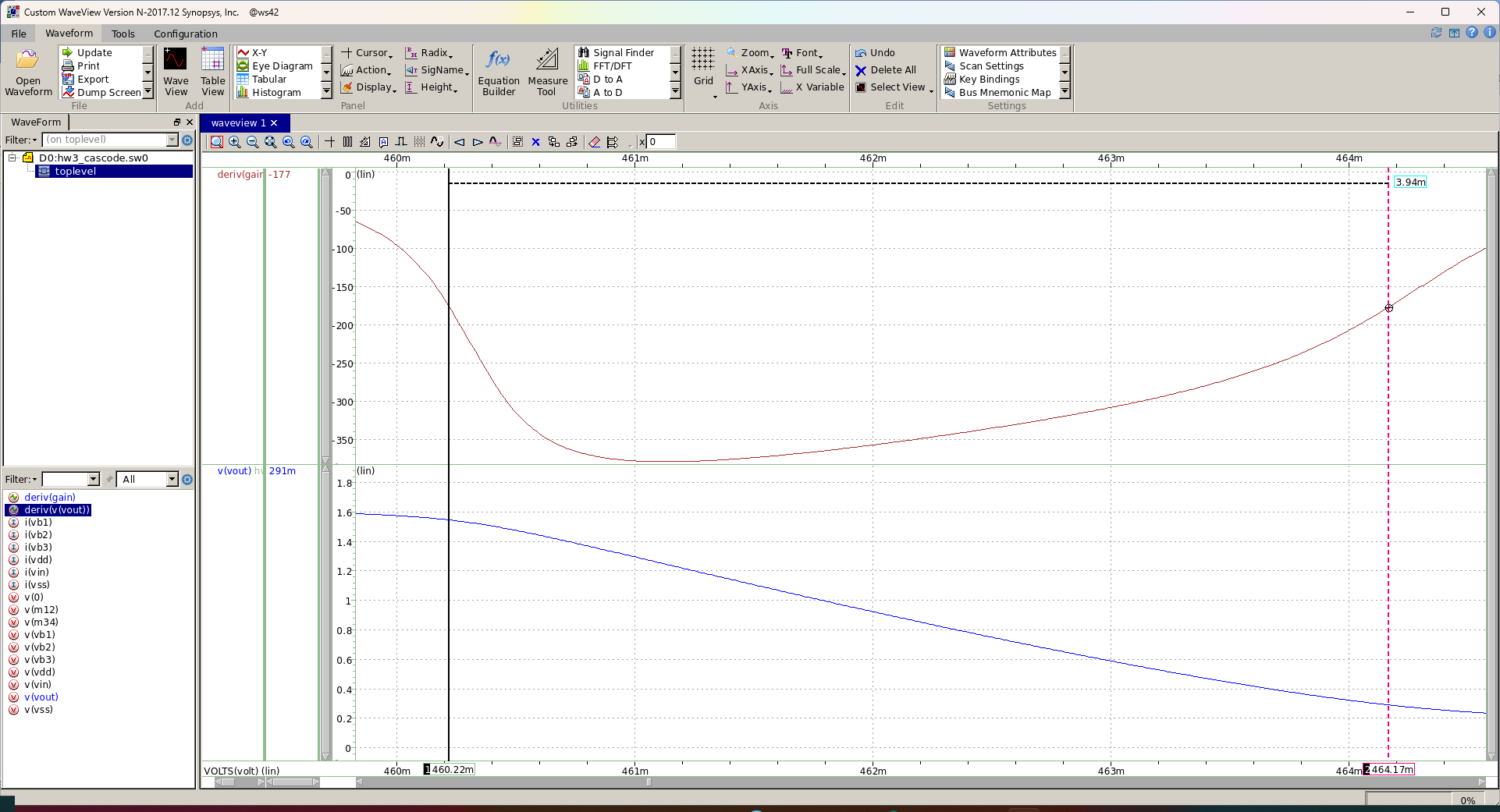
找出對應|Av|值為 45dB也就是177.827941V/V下Vin值所對應的Vout值，從圖中可以觀察到兩|Av|值為 45dB 的Vin值中對應的Vout為1.55V以及0.291V，兩者相減約為1.259V，與模擬值有誤差是因為waveview中小數點精確度不如模擬高，cursor無法調到剛好調到|Av|值177.827941V/V下Vin值。



Vin(V)

Vout(V)

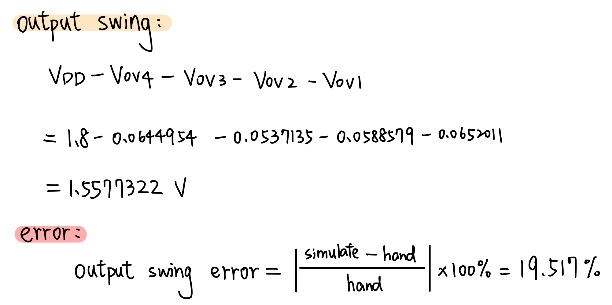
Gain(V/V)



Vout(V)

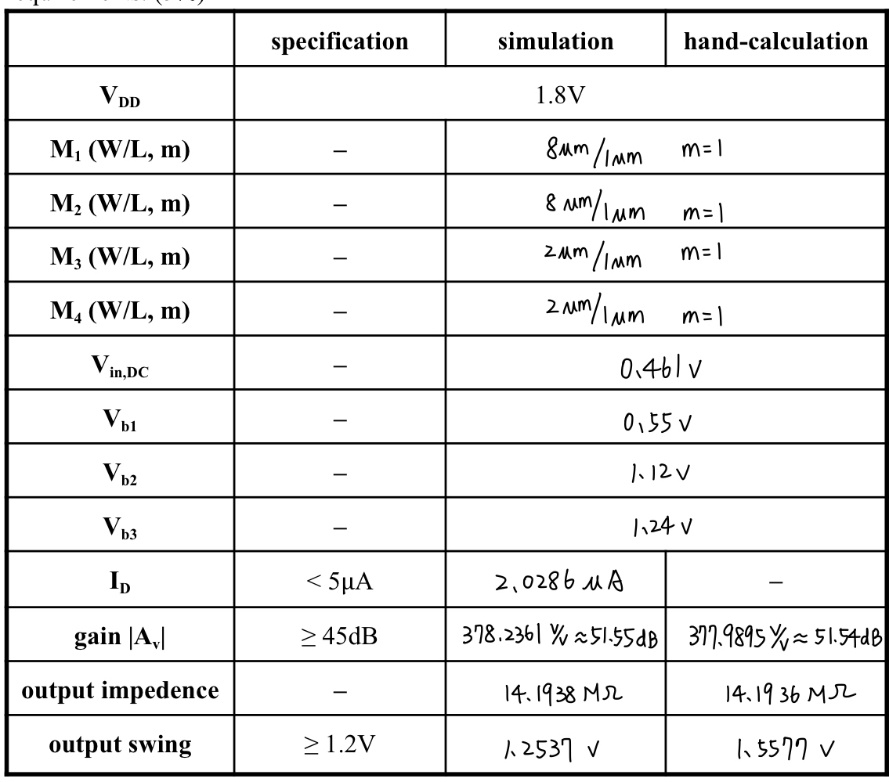
Vin(V)

Gain(V/V)

(f)

此誤差來源可能是手算是固定在同個Vin值算出來的結果，而simulation的swing是用cursor在達成題目要求的情況下(45dB)兩個Vout抓出來做相減的，並非固定在同個情況。

(g)

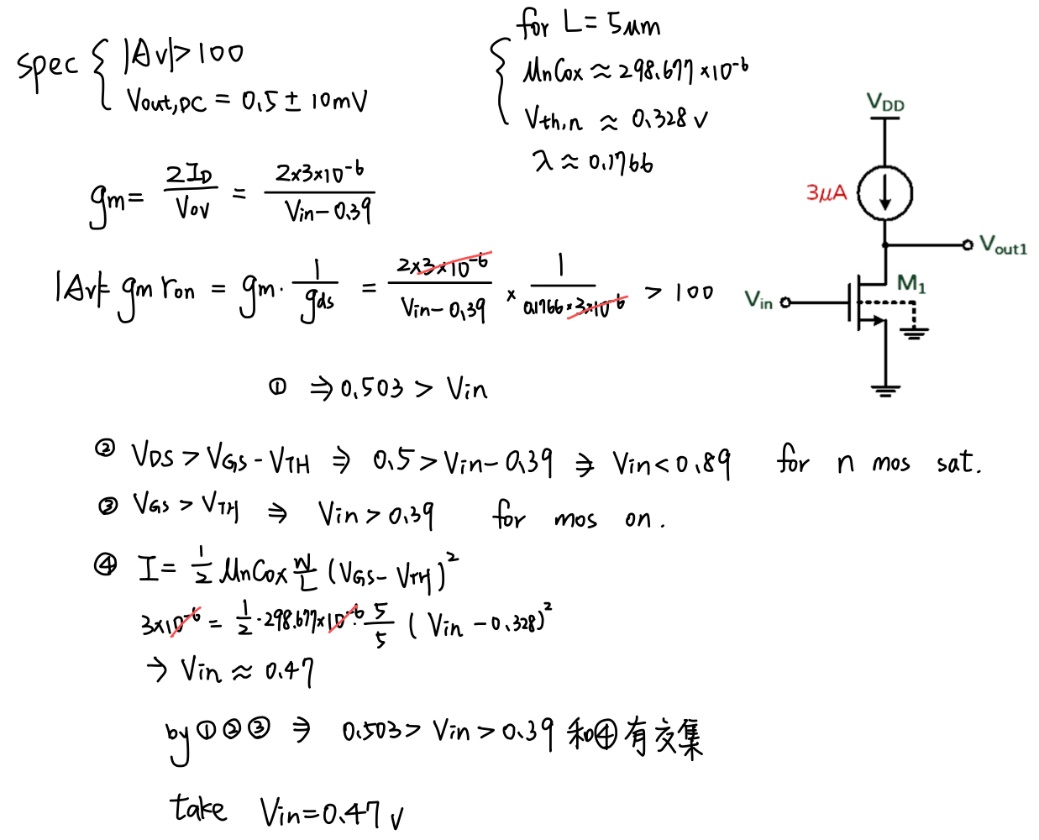


**Part II – Cascade Amplifier:**

(a) CS

**i.**

從HW1可以知道，若通道長度L越長，通道等效電阻值ro就會愈高，且因為這題的Rout = ro，因此對於增益|Av|=gm ∙ ro 來看，設計一個長通道的電晶體可以提高增益。



**第 1 次測試:**

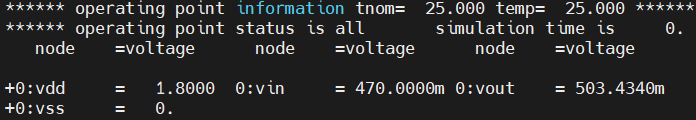
Design parameter: W/L= 1，L = 5 𝜇m，Vin=0.47V

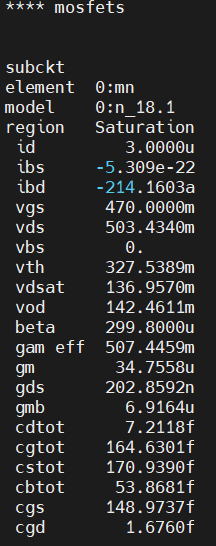
|  |  |  |  |
| --- | --- | --- | --- |
| Av | -171.3281(V/V) | Vout | 503.434 mV |
| ID | 3𝜇A | gm | 34.7558 𝜇 Ω-1 |
| unCox | 299.8 𝜇 | Vth | 0.32753 V |

**觀察與微調:**

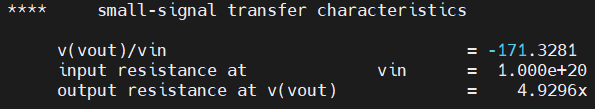
模擬結果符合題目要求。 Vout = 0.5V (±10mV)，|Av|>100(V/V)

**ii.**

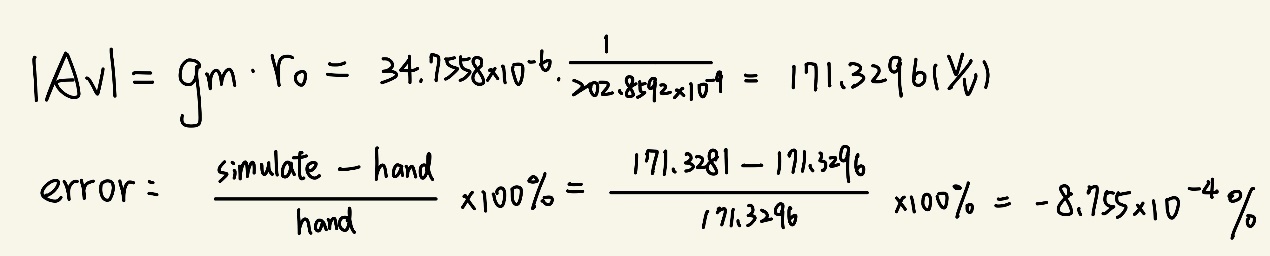




**iii.**



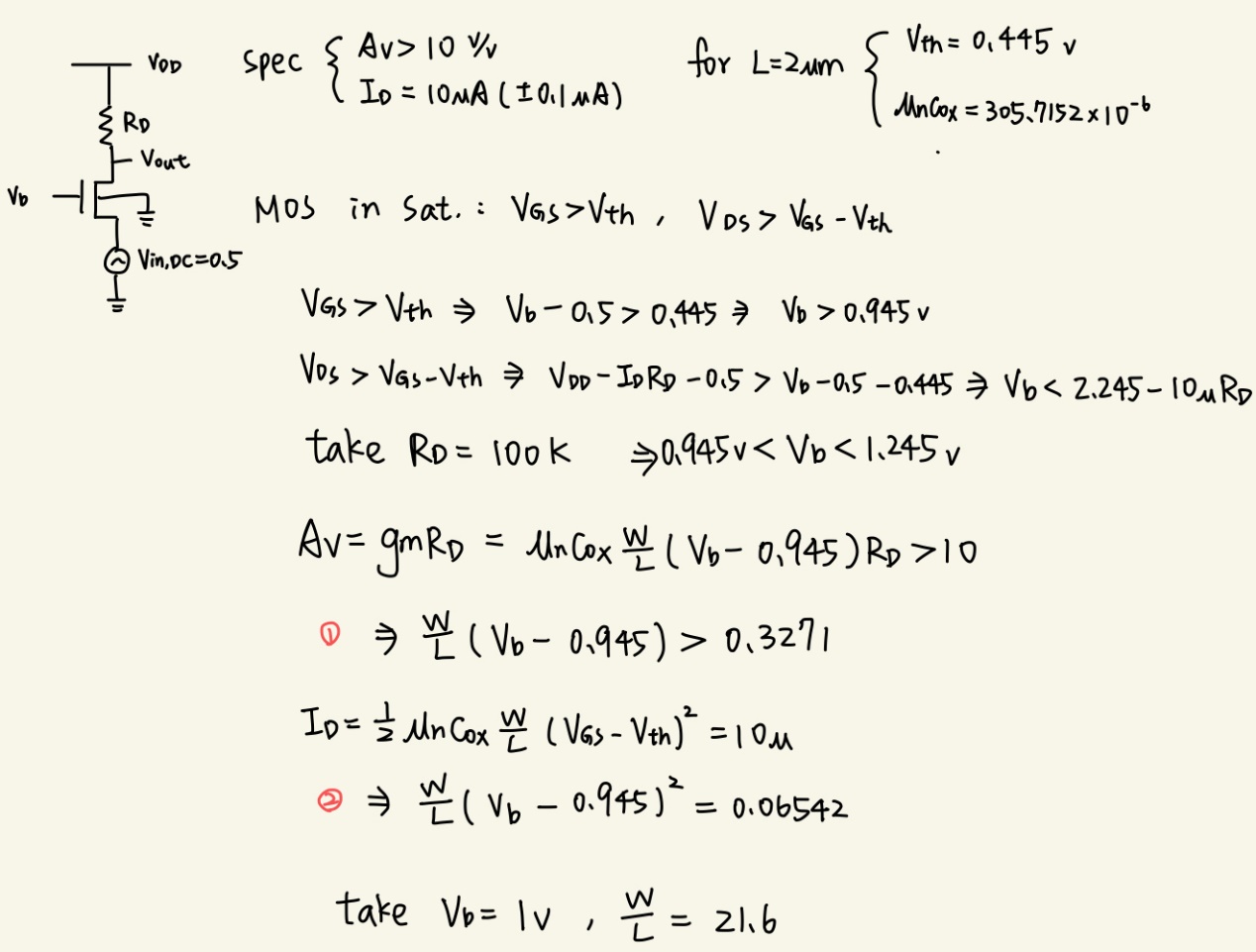
**iv.**



Gain 的誤差小到可以忽略，推測誤差來源可能僅是單純計算上取值所產生的，應該未有其他 Non-ideal Effect 影響，也可推測公式為正確。

(b) CG

**i.**



**第 1 次測試:**

Design parameter: W/L= 21.6，L = 2 𝜇m，RD= 100kΩ，Vb=1V

|  |  |  |  |
| --- | --- | --- | --- |
| Av | 1.8772V/V) | Vout | 0.5542 V |
| ID | 12.5878 𝜇A | gm | 176.63 𝜇 Ω-1 |
| unCox | 307.55 𝜇 | Vth | 0.4452 V |

**觀察與微調:**

發現 MOS 操作在 Triode region，由IDS= × µnCOX ×(VGS - |Vth|)2 可知，可知,若把 W/L 調小有助於 ID 的下降，故試取在第一式 W/L> 5.947成立的情況下，將 W/L 改為22μm/2μm 做測試:

**第 2 次測試:**

Design parameter: W/L= 11，L = 2 𝜇m，RD= 100kΩ，Vb=1V

|  |  |  |  |
| --- | --- | --- | --- |
| Av | 17.6615V/V) | Vout | 0.7454 V |
| ID | 10.5455𝜇A | gm | 186.544 𝜇 Ω-1 |
| unCox | 307.454 𝜇 | Vth | 0.4443 V |

**觀察與微調:**

發現 MOS 進入 saturation region ，且 Gain 已經達到題目所需，但是 ID仍然過大，故繼續微調 W/L=21μm/2μm 代入做測試:

**第 3 次測試:**

Design parameter: W/L= 10.5，L = 2 𝜇m，RD= 100kΩ，Vb=1V

|  |  |  |  |
| --- | --- | --- | --- |
| Av | 17.3892(V/V) | Vout | 0.7855 V |
| ID | 10.1443𝜇A | gm | 179.314 𝜇 Ω-1 |
| unCox | 307.447 𝜇 | Vth | 0.44406 V |

**觀察與微調:**

發現ID確實變小但還離標準差一點，故繼續微調 W/L=20.8μm/2μm 代入做測試:

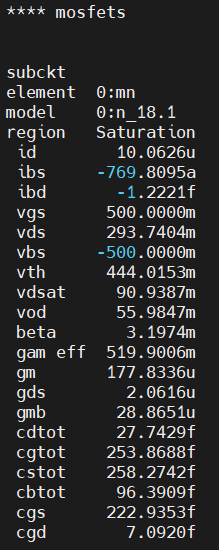
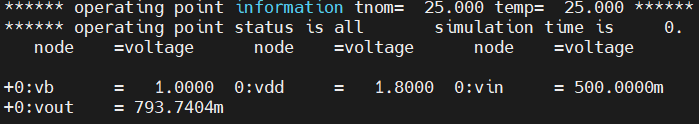
**第 4 次測試:**

Design parameter: W/L= 10.4，L = 2 𝜇m，RD= 100kΩ，Vb=1V

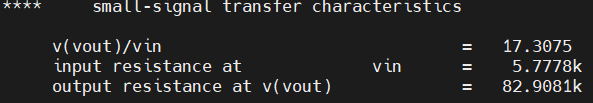
|  |  |  |  |
| --- | --- | --- | --- |
| Av | 17.3075(V/V) | Vout | 0.7937 V |
| ID | 10.062𝜇A | gm | 177.834 𝜇 Ω-1 |
| unCox | 307.442 𝜇 | Vth | 0.44401 V |

**觀察與微調:**

模擬結果符合題目要求。ID = 10 𝜇A (1% variation)，|Av|>10(V/V)

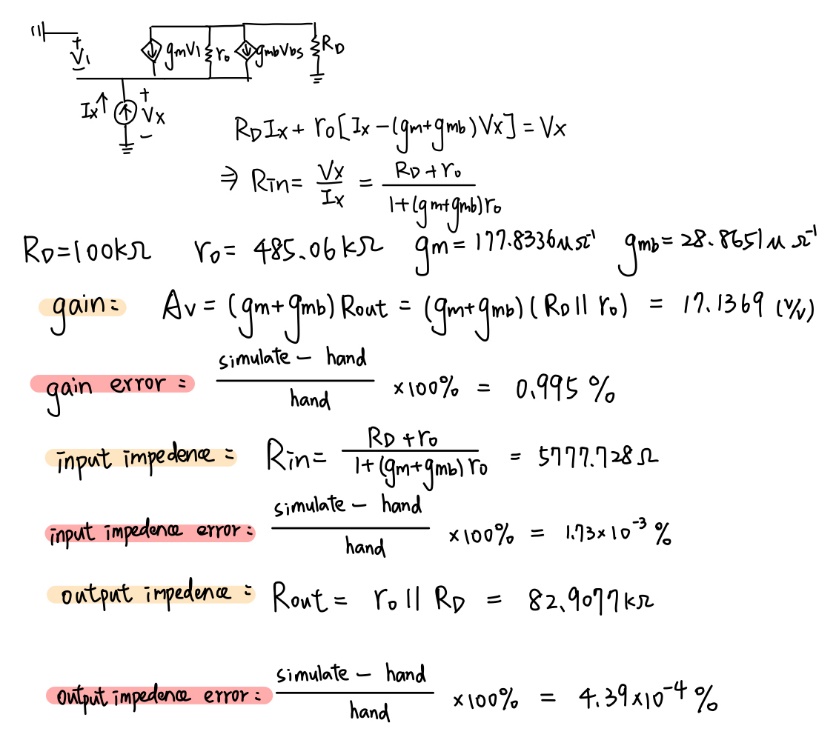
**ii.** 

**iii.**



**iv.**

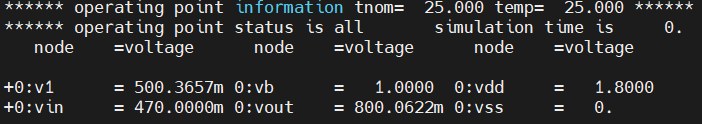
由 HW2 我們已知 CG stage 因為會遇到 body Effect 的影響，所以 Gain 的公式要稍作修改:Av = (gm + gmb) Rout = (gm + gmb) (RD||rO) 將模擬所得到的值代入後可以得到Av = 17.1369 (V/V)。

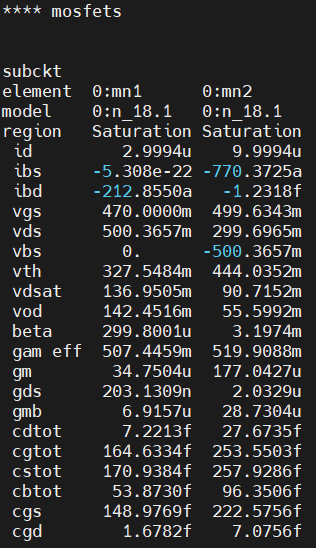


Input output impedence與 Gain 的誤差小到可以忽略，推測誤差來源可能僅是單純計算上取值所產生的，應該未有其他 Non-ideal Effect 影響，也可推測公式為正確。

(c) CS+CG

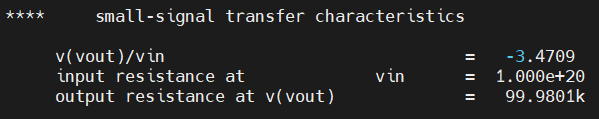
**i.**





可以看見直接將兩個 stage 相接後得到的結果，其V1和CS的Vout 誤差僅 0.613%，其Vout與CG的Vout 的誤差也僅 0.8%，而會有這些微的誤差可能是因為加上了一個 CG stage的load的關係，但由於在設計 CG 時，是以 Vin bias 在 0.5V，電流為 10u 的情況下做設計的，故最後出來的結果並不會有太大差異。

**ii.**



前面兩個 Gain 相乘所得到的值為17.1369 × 171.3281 = 2936.0325，顯然的其結果完全不相符，這是因為原先 CS 的 Gain 僅考慮了自己本身的 ro，故其值會很大，然而現在其也會受到後面 CG 的 input impedance 影響，因為 CG stage 的 input impedance 相對很小，使得前面 CS 的 Gain 會大幅下降。

**iii.**

CS Gain 大約可以改寫成

AV,CS = -gm,n1 (ro,n1||Rin,CG) = -gm,n1(ro,n1||(+)||∞)

其中的無限項為電流源的電阻，Rin,CG為MN2的input impedance，我們可以藉由 a小題和 b 小題所擷取到的 CS output impedance 與 CG input impedance 稍微做個計算 :

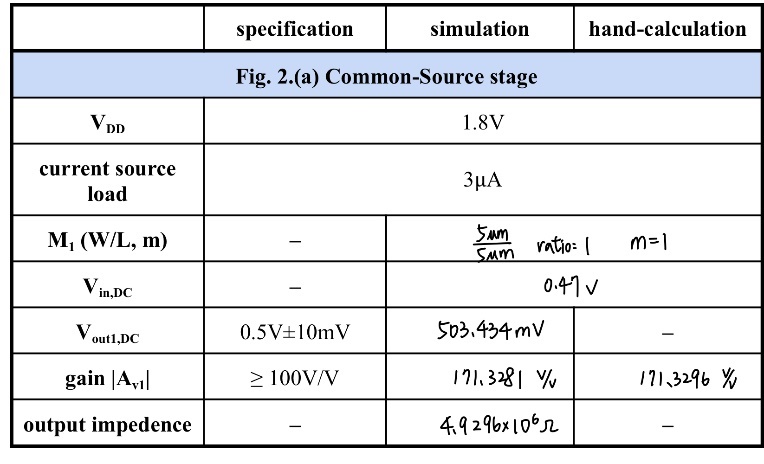
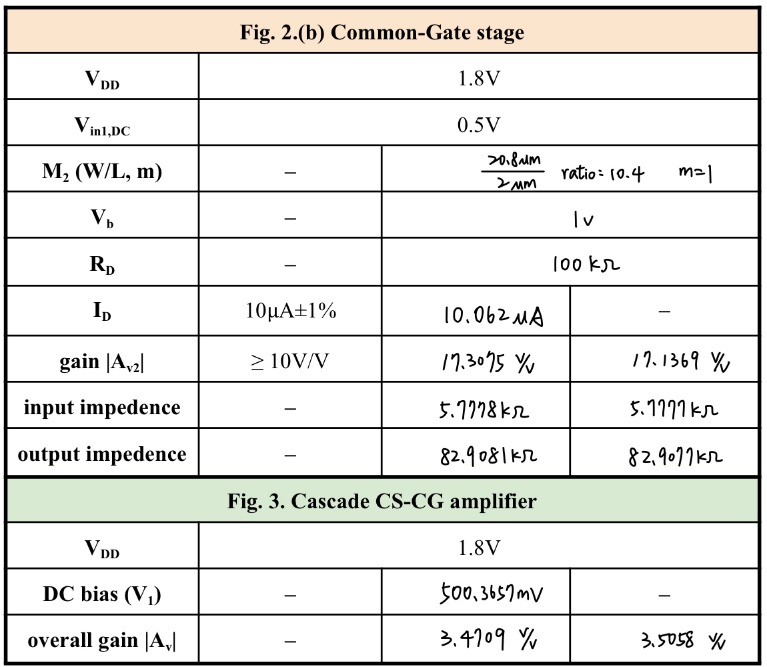
AV,CS = -34.7558 ∙ 10-6 ∙ (4.93 ∙106||5.835∙103) = -0.20256(V/V)

顯而易見的由於 CG 的 input impedance 過小的關係，CS 的 Gain 減小非常多，將這個數值乘上 CG 的 Gain 我們可以得到:

Av,cascade = AV,CS ∙ AV,CG = -0.20256 ∙ 17.3075 = -3.5058 (V/V)

誤差約僅有 0.9%，故可驗證推論正確。

(d)



**Part III – Comparison between “cascode” & “cascade” structure**

1. From the perspective of “gain amplitude”, the “cascode” structure is better than the “cascade” structure.

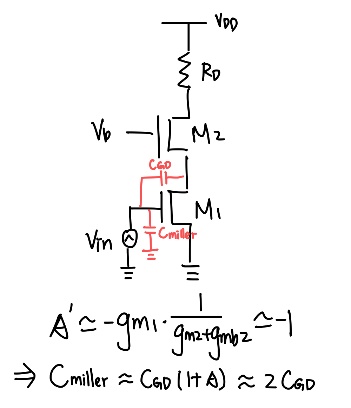
因為當把cascade與其他級電路相接後，cascade的輸出阻抗可能會被其他級的結構所影響，可能導致整體的增益降低。而cascode架構的增益可以透過增加堆疊的MOSFETs數量而增加，因此對於增益來說，cascode架構比cascade架構來的好。

1. From the perspective of “input voltage range”, the “cascade” structure has higher input voltage range than the “cascode” structure.

從part1可以發現cascode 每一個MOSFETs的bias 需要非常精確的取值，因為需要使每一個MOSFETs 都處在飽和區，所以input voltage range就因此被限制在很小的範圍，相較cascade就會小很多。 另外在先進製程中cascode比較難實現，因為VDD變小，偏壓點變得更加敏感，並且可能犧牲swing。

1. From the perspective of “power consumption”, the “cascade” structure may has higher power consumption than the “cascode” structure.

由於cascade電路是由多個單級放大器所連接而成，功耗可能會高於單個單級放大電路，因此功耗可能高於cascode電路架構。

1. From the perspective of “bandwidth”, the “cascode” structure has broader bandwidth than the “cascade” structure.

Cascode架構會減少miller effect ，使得輸入看到的電容不會放大太多，可以得到較大的input pole，所以頻寬較大，使得電路在高頻下能有更好的增益。