**AIC HW4**

110011222陳立珩

NMOS: IDS= × µnCOX ×(VGS - |Vth|) 2 ……

gm = ……

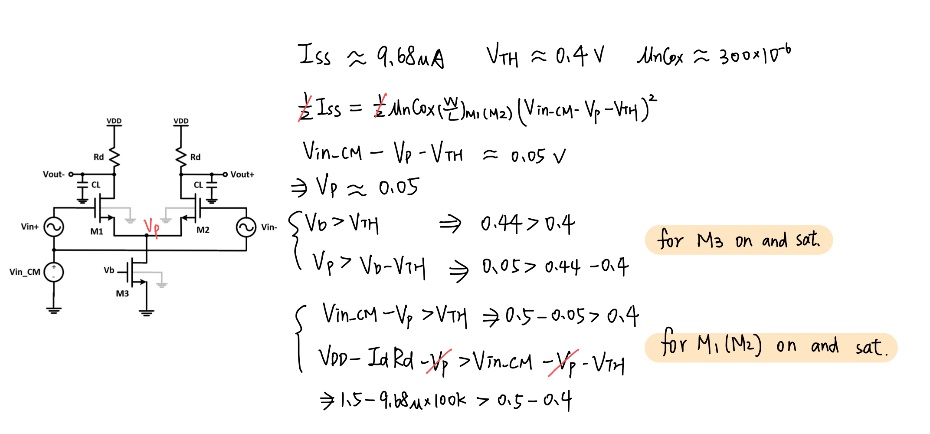
Vov= ……

**PART1:**

1. 分析此電路的小訊號模型，得出 differential gain 為 gmM1(roM1(M2)||Rd)，因此可知若要 gain > 20，則gmM1要很大⟹ Iss要大，i.e. WM3/LM3要大 ⟹ choose WM3/LM3 = 25um/1um。
2. 若 Vb太大，會使 M1(M2) 的 source voltage 太大，造成 M1(M2) 操作在不飽和區，因此使Vb能超過 M3 的Vth就好，假設Vth = 0.4V ⟹ choose Vb = 0.44V。
3. 若Vin\_CM太大，根據電流公式，為了維持電流相同，如果Vov不變，代表Vs因此提高，會容易造成 M3操作在不飽和區，因此使Vin\_CM能超過M3的Vth，假設Vth = 0.4V ⟹ choose Vin\_CM = 0.5V。
4. 因為M1(M2) 的ro M1(M2)與gain有關係，而且此題要求的gain很大，預估Rd會取很大，所以盡量讓ro M1(M2)更大來減少ro M1(M2)||Rd的值，根據hw1 ro ∝ L，i.e. LM1(M2)不能太小choose LM1(M2) = 4um。
5. 一開始假設讓M3和M1(M2)的Vov相同，所以根據公式，VovM3 = VovM1(M2)，可以推得=2，取WM1(M2) = 25 um (m = 2)。
6. 大概推算一下Iss == 9.68 uA ⟹ gmM1(M2)= = 193 uA，假設ro → ∞，Ad= gmM1(M2)Rd >20 ⟹

Rd = 100kΩ。

1. 驗證mos region:

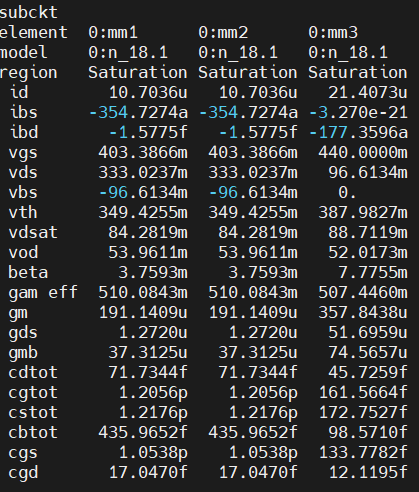
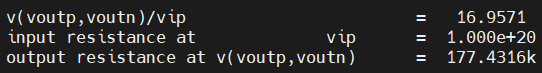


**第 1 次測試:**

**Design parameter:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Vb** | **Vin\_CM** | **WM3/LM3** | **WM1(M2) /LM1(M2)** | **Rd** |
| 0.44 V | 0.5V | 25um/1um | 25 um/4um (m = 2) | 100kΩ |

**Result:**

** **

**觀察與微調:**

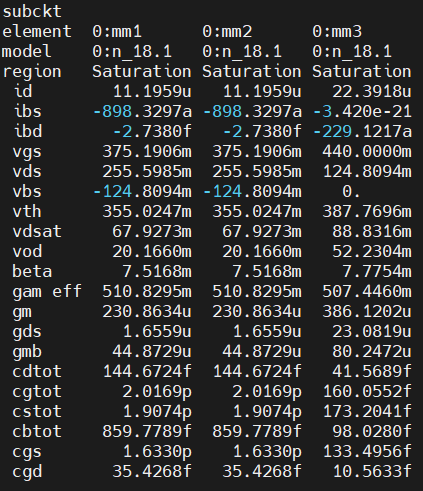
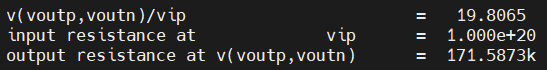
M1、M2、M3都進入了飽和區，且如預期三者的Vov接近，很明顯可以發現ADM還差一些，是因為ro把output resistance分掉了，有兩個做法，第一個是將Rd繼續提高，但這樣做會讓bw降低，於是我選擇第二個方法，增加gmM1(M2)，根據公式，如果將VovM1(M2)降低就可以增加gmM1(M2)的值，再觀察公式，可以發現如果提高的值，就可以降低VovM1(M2)，試取= 。

**第 2 次測試:**

**Design parameter:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Vb** | **Vin\_CM** | **WM3/LM3** | **WM1(M2) /LM1(M2)** | **Rd** |
| 0.44 V | 0.5V | 25um/1um | 50um/4um (m = 2) | 100kΩ |

**Result:**



**觀察與微調:**

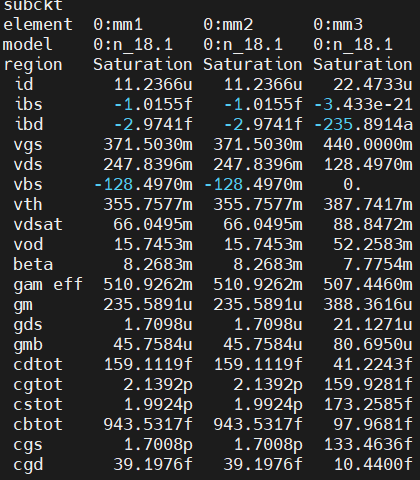
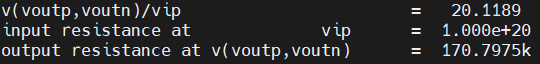
發現VovM1(M2)降低使得ADM提高了，繼續調高的值。試取= 。

**第 3 次測試:**

**Design parameter:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Vb** | **Vin\_CM** | **WM3/LM3** | **WM1(M2) /LM1(M2)** | **Rd** |
| 0.44 V | 0.5V | 25um/1um | 55um/4um (m = 2) | 100kΩ |

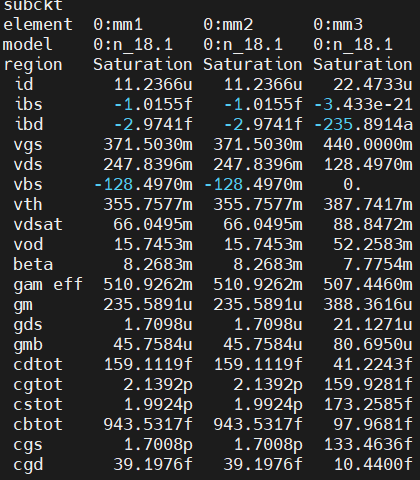
**Result:**



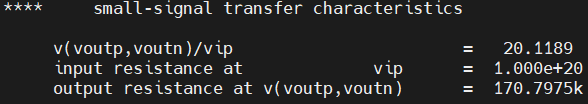
**觀察與微調:**

發現已達到題目要求，ADM > 20(V/V)，bw > 1.5M(Hz)

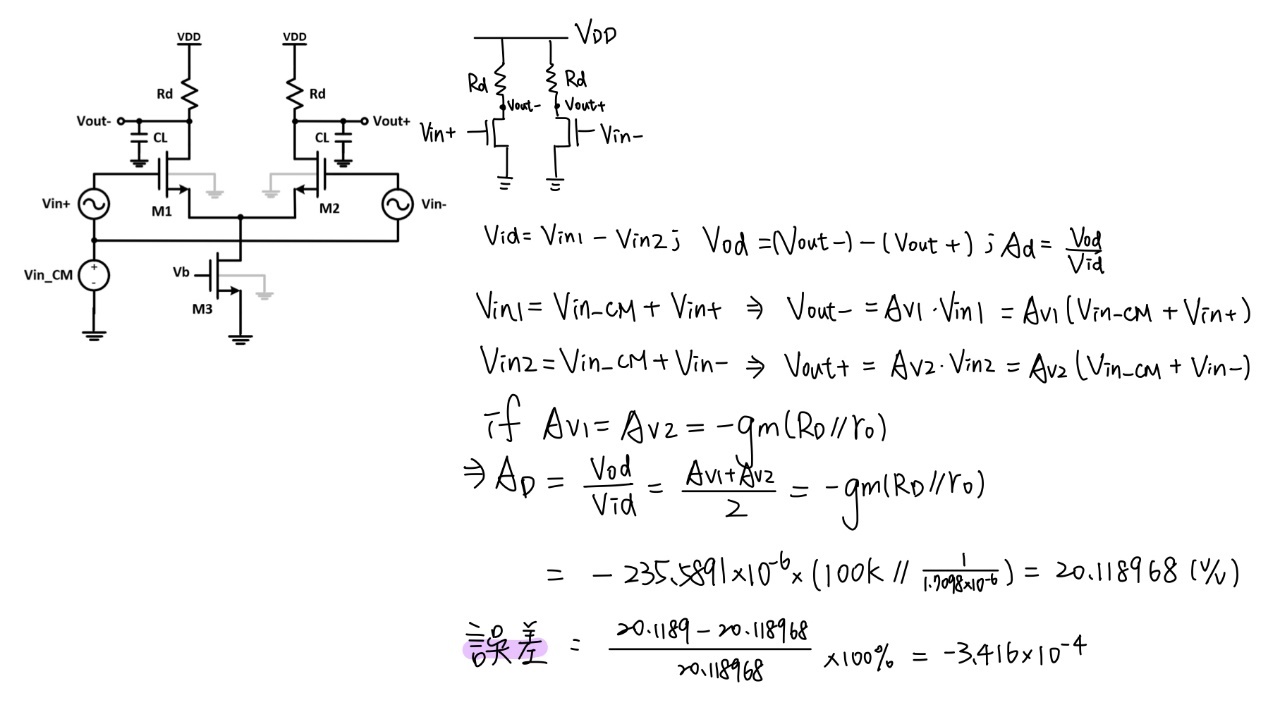
**(b)**



**(c)**

****

**(d)**

****

**(e)**

****

**CMRR simulated** = 20 log(20.1189) – (–1.4903)= 27.562dB

**(f)**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| **235.5891u** | **235.5891u** | **100k** | **584863** | **47332** |
|  |  | ***w*** |  |  |
| **1pF** | **4.026 pF** | **10kHz** |  |  |

|  |  |
| --- | --- |
|  |  |
| **85398.72** |  |

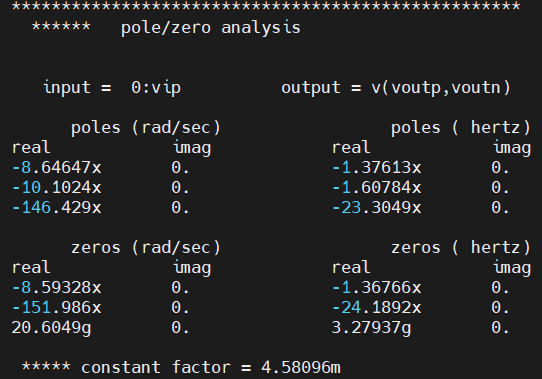
**|AC,CM |=**  = = 0.86340126 (V/V)

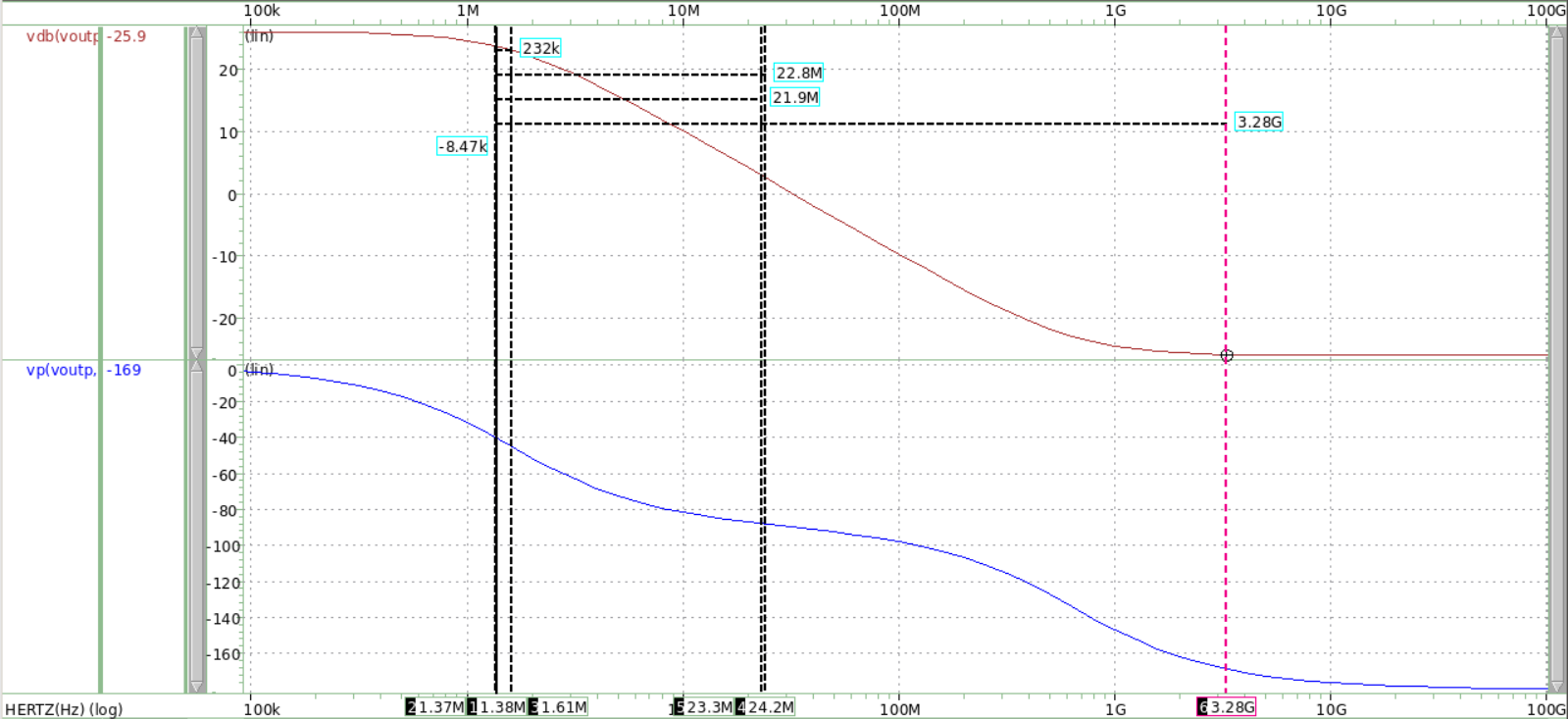
**CMRR hand** = 20 log ( |) = 27.34786044 dB

**CMRR error =**  100% = | 100%

= 0.783%

**(g)**

****

****

*Dominant pole*

***Frequency****(****Hz****)*

***Phase****(****°****)*

***ADM*** (V/V)

*zero 2*

*zero 1*

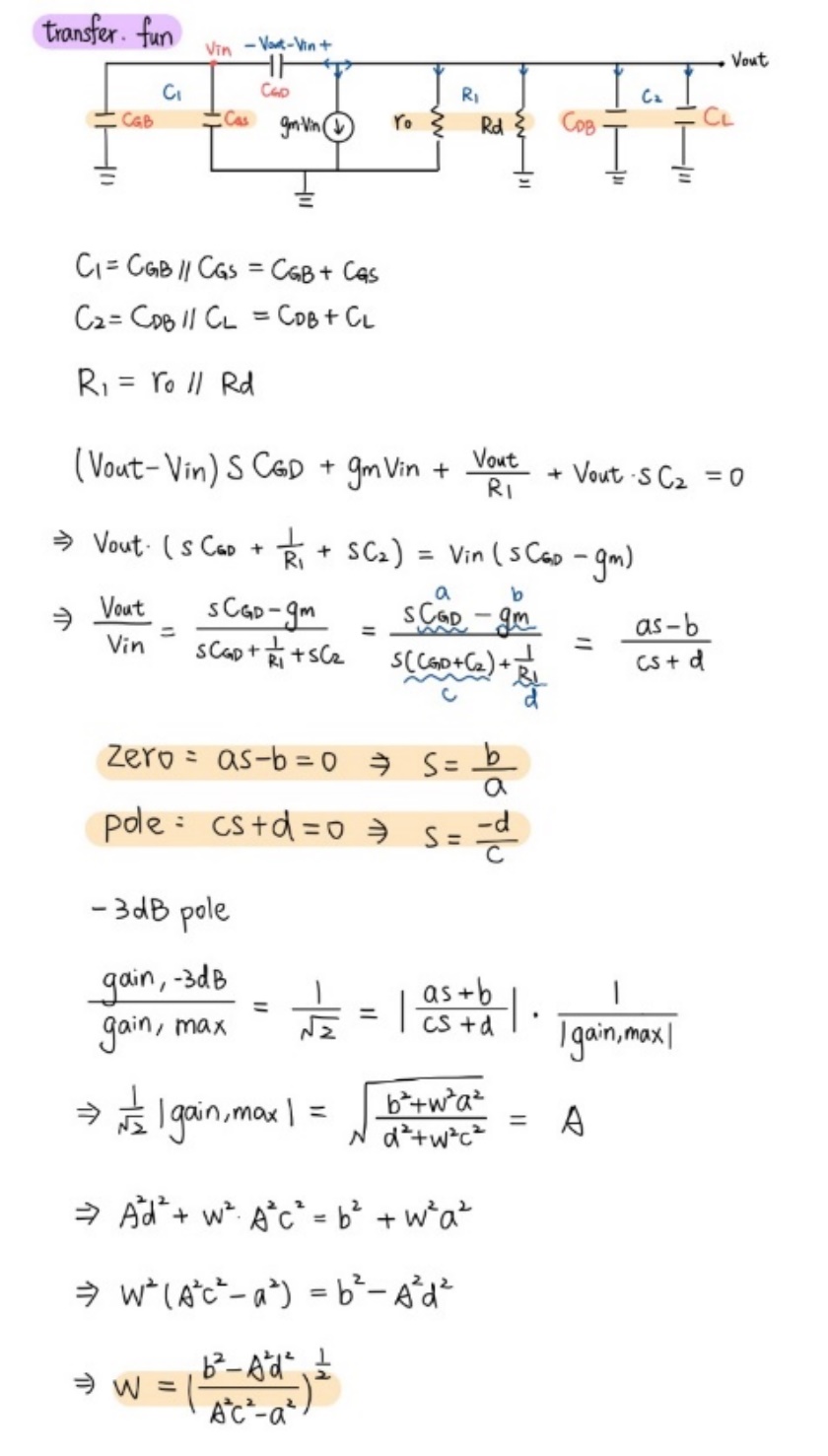
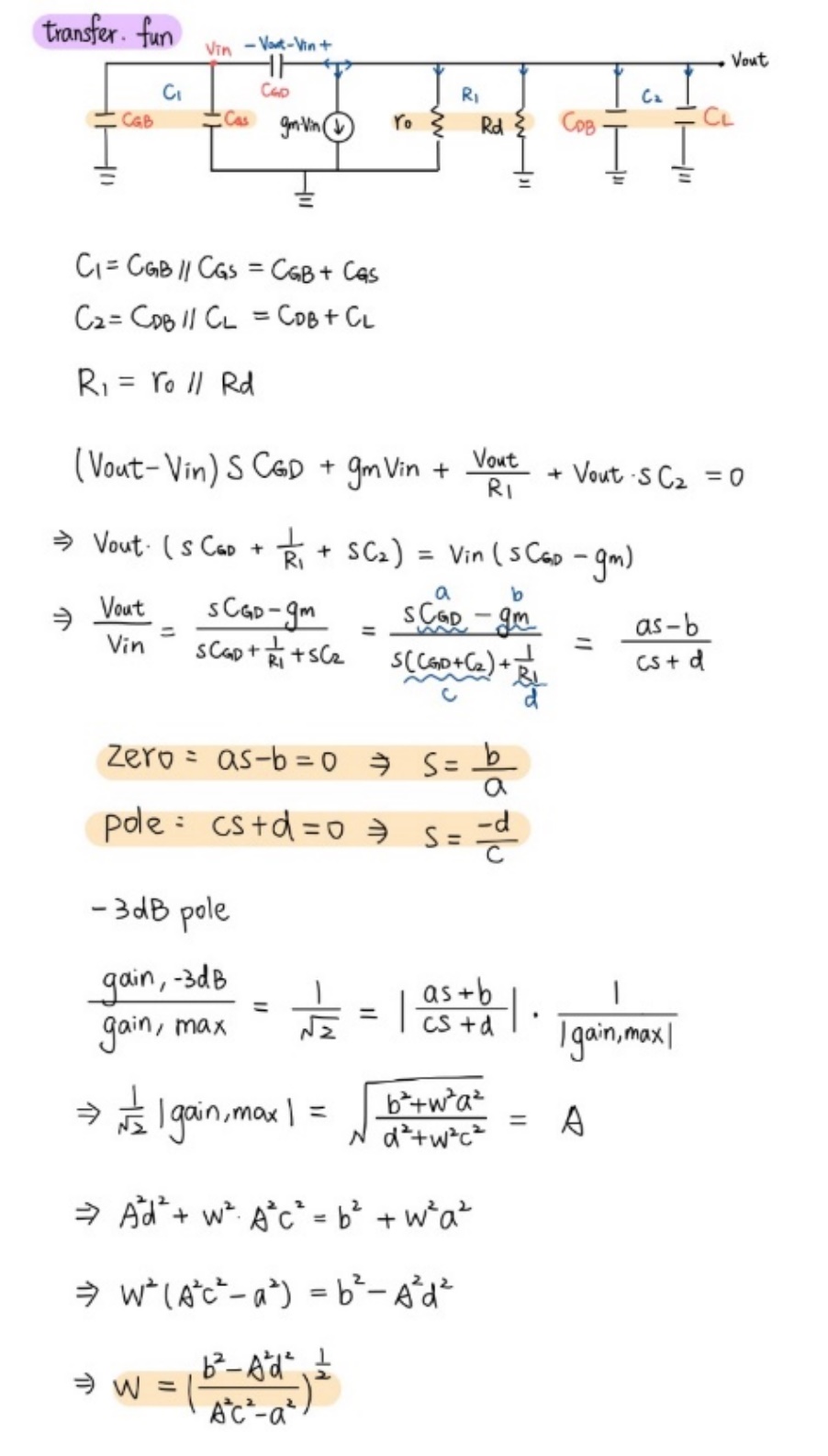
*pole 1*

*pole 3*

*zero 3*

*pole 2*

從圖中可以發現pole 1和 zero 1的值非常相近，所以其實會互相抵銷，使得dominant pole出現在pole 2的位置也幾乎就是-3dB bandwidth的位置。

**(h)**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CL | CGS | CDB | CGD | C2 |
| 1E-12 | 1.7008E-12 | 1.199143 E-13 | 39.1976E-15 | 1.1199143E-12 |
| R1 | gm |  |  |  |
| 85398.55506 | 388.3616E-6 |  |  |  |

a = CGD ， b = gm ， c = CGD + C2 ， d = ， A =

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| a | b | c | d | A |
| 3.91976E-14 | 2.355891E-4 | 1.1591119 E-12 | 1.17098E-5 | 14.22621062 |

from transfer function ∶ as + b = 0

⟹ s = zero = = = 6010293998 () = 956567999.2 (Hz)

from transfer function ∶ cs + d = 0

⟹ s = pole = = = 10099801.41 () = 1607433.318(Hz)

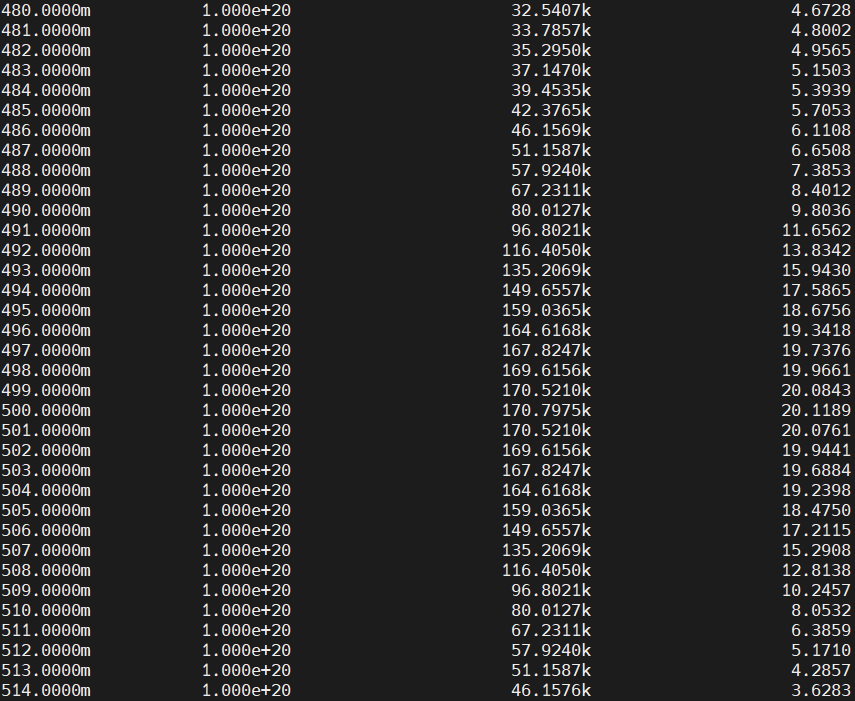
−3dB BW = ω = =

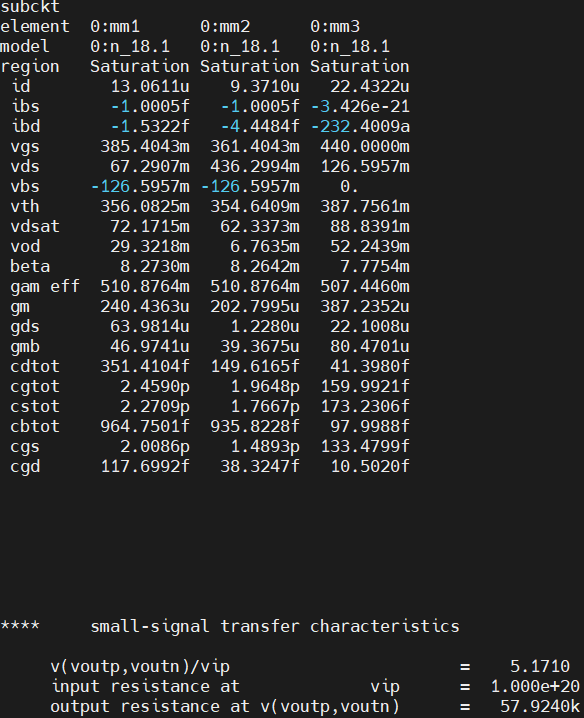
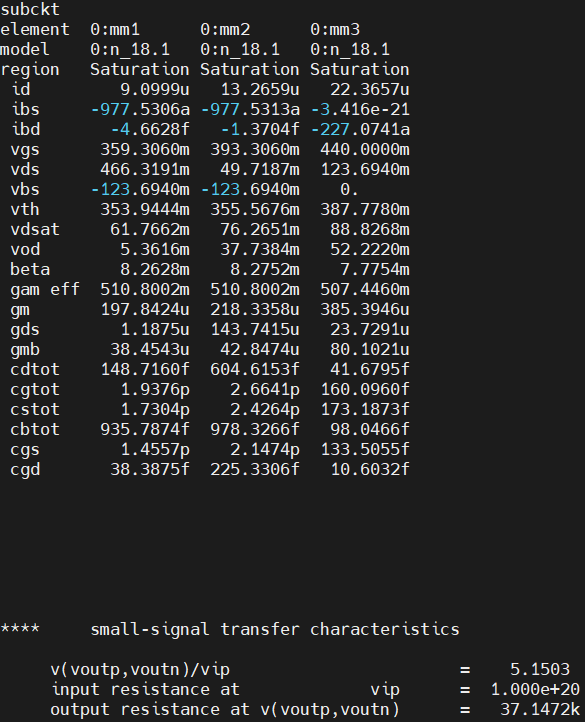
= 1.60786077 (MHz)

|  |  |  |  |
| --- | --- | --- | --- |
|  | hand calculation | hspice | error |
| pole | 1.607433318 MHz | 1.60780 MHz | 0.0228% |
| -3dB Bandwidth | 1.607860770 MHz | 1.60420 MHz | 0.2275% |

推測造成誤差的原因為電路中的寄生電容,且因此式較為複雜,故計算時,各值的四捨五入也會造成最終計算結果有些許誤差。

**(i)**

****

****

**(j)**

FoM = = = 0.4830703025

**優化:**

題目說明FoM = 越小越好，根據測試發現如果調小Vin\_CM，可以大幅提升input range的範圍，但是一旦調太小有可能會使得VGS變得比Vth小，mos進入cutoff，所以非常需要注意VovM1(M2)的值，不能因為為了讓ADM增加，而不斷去調高的值，使得VovM1(M2)太小，而需要適時的調高Rd來達到ADM增加的目的，當然這麼做就會降低bw的頻寬，所以需要作出取捨，同時我也注意到如果降低Iss，雖然會降低gmM1(M2)造成需要更大的Rd，但bw下降的幅度比Iss還多，也有助於降低Fom。至於ACM根據公式AC,CM = 如果提高ro3有助於降低ACM，根據hw1 ro ∝ L，LM3不能取太小，且電阻不能太大，代表說為了要達到ADM >20(V/V)的要求，ID不能太小。

**大致流程:**

1. 先大概取一個LM3的值，取LM3=3um，再跑看看hspice發現Vth大約等於

0.34V，所以取一個較接近的Vb值，取Vb=0.35 V**。**Vin\_CM取0.45V。

1. 經過幾次測試後發現電流不太能夠小於20 uA，我取電流大約為21uA，經

過公式計算後和實際跑hspice後大概推得WM3/LM3大約要等於60，所以 我設5.2um/3um(m=35)。

1. 跑看看hspice發現電流不夠大，於是加大Vb值，取0.352 V。
2. 經過幾次測試後發現如果range要39mV的話，VodM1(M2)不能太小，要大於15.6mV左右。
3. 先隨意代一個WM1(M2) /LM1(M2)值和Rd值，再來從gain和4.來決定最終值。
4. 跑看看ACM­發現值蠻大的，根據經驗如果升高Vin\_CM和減少VodM1(M2)可以降低ACM，但因為不希望動到電流，所以加大Vin\_CM，大約要取到Vin\_CM=0.4565V。
5. 將VodM1(M2)­控制到約15.6mV左右，發現gain超過20V/V。

根據經驗發現降低電流減少ADM比增加電阻可以得到更好的Fom值，所以 我打算降低電流使得ADM接近20V/V。經過測試可以得到WM3/LM3=5.15um/3um(m=35)，要同時注意VodM1(M2)有沒有小於約15.6mV，不然到時候測input range會進到cut off，所以在這個過程中需要不斷嘗試WM1(M2) /LM1(M2)和Rd，最後得到

WM1(M2) /LM1(M2)= 14.6um/4.4um (m = 8)，Rd =101.5kΩ

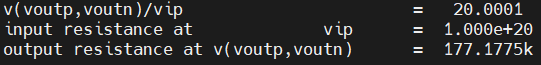
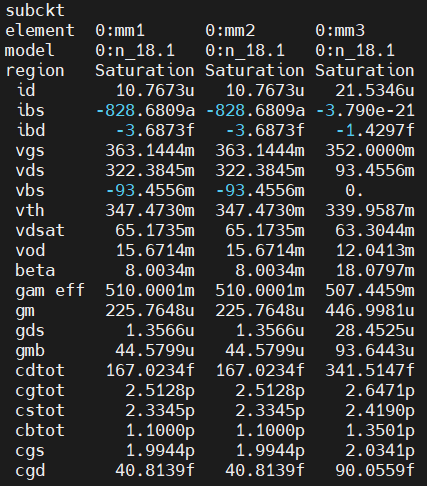
1. 再跑看看ACM發現值還大了一點點，所以稍稍提升Vin\_CM值，Vin\_CM=0.4566V。
2. 重複回到步驟7.，因為Vin\_CM也會影響到VodM1(M2)。
3. 跑看看input range，發現在邊界的地方M2進到linear，推測應該是電阻太大造成VDS值過小，但觀察發現離飽和區不遠了，所以稍微減少Rd值，取Rd =100.6kΩ。
4. 重複步驟7.、10.。
5. 經過多次嘗試後我取得Fom最小的設計。

**第 4 次測試:**

**Design parameter**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Vb** | **Vin\_CM** | **WM3/LM3** | **WM1(M2) /LM1(M2)** | **Rd** |
| 0.352 V | 0.4566V | 5.166um/3um(m=35) | 14.685um/4.4um (m = 8) | 100.690kΩ |

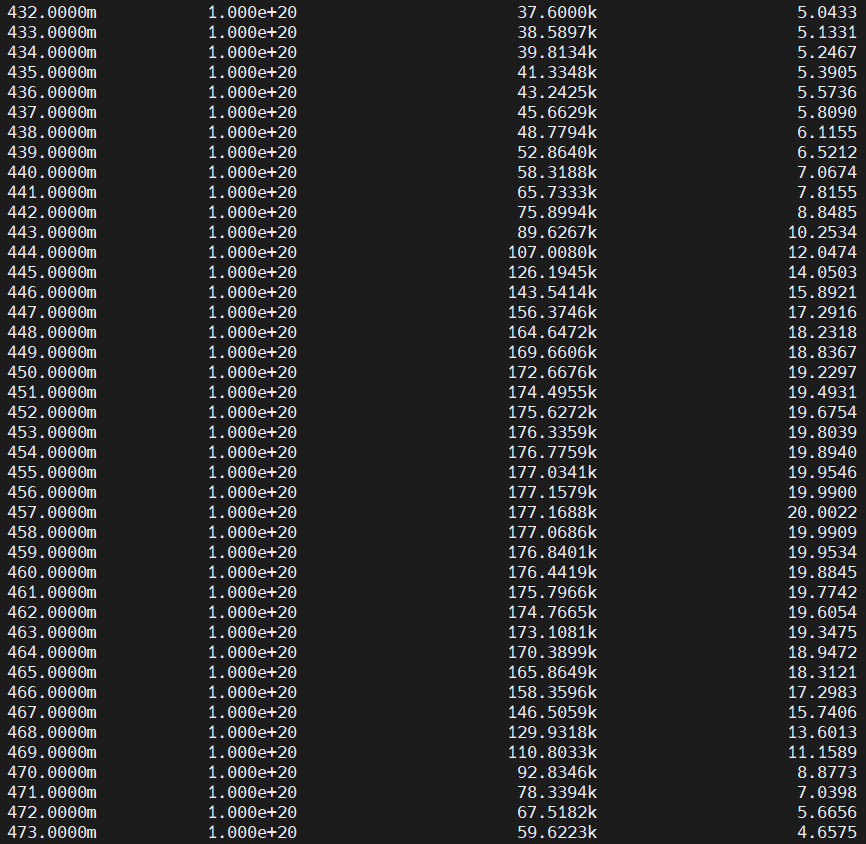
**Result**

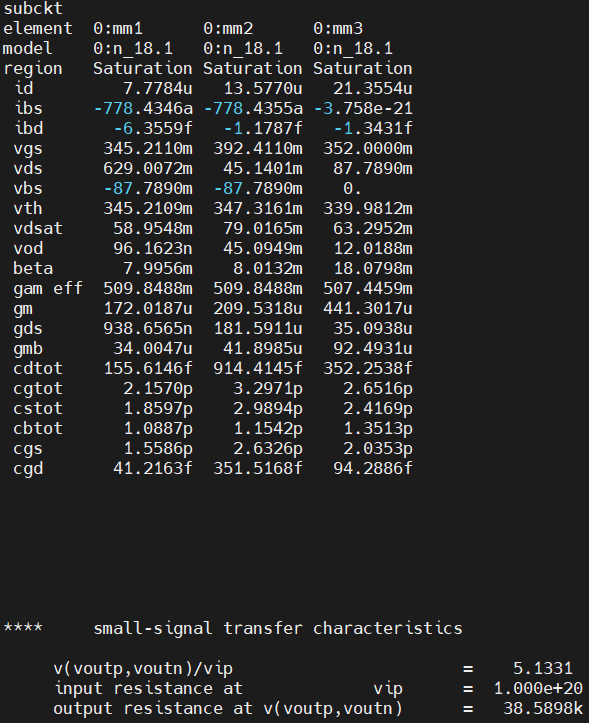
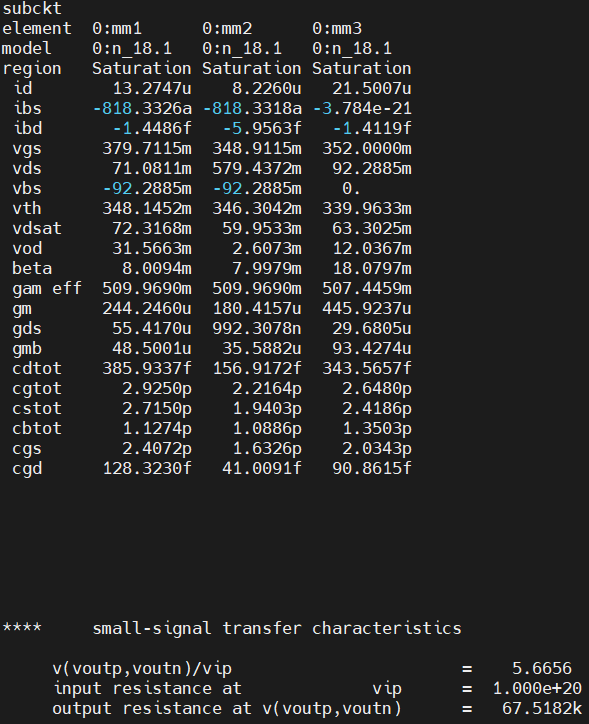


****

**觀察與微調:**

發現達到題目要求，ADM > 20(V/V)，bw > 1.5M(Hz)。

**Input range:**



input range = 472(mV) - 433(mV) = 39(mV)

**Acm:**

****

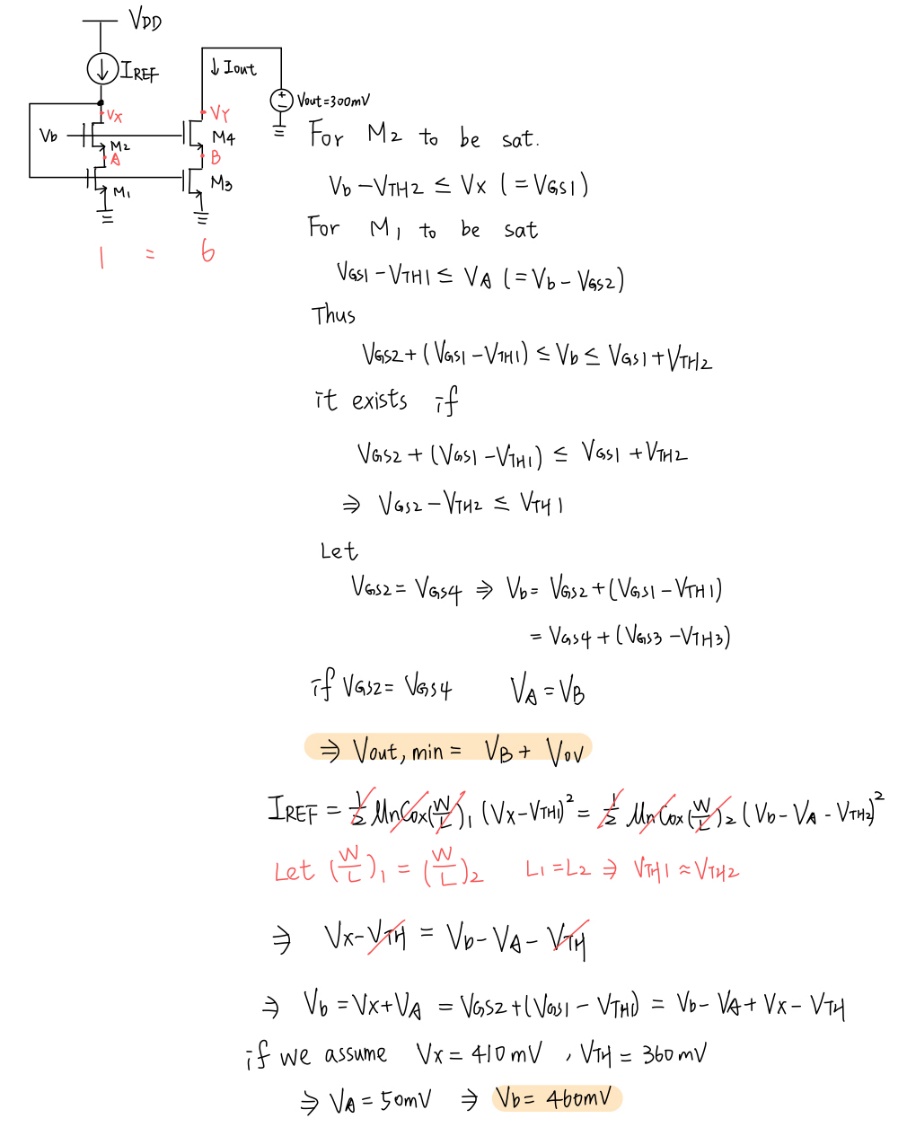
CMRRsimulated = 20 log(20.0001) – 1.0104 = 25.0103 dB > 25 dB

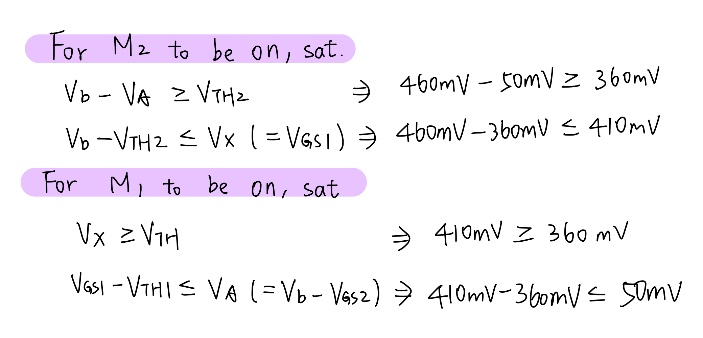
**FoM:**

FoM = = = 0.35960223

**PART2**

**(a)**

****

****

1. 在cascode stage出現的電阻公式Ron可以推得Rout ≅ (gm4+gmb4)ro3ro4但因為ro­不好去計算，所以換個方式觀察。
2. 因為此題的spec 電阻要大於700k，觀察Rout = (at Vout 300mV)， 可以推斷如果current mirror 越快達到120 uA，也就是如果能讓M4在越小的Vout下達到飽和區， 更小 ⟹ Rout 更大。所以讓M4的Vov越小越好 ⟹ 取大 ， = (m=5)。
3. 因為VB也會隨著Vout增加(sweep from 0V to 1.8V)升高到穩定值，如果能讓M3的Vov越小⟹M3越快進入飽和 ⟹ 取大

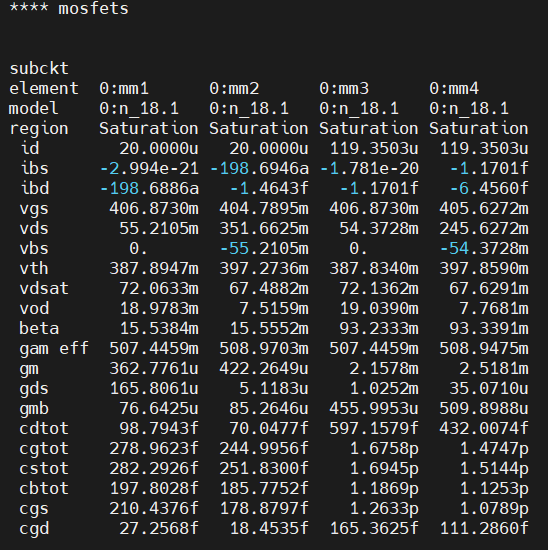
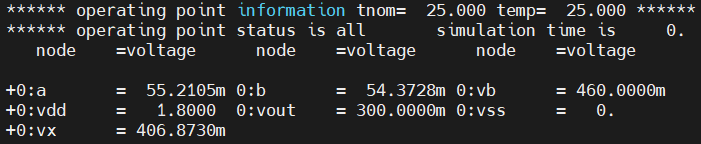
， = (m=5)。

1. 根據current mirror 和電流公式，M1與M3的size需成比例1:6，且如果電流要準確，也需讓VA、VB同電壓，因此M2和M4的size也需成比例1:6，所以 = 、 = 。

**第 1 次測試:**

**Design parameter:** = = (m=5)， = = (m=1)。Vb=460mV

**Result:**

****

**觀察與微調:**

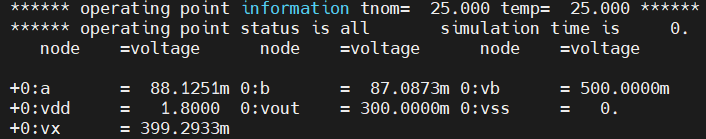
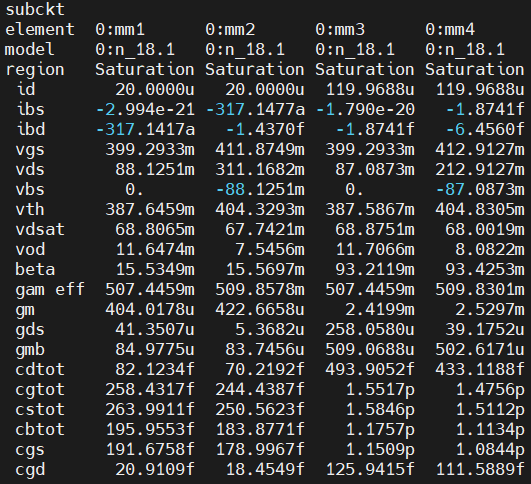
發現Rout還不夠大，猜測或許是因為VB小使得M3隨著VB增加，進入飽和區時的Vout值較接近300mV，所以電流還未完全穩定，所以如果能稍微提高Vb的值，電流變化不大的情況下，VB的值就會提高，或許能讓M3早一些進入飽和區，電流更快在Vout = 300mV時達到120 uA。

取Vb=500mV。

**第 2 次測試:**

**Design parameter:** = = (m=5)， = = (m=1)。Vb=500mV

**Result:**

****

**觀察與微調:**

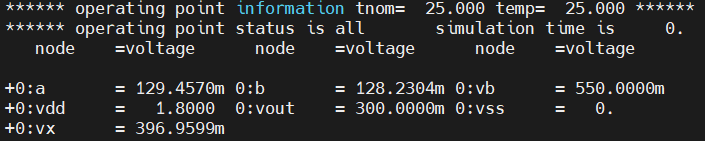
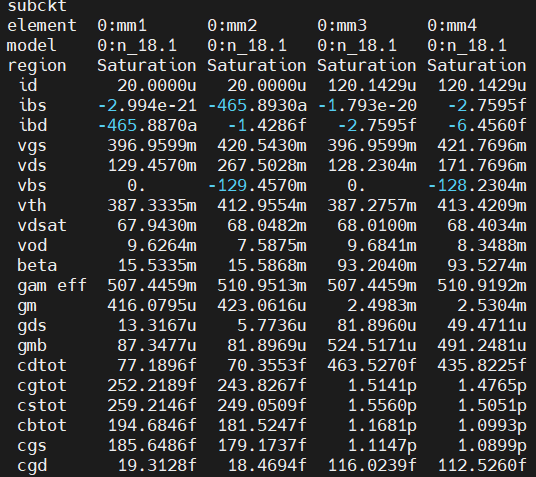
與預期一樣，如果提高VB的值，就可讓M3更早進入飽和區，電流在Vout=300mV時提高了，代表電流更早穩定，Rout更大，但和標準還差了一點，於是繼續加大Vb。

取Vb=550mV。

**第 3 次測試:**

Design parameter: = = (m=5)， = = (m=1)。Vb=550mV

**Result:**

**** ****

**觀察與微調:**

達到題目要求，Rout > 700kΩ。

**計算驗證:**

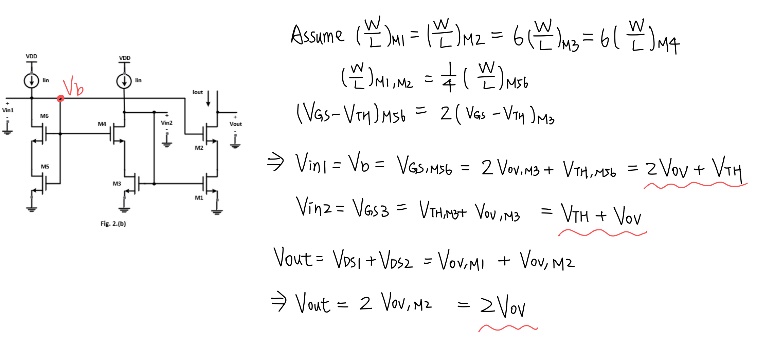
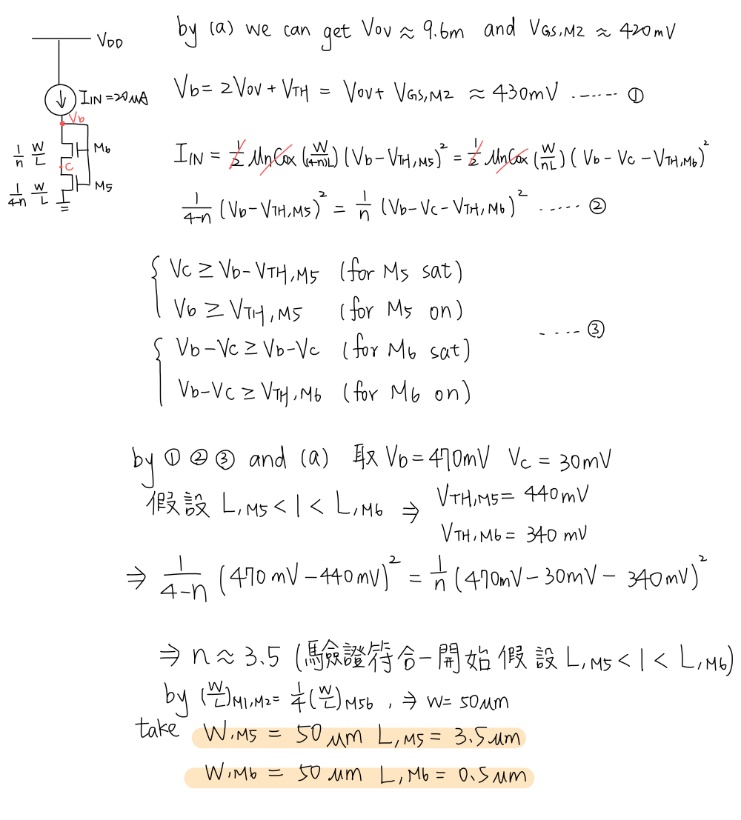
Rout ≅ (gm4+gmb4)ro3ro4

= (2.5304+ 491.2481))

= 745813.9558 Ω

Rout error = | 100% = 1.6%

**(b)**

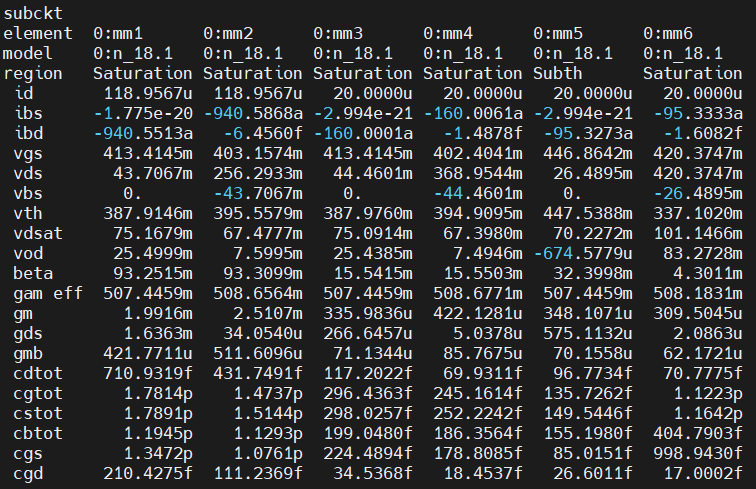
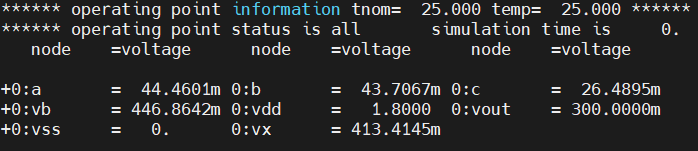


**第 1 次測試:**

**Design parameter:** = = (m=5)， = = (m=1)。

= (m=1)， = (m=1)。

**Result:**

****

**觀察與微調:**

發現Vb比預估的值還要小，所以造成M5進入cut off，要讓Vb的值大一些，可以發現Vb其實就是M5的VG，觀察公式如果要增加Vb的值，可以減少 ，因為變動到L就會同時影響到Vth，所以我打算調小W來降低。

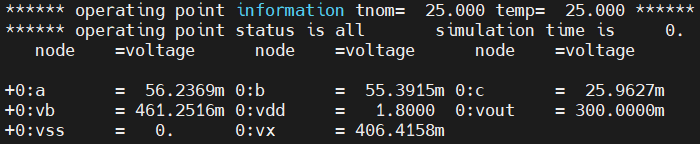
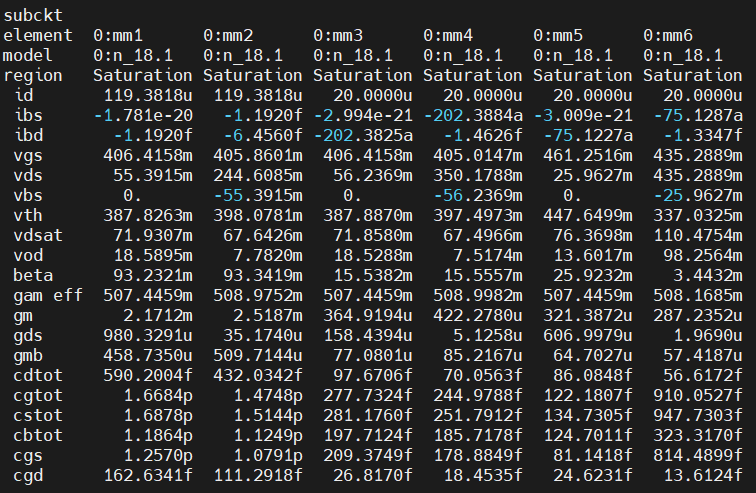
試取 = ，因為M5和M6要W要相同，所以 = 。

**第 2 次測試:**

**Design parameter:** = = (m=5)， = = (m=1)。

= (m=1)， = (m=1)。

**Result:**

****

**觀察與微調:**

Vb的值與預估的一樣提高了，所有mos都進入飽和區。

Iout=119.33818 uA 約等於 6 Iin = 120uA。