**AIC HW6**

110011222陳立珩

**Question 1. ﹣Single-Ended Operational Amplifier**

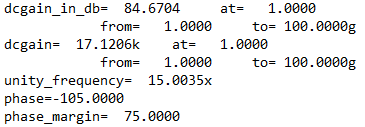
**(a)Device Size / Bias Voltage and Results(Design會在(g)說明)**

數據如下表所列:

|  |  |
| --- | --- |
| Bias | Voltage(V) |
| VB | 1.2 |
| VBN1 | 0.795 |
| VBN2 | 1.18402 |
| VBP1 | 0.834 |
| VICM | 0.9 |

|  |  |  |  |
| --- | --- | --- | --- |
| MOSFET | Width(um) | Length(um) | Multiplier |
| M0 | 46.813 | 10 | 2 |
| M1 | 4.1 | 1.09 | 5 |
| M2 | 4.1 | 1.09 | 5 |
| M3 | 0.38 | 0.65 | 1 |
| M4 | 0.38 | 0.65 | 1 |
| M5 | 1.146 | 1.05 | 3 |
| M6 | 1.146 | 1.05 | 3 |
| M7 | 0.7 | 0.9 | 2 |
| M8 | 0.7 | 0.9 | 2 |
| M9 | 2.09049 | 14 | 1 |
| M10 | 2.09049 | 14 | 1 |

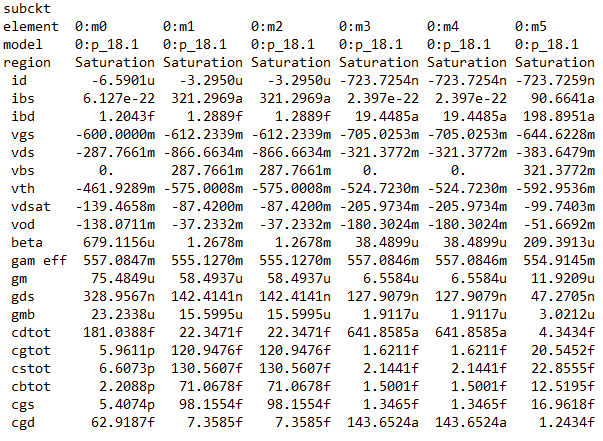
Results:

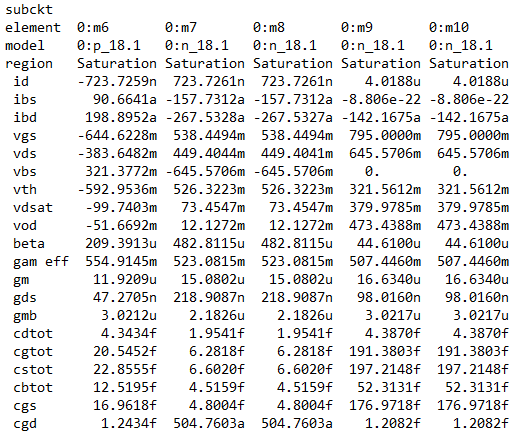


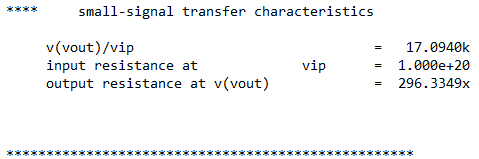
DC gain = 84.6704dB ≥ 65dB

unity frequency = 15 .0035MHz ≥ 15MHz

phase margin = 75.0000° ≥ 75°





**(b) Small signal parameters**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 5.8494E-5 | 1.1921E-5 | 3.0212E-6 | 1.5080E-5 | 2.1826E-6 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 7.0218E+6 | 7.8181E+6 | 2.1155E+7 | 4.5681E+6 | 1.0202E+7 |

上課推導的公式如下:

|AV,calculated|

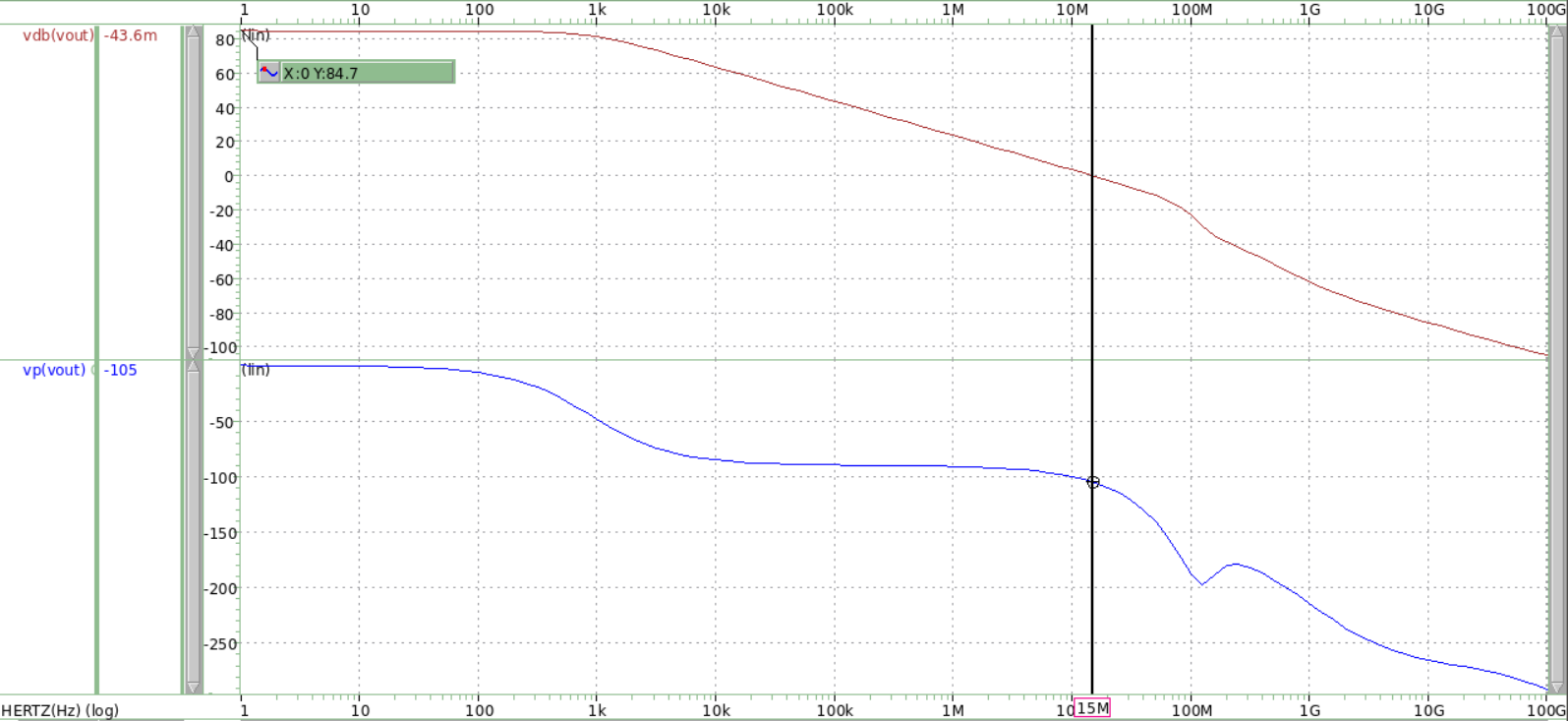
|AV,calculated|= 16937.372137(V/V)

|AV,hspice| = 17094.0(V/V)

|AV,error| = = 0.9247%

誤差很小，可能來自計算時四捨五入造成計算上誤差，公式基本上正確。

**(c) Frequency Response**



*Unity Gain Frequency 15.0035(MHz)*

*Phase Margin 180-105(°)*

*75(°)*

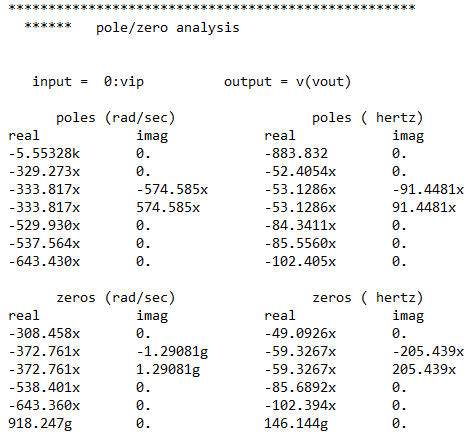
*DC Gain = 84.6704 (dB)*

***Frequency****(****Hz****)*

***Phase****(****°****)*

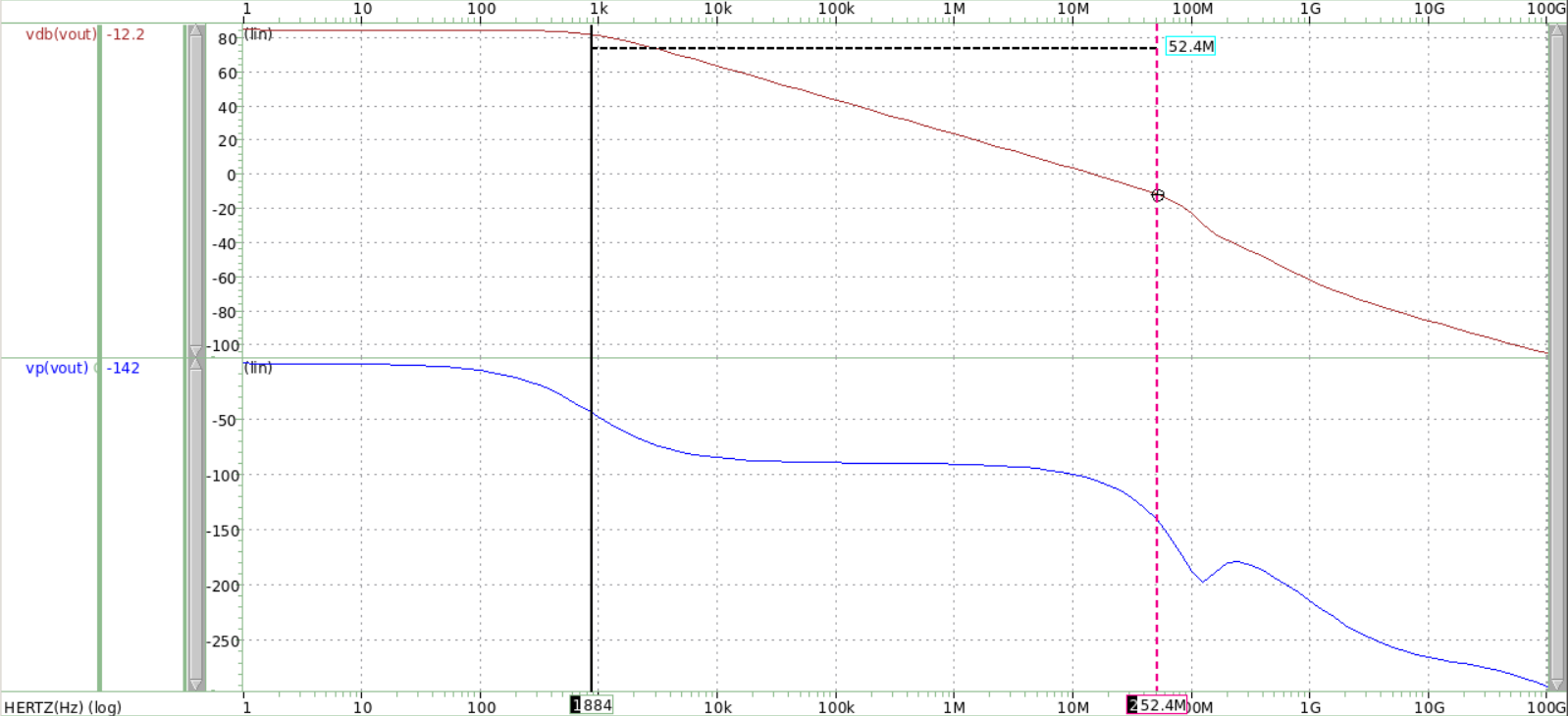
***Gain (dB)***

**(d) Frequency Response (Pole)**



Pole1=883.832 Hz

Pole2=52.4054MHz



*Pole 1 833.832Hz*

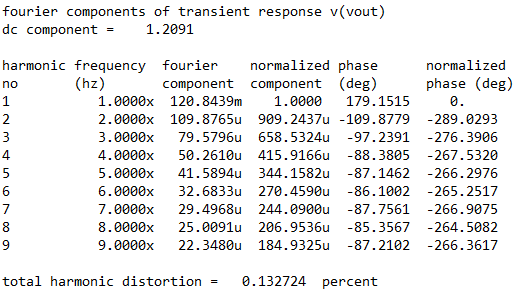
*Pole 2 52.4054MHz*

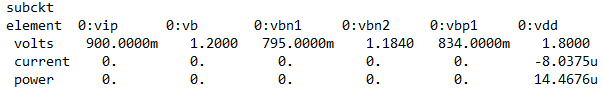
***Gain (dB)***

***Phase****(****°****)*

***Frequency****(****Hz****)*

**(e) Total Harmonic Distortion(THD)**



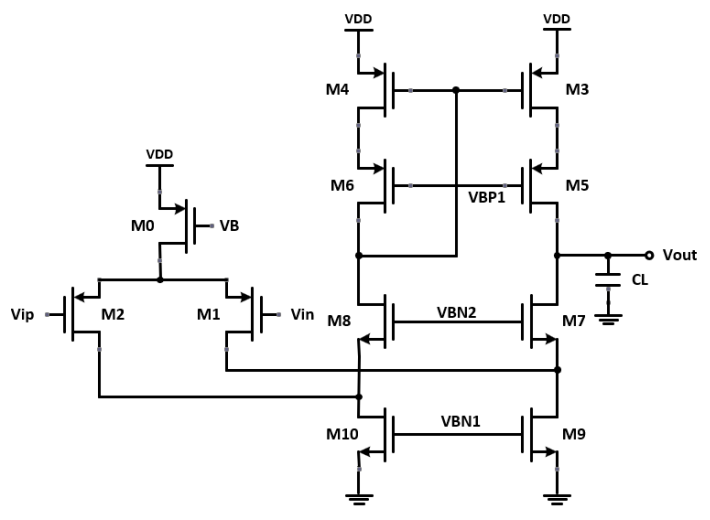
**(f) FoM**

FOM = =

= 0.839743

**(g) Discussion for improvements of FoM**

Design Flow



Vz

Vy

Va

Vx

M10: I10 = ,

M9: I9 = ,

M8: I8 = ,

M7: I7 = ,

M6: I6 = ,

M5: I5 = ,

M4: I4 = ,

M3: I3 = ,

M2: I2 = ,

M1: I1 = ,

M0: I0 = ,

Where I0 = I1+ I2 , I3 = I5 = I7 , I4 = I6 = I8 , I9 = I1+ I7 , I10 = I2+ I8

假設，且Vip=Vin=0.9V由M0,M1,M2的電流公式，可以推得0.9V<VB<1.4V ,，VX>1.3V。

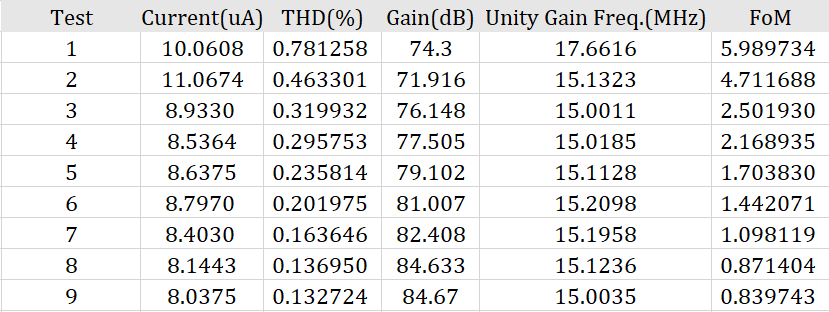
我先決定VBN1、VBN2 與 VBP1，這三個參數會直接影響電晶體是否能進入飽和區。第一步是先決定電流，此電路的主電流是由M9,M10控制，剛開始可以先設定一個參數跑模擬看看，發現很容易進入線性區，此時可以稍微降低VBN1的值或是將L稍微降低進而增加Vthn，如果是微調的部分可以稍微提升M7,M8的W尺寸讓VY端電壓稍微上升，這些都能對M9,M10進入飽和區有幫助。為了降低Output的寄生電容，所以我將VBN2取大、VBP1取小，使得M5,M6,M7,M8不太需要很大的尺寸來維持電流，由於M3,M4的閘及連接到M6的Drain，所以如果Va的電壓值過小，很容易造成M3,M4進入線性區，經過幾次測試之後發現如果 VBN2取1.18V附近、VBP1取0.8V附近可以有效使電晶體進入飽和區。可以注意的是M5,M6經過幾次Hspice測試後觀察到如果W/L取太小，為了維持相同電流會使得VZ值上升，也很容易造成M3,M4進入線性區，所以M5,M6的W值可以取大一些。至於M7,M8的W也不能取得太大，會使得Vod不斷降低，最後進入Subthreshold 區域。最後由於我將VBP1壓的夠小，所以讓M5的Source端電壓不會太大，使得M3和M4的VDS都還蠻大的，有很多空間可以調整W的尺寸。

而Folded 電路的部分M0的尺寸與此電路的Pole比較不相關，只與電流有關， 所以L的取法比較不受限，但因為VB有限制且我要設計一個Folded電路電流 大於Cascode電流的電路，所以W要取大。M1,M2的尺寸不能取得太小不然會 使得Source端電壓降低，造成M0進入線性區。

|  |  |  |
| --- | --- | --- |
|  | Specification | This work |
| VDD | 1.8V | |
| CL | 600f | |
| Total current (uA) | Open for design | 8.0375 |
| DC gain (dB) | > 65 | 84.6704 |
| Input common mode voltage | 0.9V | |
| Output common mode voltage | Open for design | 1.0950V |
| Unity gain frequency (MHz) | > 15 | 15.0035 |
| Phase margin (°) | > 75 | 75 |
| THD (%) | < 0.85 | 0.132724 |
| FoM | As small as possible | 0.839743 |

FoM improvement

從這次的FoM公式可以看出最首要的任務還是減少THD，剛開始設計的時候我 是將M1~M10的L都取0.5uM左右，並且如(a)所述將折起來電路的電流𝐼𝑑1大 於主電路𝐼𝑑9的電流，雖然可以達到題目要求但最後測出來的THD很大，如Test1 所列，接著我發現降低電流、提升VBN2和增加M5,M6,M7,M8的W/L值發現對 於 THD 的減少有些許幫助而且如果將 VBN1 些微上升可以增加 Unity Gain Frequency 與 Phase Margin，這些使得我的THD降低了不少，如Test2~ Test4。 由於一開始設計時是希望讓Pole2拉的越遠越好，所以將M9,M10的L取很小以 降低寄生電容，但在模擬過程中我發現如果將M9,M10的L取大，約14uM左 右，然後同樣把W調到相同比例的位置，雖然會因為Vthn下降造成電流些微提 升，但可以大幅提升電路的線性度，使得THD降低，如Test5~ Test7。最後Test8~ Test9 將FoM下降到1以下是因為我發現提高M5,M6的L也可以對THD降低有 所幫助，約取到1uM。



由於較大的電流會讓Phase Margin變大，所以在壓低THD時，我都會將Phase Margin 壓低到75度左右，確保電流在滿足條件下的最低值，當調到接近75度 後就會嘗試提升M5,M6,M7,M8的尺寸，在減少Phase Margin的同時也可以降低 THD，最後我也會些微增加或減少VBP1和VBN2，因為有時候在微小的區間也 會存在較低的THD值，但同時要注意將M5,M6,M7,M8 的 L 尺寸提升雖然可以 些微增加Gain 和減少THD，但同樣會增加Output 看到的電阻和電容，所以會 讓 Unity Gain Frequency 降低，大致來說 Phase Margin、Gain 和 Unity Gain Frequency 存在 Trade-Off，所以要如何在這之間取得平衡和 FoM最佳值是需要 花很多時間嘗試的。