国防科技大学研究生院二〇〇六年博士生入学考试

计算机系统结构 **试题** 题单号：20601

（可不抄题）

考生注意：

1、答案必须写在我校统一配发的专用答题纸上！

2、无论考题为中文或英文，答题均用中文。

3、答案前必须写清楚题目编号。

1. 填空（每个空 1 分，共计 20 分。请在答题纸上按题目写清楚填空的编号）

1.1 Freedom from compatibility with old designs and the use of (1) technology led to a renaissance in computer design, which emphasized both (2) innovation and efficient use of technology improvements.

1.2 Throughout this range in price and capability, the desktop market tends to be driven to optimize (3).

1.3 For servers, the key features are (4), (5) and (6).

1.4 The (7) is the time between the start and the completion of an event—also referred to as (8). The manager of a large data processing center may be interested in increasing (9)—the total amount of work done in a given time.

1.5 (10) = CPU clock cycles for a program : Instruction Count

1.6 This potential overlap among instructions is called (11) since the instructions can be evaluated in (12)

1.7 The ideal pipeline CPI is a measure of the (13) performance attainable by the implementation.

1.8 An instruction j is data dependent on instruction i instruction (14) produces a result that may be used by instruction (15).

1.9 网络中任意两个结点间（16）叫做网络直径

1.10 非均匀存储器访问机器 NUMA 的（17）依赖于数据在存储器中的存放位置。

1.11 大规模机器的同步硬件支持方法有排队锁和硬件原语，软件方法有（18）、（19）和（20）。

2. (本题 10 分)Consider the following code snippet:

```
1:  x←x+1
2:  if x>y then goto 10
3:  goto 20
...
10: w←z
```

in speculative execution, these instructions would be reorder as follows.

```
1:  x←x+1
10: w←z
2:  if x>y then goto 10
3:  goto 20
```

2.1 Which is the speculative instruction?

2.2 How it is handled and how it executes?

3. (本题 10 分) Consider the execution of a program of 15,000 instructions by a linear pipeline processor with a clock rate of 25MHz. Assume that the instruction pipeline has five stages that one instruction is issued per clock cycle. The penalty due to branching is ignored in (a), but not in (b).

(a) Calculate the speedup factor in using this pipeline to execute the program compared to the use of an equivalent nonpipeline processor with an equal amount of flow-through delay.

Rj, Rk—Flags indicating when Fj, Fk are ready and not yet read. Set to No after operands are read.

(3) Register result status—Indicates which functional unit will write each register, if an active instruction has the register as its destination. This field is set to blank whenever there are no pending instructions that will write that register.

The actions of Issue step is:

If a functional unit for the instruction is free and no other active instruction has the same destination register, the scoreboard issues the instruction to the functional unit and updates its internal data structure. By ensuring that no other active functional unit wants to write its result into the destination register, we guarantee that WAW hazards cannot be present. If a structural or WAW hazard exists, then the instruction issue stalls, and no further instructions will issue until these hazards are cleared.

FU stands for the functional unit used by the instruction, D is the destination register name, S1 and S2 are the source register names, and op is the operation to be done. To access the scoreboard entry named Fj for functional unit FU we use the notation Fj[FU]. Result[D] is the value of the result register field for register D. The test on the write-result case prevents the write when there is a WAR hazard, which exists if another instruction has this instruction's destination (Fi[FU]) as a source (Fj[f ] or Fk[f ]) and if some other instruction has written the register (Rj = Yes or Rk = Yes).

Fj[FU]

(b) If 25% additional cycles are needed to execute the same code (the branching effects are included), what are the throughput and speedup of this pipelined processor?

4. (本题 15 分) Give the following sequence of events, show which routines the CPU executing from time 0 to 100 ns. Each handler routine (with its interrupt request) takes 20 ns to complete.

| Time | Action |
|---|---|
| 0ns | Start of main program |
| 10ns | IRQ1 |
| 20ns | IRQ2 |
| 45ns | IRQ3 |
| 60ns | IRQ4 |

4.1 Assuming: higher priority is from IRQ1 to IRQ4, embedding is not allowed.

4.2 Assuming: higher priority is from IRQ4 to IRQ1, embedding is allowed.

5. (本题 10 分) There are three parts to the scoreboard:

(1) Instruction status— Indicates which of the four steps the instruction is in.

(2) Functional unit status— Indicates the state of the functional unit (FU). There are nine fields for each functional unit:

Busy—Indicates whether the unit is busy or not.

Op—Operation to perform in the unit (e.g., add or subtract).

Fi—Destination register.

Fj, Fk—Source-register numbers.

Qj, Qk—Functional units producing source registers Fj, Fk.

Please give the details of checks and bookkeeping actions of Issue step of scoreboarding in a C-like informal language.

6. (本题 10 分)The following code segment increments all the elements of an array whose starting address is in R1 by the contents of F2:

```
Loop: L.D     F0,0(R1)
      ADD.D   F4,F0,F2
      S.D     F4,0(R1)
      DADDUI  R1,R1,#-8
      BNE     R1,R2,Loop
```

6.1 Show a software-pipelined version of this loop, you may omit the start-up and clean-up code.

6.2 Design a mechanism which can accelerate software-pipelined code executing, and explain how it processes.

7. (5 分)给出四种松弛(relaxed)一致性模型的特点及其实现上所需要的硬件支持措施。

8. (5 分)试比较同时多线程 (Simultaneous Multithreading)、粗粒度多线程和细粒度多线程，它们各有什么特点。

9. (15 分) 在基于总线的集中共享多处理机系统中 Cache 相关性 (Coherence) 监听协议原来有 3 个状态：无效、共享、专有。如果再增加一个干净专有 (只读) 状态，给出相比原来 3 个状态时，现在的相关性监听协议工作原理是什么？增加了哪些新的状态变迁 (transitions) ？

国防科技大学研究生院二〇〇七年博士生入学考试

计算机系统结构 **试题** 题单号：20601

（可不抄题）

考生注意：

1、答案必须写在我校统一配发的专用答题纸上！
2、用中文答题。
3、答案前须写清楚题号。

1. 填空（每个空 1 分，共计 20 分。请在答题纸上按题目写清楚填空的编号）

1.1 TLB 是一个专用的（1），用于存放近期经常使用的（2），其内容是页表部分内容的一个（3）。

1.2 存储程序计算机（冯•诺依曼结构）的特点是：机器以（4）为中心；采用存储程序原理；存储器是按（5）访问的、线性编址的空间；控制流由（6）流产生；指令由操作码和地址码组成；数据以（7）进制编码表示，采用二进制运算。

1.3 对于采用指令流水线的处理器，其 CPI 公式为：
流水线 CPI = 流水线理想 CPI + （8）+（9）+ 控制相关导致的停顿

1.4 流水线的链接是将流水线计算机中多个（10）按照指令的要求连接在一起，构成一个长流水线，减少各个功能部件流水线（11）和排空的时间，提高流水线执行效率的方法。

1.5 软流水是一种（12）结构的指令重组技术，又称之为符号化循环展开。

1.6 对于顺序指令 i 和 j，指令 i 和 j 反相关是指：指令 j 将结果（13）了指令 i 要（14）的寄存器或（15）。

1.7 虚拟自适应就是将一个物理通道分成几个虚拟的通道，根据后续各虚拟通道的（16）情况自适应选择后续通道。

1.8 虫孔路由是把消息包分成小片，片头带（17），所有片以不可分离的（18）方式通过片缓冲区进行传输的路由方式。

1.9 栅栏同步是强制所有到达的进程进行等待，直到（19）进程到达栅栏，然后（20）全部的进程，从而形成同步。

2. (本题 10 分) 某处理器是一个具有分支预测功能的五级双流水线：PF-D1(指令译码)-D2(地址生成)-EX-WB，下面的简单指令是可以在两条流水线上以超标量形式执行的：

```
mov         reg,reg/mem/imm
mov         mem,reg/imm
alu         reg,reg/mem/imm
inc/dec     reg/mem
push        reg/mem
pop         reg
lea         reg/mem
jmp/call/jcc  addr
nop
```

对于循环

```
loop:
    mov  [reg1],addr1   ; s1
    add  reg1,1         ; s2
    cmp  reg1,SIZE      ; s3
    jle  loop           ; s4
```

请分析（要有分析过程）：

2.1 在没有分支预测的单流水线上，一次循环执行时间是多少?

2.2 在对该处理器进行优化以后，一次循环执行时间是多少?

3. (本题 10 分) 假设在 1000 次访存中，第一级 Cache 失效 40 次，第二级 Cache 失效 20 次。试问：在这种情况下，该 Cache 系统的局部失效率和全局失效率各是多少?

4. (本题 15 分) 假设某处理器为五级流水线，主频 25MHz，流水线每拍可流出一条指令。现执行一个有 15 000 条指令的程序，请计算：

4.1 在不考虑分支延迟的情况下，相对非流水线处理器，流水线处理器的实际加速比；

4.2 考虑分支延迟，流水线处理器执行相同代码需要增加 25%的执行时钟周期，请分析计算实际加速比；

4.3 根据第 4.1 的假设，如果程序只有 5 条指令，计算实际加速比；此结果与 4.1 的结果比较可以说明什么问题？

5. (本题 10 分) 假设某应用程序中有 4 类操作，通过改进，各操作获得不同的性能提高。具体数据参加下表：

| 操作类型 | 程序中的数量 | 改进前的执行时间 | 改进后的执行时间 |
|---|---|---|---|
| 操作 1 | 10 | 2 | 1 |
| 操作 2 | 30 | 20 | 15 |
| 操作 3 | 35 | 10 | 3 |
| 操作 4 | 15 | 4 | 1 |

请计算出：

5.1 改进后，各类操作的加速比分别是多少？

5.2 各类操作单独改进后，程序获得的加速比分别是多少？

5.3 这 4 类操作均改进后，整个程序的加速比是多少？

6. (本题 10 分) 指令的延迟如下表：

| 产生结果指令 | 使用结果指令 | 延迟时钟周期数 |
|---|---|---|
| 浮点计算 | 另外的浮点计算 | 3 |
| 浮点计算 | 浮点存操作(SD) | 2 |
| 浮点取操作(LD) | 浮点计算 | 1 |
| 浮点取操作(LD) | 浮点存操作(SD) | 0 |

假设分支（条件转移）指令有一个时钟的延迟。对于循环：

```
LOOP:   LD      F0,0(R1)
        MULTD   F0,F0,F2
        LD      F4,0(R2)
        ADDD    F0,F0,F4
        SD      0(R2),F0
        SUBI    R1,R1,8
        SUBI    R2,R2,8
        BNEQZ   R1,LOOP
```

请分析（要有分析过程）：

6.1 对于原始程序，分析并求出一次循环所需要的时间（时钟数）；

6.2 根据需要展开循环最少次数，并进行指令调度，直到没有任何延迟，并计算出平均每次循环的时间（时钟数）。

7. (5 分)在多处理机系统中进行时延隐藏的主要技术途径及其原理。

8. (5 分) 为什么采用松弛(relaxed)一致性模型的机器可以提高性能？给出部分存序（Partial store ordering）和弱排序(Weak ordering)两种松弛一致性模型的特点及其实现上所需要的硬件支持措施。

9. (15 分)什么是多处理机的相关性(coherency)和一致性(consistency)？给出解决相关性的目录协议的工作原理及状态变迁。

国防科技大学研究生院二〇〇八年博士生入学考试

计算机系统结构 **试题** 题单号：20601

（可不抄题）

考生注意：

1、答案必须写在我校统一配发的专用答题纸上！
2、用中文答题。
3、答案前须写清楚题号。

1. 填空（每个空 1 分，共计 20 分。请在答题纸上按题目写清楚填空的编号）

1.1 1964 年 C. M. Amdahl 在介绍 IBM 360 系统时提出：计算机体系结构是（1）所看到的计算机的属性，即（2）与（3）。

1.2 所谓系列机就是指具有相同的（4），但具有不同（5）和（6）的一系列不同型号的机器。我们把不同厂家生产的具有相同体系结构的计算机称为（7）。

1.3 程序的局部性原理是指：程序总是趋向于使用最近使用过的(8)和（9），也就是说程序执行时所访问存储器地址分布不是随机的，而是相对地簇聚。程序局部性包括程序的（10）局部性和程序的（11）局部性。

1.4 在存储层次中，“Cache—主存”层次为了弥补主存（12）不足，“主存—辅存”层次为了弥补主存速度的不足为了弥补主存（13）不足。

1.5 home 结点是指存放（14）的存储器单元及（15）所在的结点。

1.6 与结点相连的（16)数量叫做结点度。

1.7 拥有者（owner）是指拥有唯一的（17）的处理器。

1.8 非绑定（nonbinding）预取能得到（18）数据值。

1.9 RISC 的含义是（19），CISC 的含义是（20）。

2. (本题 15 分) You will run two applications, application A and application B, on a dual cores processor.

(1) Given that 40% of application A is parallizable, how much speedup would achieve with that application if run in isolation?

(2) Given that 99% of application B is parallizable, how much speedup would this application observe if run in isolation?

(3) The application A needs 80% of the resources, and the applications B needs 20%. How much overall system speedup would observe?

3. (本题 20 分) The following table provides the instructions latencies beyond the single common cycle:

| | | | |
|---|---|---|---|
| Memory LD | +3 | ADDD | +2 |
| Memory SD | +1 | MULTD | +4 |
| Integer ADD, SUB | 0 | DIVD | +10 |
| Branches | +1 | | |

The code sequence is:

```
Loop:  LD     F2,0(Rx)
I0:    MULTD  F2,F0,F2
I1:    DIVD   F8,F2,F0
I2:    LD     F4,0(Ry)
I3:    ADDD   F4,F0,F4
I4:    ADDD   F10,F8,F2
I5:    SD     F4,0(Ry)
I6:    ADDI   Rx,Rx,#8
I7:    ADDI   Ry,Ry,#8
I8:    SUB    R20,R4,Rx
I9:    BNZ    R20,Loop
```

(1) What would be the baseline performance (in cycles, per loop iteration) of the code sequence, if no new instruction's execution

could be initiated until the previous instruction's execution had completed? Ignore front-end fetch and decode. Assume that execution does not stall for lack of the next instruction, but only one instruction/cycle can be issued. Assum the branch is taken, and that there is a 1 cycle branch slot.

(2) Consider a pipeline design. How many cycles would the loop body in the code sequence require if the pipline detected true data dependences and only stalled on those, rather than blindly stalling everything just because one functional unit is busy?

4. (本题 10 分) The operations in the issue stage of scoreboarding are:

-Wait until he functional unit for the instruction is free

-No other active instruction has the same destination registers (WAW)

-Reading operands till all operands are OK

The fields are:

Busy[FU]: Indicates whether the unit is busy or not

Op[FU]: Operation to perform in the unit (like add, sub…)

Fi[FU]: Destination register number

Fj[FU], Fk[FU]: Source-register numbers

Qj, Qk: Functional units producing source registers Fj, Fk

Rj, Rk: Indicating when Fj, Fk are ready, set to NO after operands are read (been used)

Result: indicates which FU will write this register

Write the previous fields bookkeeping actions for the ISSUE step.

5. (本题 10 分) A 8 cores RISC processor will be busy with an overall CPI=2.0 under a 3GHz clock. Assuming the cache miss refills are not delayed. All 8 cores running a workload with 6.67 cache misses per 1K instructions, and optimistically assuming misses from all cores are uniformly distributed in time. The caches are 8-byte blocks and cache-memory can access with the burst length of 16. What bandwidth is required to support all 8 cores running this workload?

6. (本题 5 分)给出同时多线程（Simultaneous Multithreading）的并行工作原理及其在体系结构实现上的基础。

7. (本题 5 分)简单比较动态网络中总线、多级网络、交叉开关的特点。

8. (本题 15 分) 什么是多处理机的相关性(coherency)和一致性(consistency)？一台超结点的分布共享多处理机，结点内部运行监听协议，结点之间运行目录协议，试述系统解决相关性的工作原理。

——————— 完 ———————

国防科技大学研究生院二〇〇八年博士生入学考试

计算机系统结构　　试题　　题单号：20601

（可不抄题）

考生注意：

1、答案必须写在我校统一配发的专用答题纸上！
2、用中文答题。
3、答案前须写清楚题号。

1. 填空（每个空 1 分，共计 20 分。请在答题纸上按题目写清楚填空的编号）

1.1 1964 年 C. M. Amdahl 在介绍 IBM 360 系统时提出：计算机体系结构是（1）所看到的计算机的属性，即（2）与（3）。

1.2 所谓系列机就是指具有相同的（4），但具有不同（5）和（6）的一系列不同型号的机器。我们把不同厂家生产的具有相同体系结构的计算机称为（7）。

1.3 程序的局部性原理是指：程序总是趋向于使用最近使用过的（8）和（9），也就是说程序执行时所访问存储器地址分布不是随机的，而是相对地簇聚。程序局部性包括程序的（10）局部性和程序的（11）局部性。

1.4 在存储层次中，“Cache—主存”层次为了弥补主存（12）不足，“主存—辅存”层次为了弥补主存速度的不足为了弥补主存（13）不足。

1.5 home 结点是指存放（14）的存储器单元及（15）所在的结点。

1.6 与结点相连的（16)数量叫做结点度。

1.7 拥有者（owner）是指拥有唯一的（17）的处理器。

1.8 非绑定（nonbinding）预取能得到（18）数据值。

1.9 RISC 的含义是（19），CISC 的含义是（20）。

2. (本题 15 分) You will run two applications, application A and application B, on a dual cores processor.

(1) Given that 40% of application A is parallizable, how much speedup would achieve with that application if run in isolation?

(2) Given that 99% of application B is parallizable, how much speedup would this application observe if run in isolation?

(3) The application A needs 80% of the resources, and the applications B needs 20%. How much overall system speedup would observe?

3. (本题 20 分) The following table provides the instructions latencies beyond the single common cycle:

| | | | |
|---|---|---|---|
| Memory LD | +3 | ADDD | +2 |
| Memory SD | +1 | MULTD | +4 |
| Integer ADD, SUB | 0 | DIVD | +10 |
| Branches | +1 | | |

The code sequence is:

```
Loop:  LD     F2,0(Rx)
I0:    MULTD  F2,F0,F2
I1:    DIVD   F8,F2,F0
I2:    LD     F4,0(Ry)
I3:    ADDD   F4,F0,F4
I4:    ADDD   F10,F8,F2
I5:    SD     F4,0(Ry)
I6:    ADDI   Rx,Rx,#8
I7:    ADDI   Ry,Ry,#8
I8:    SUB    R20,R4,Rx
I9:    BNZ    R20,Loop
```

(1) What would be the baseline performance (in cycles, per loop iteration) of the code sequence, if no new instruction's execution

could be initiated until the previous instruction's execution had completed? Ignore front-end fetch and decode. Assume that execution does not stall for lack of the next instruction, but only one instruction/cycle can be issued. Assum the branch is taken, and that there is a 1 cycle branch slot.

(2) Consider a pipeline design. How many cycles would the loop body in the code sequence require if the pipline detected true data dependences and only stalled on those, rather than blindly stalling everything just because one functional unit is busy?

4. (本题 10 分) The operations in the issue stage of scoreboarding are:

-Wait until he functional unit for the instruction is free

-No other active instruction has the same destination registers (WAW)

-Reading operands till all operands are OK

The fields are:

Busy[FU]: Indicates whether the unit is busy or not

Op[FU]: Operation to perform in the unit (like add, sub…)

Fi[FU]: Destination register number

Fj[FU], Fk[FU]: Source-register numbers

Qj, Qk: Functional units producing source registers Fj, Fk

Rj, Rk: Indicating when Fj, Fk are ready, set to NO after operands are read (been used)

Result: indicates which FU will write this register

Write the previous fields bookkeeping actions for the ISSUE step.

5. (本题 10 分) A 8 cores RISC processor will be busy with an overall CPI=2.0 under a 3GHz clock. Assuming the cache miss refills are not delayed. All 8 cores running a workload with 6.67 cache misses per 1K instructions, and optimistically assuming misses from all cores are uniformly distributed in time. The caches are 8-byte blocks and cache-memory can access with the burst length of 16. What bandwidth is required to support all 8 cores running this workload?

6. (本题 5 分)给出同时多线程（Simultaneous Multithreading）的并行工作原理及其在体系结构实现上的基础。

7. (本题 5 分)简单比较动态网络中总线、多级网络、交叉开关的特点。

8. (本题 15 分) 什么是多处理机的相关性(coherency)和一致性(consistency)？一台超结点的分布共享多处理机，结点内部运行监听协议，结点之间运行目录协议，试述系统解决相关性的工作原理。

——————— 完 ———————

# 国防科学技术大学2009年博士研究生入学考试试题

科目名称: **计算机系统结构** 科目代码: **20601**

**考生注意：1、答案必须写在统一配发的专用答题纸上！（可不抄题）**

**2、用中文答题**

一、（20分）填空（每个空1分。请在答题纸上按题目写清楚填空的编号）

1. 存储程序计算机（冯•诺依曼结构）的特点是：机器以（1）为中心；采用存储程序原理；存储器是按（2）访问的、线性编址的空间；控制流由（3）流产生；指令由操作码和地址码组成；数据以（4）进制编码表示，采用（5）进制运算。
2. 在推断（speculation）执行中，指令的流出过程是（6）序的，但结束过程的确认是（7）序的。再定序缓冲用于保存执行完毕但尚未顺序确认的指令。
3. 流水线的链接是将流水线计算机中多个功能部件按照指令的要求连接在一起，构成一个（8），减少各个功能部件流水线加载/建立和（9）的时间，提高流水线执行效率的方法。
4. 多体交叉存储器中，两次独立的存储器访问请求在一个存储周期中访问（10）存储体，就造成存储体冲突。
5. 在采用虚拟存储器的计算机系统中，Cache的地址直接有（11）地址转换获得，这就是虚拟Cache。
6. 互连网络中任意两个结点间（12）路径长度的（13）值称为网络直径。
7. 将网络切成（14），沿切口的（15）叫等分带宽。
8. 存放数据的（16）及（17）所在的结点是home结点。
9. 非绑定（nonbinding）预取能返回（18），并且保证对数据实际的存储器访问返回的是最新的数据项。
10. 同时多线程（Simultaneous Multithreading）是同时实现指令和（19）级的并行，每拍有多个指令槽，可以安排多个线程的（20）同时流出。

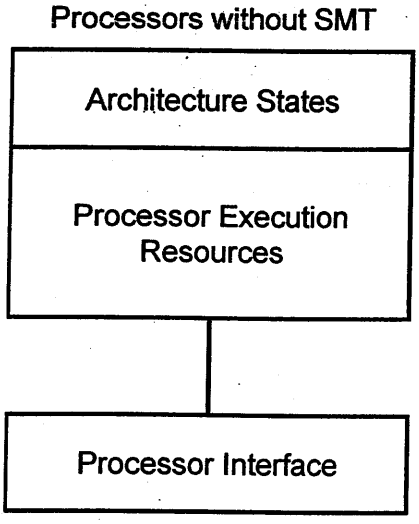
二、(10分) A 40MHz processor was used to execute a benchmark program

with the following instruction mix and clock cycle counts. Determine the effective CPI, MIPS rate, and execution time for this program:

| Instruction Type | Instruction Count | Clock Cycle Count |
|---|---|---|
| Integer arithmetic | 45,000 | 1 |
| Data transfer | 32,000 | 2 |
| Floating point | 15,000 | 2 |
| Control transfer | 8,000 | 2 |

三、(10 分) Give the following sequence of events, show which routines the CPU executing from time 0 to 100 ns. Each handler routine (with its interrupt request) takes 20 ns to complete.

| Time | Action |
|---|---|
| 0ns | Start of main program |
| 10ns | IRQ1 |
| 20ns | IRQ2 |
| 45ns | IRQ3 |
| 60ns | IRQ4 |




四、(10 分) What is SMT? How to implement a 2-way SMT processor in a single thread processor (processors without SMT)?

五、(10 分) The following code has a speculative instruction with renaming, that is a boosting architecture. What the code will do and how it will do?

```
      LW    R1,0(R3)   ;load A
      LW+   R1,0(R2)   ;boosted load B
      BEQZ  R1,L3      ;other branch
      ADD   R1,R1,4    ;the else clause: A+4
L3:   SW    0(R3),R1   ;non-speculative SW
```

六、（10 分）A two ways superscale microprocessor has two five stages pipelines with branch prediction:

| PF | D1(instruction decode) | D2(address generation) | EX | WB |
|---|---|---|---|---|

Only the following simple instructions combination may execute in two pipelines:

```
mov             reg,reg/mem/imm
mov             mem,reg/imm
alu             reg,reg/mem/imm
inc/dec         reg/mem
push            reg/mem
pop             reg
lea             reg/mem
jmp/call/jcc    near
nop
```

The loop

```
loop:
    mov   [reg4],reg1       ; s1
    add   reg4,reg3         ; s2
    cmp   reg4,SIZE         ; s3
    jle   loop              ; s4
```

(1) How many clock cycles does each loop iteration takes in a single pipeline processor without branch prediction?

(2) How many clock cycles does each loop iteration takes after scheduling for superscale microprocessor? Rewrite the optimized code.

七、（7 分）比较动态网络中总线、多级网络、交叉开关的特点。

八、（8 分）试列举四种主要的松弛(relaxed)一致性模型并给出其特点，它们在实现上需要哪些硬件支持措施？

九、（15 分）一台超结点的分布共享多处理机，其 Cache 相关性（Coherence）协议是结点内部运行监听协议，结点之间运行目录协议。试述系统解决相关性的工作原理。

# 国防科学技术大学2010年博士研究生入学考试试题

科目名称: **计算机系统结构** 科目代码: **20601**

**考生注意:**

**1、答案必须写在我校统一配发的专用答题纸上!**

**2、用中文答题。**

**3、答案前须写清楚题号。**

一、(20分)填空(每个空1分。请在答题纸上按题目写清楚填空的编号)

1. Amdahl定律表明:改进一个部件所获得的系统性能提高,受限于该部件(1)相对总执行时间所占的(2)。
2. 向量流水线链接(pipeline chaining)是在有(3)相关的两条指令之间,将产生数据的指令部件的结果直接送到使用数据部件的(4)。
3. 系列机是指具有相同(5),但具有不同组织和(6)方式的计算机。
4. Cache的(7)失效是第一次访问cache块时,该块不在cache中,必须从(8)存储器中调入。
5. 乱序流出(Out of order issue)是程序中的(9)不是按照排列的顺序流出,而是当指令需要的资源条件得到满足时即(10)。
6. 软流水是一种用于程序中(11)结构的指令重组技术,又称之为符号化(12)。
7. 对于顺序指令i和j,指令i和j存在数据相关是指:指令j(13)的是指令i要写入的寄存器或(14)。
8. 网络中任意两个结点间(15)叫做网络直径。
9. 大规模机器的同步硬件支持方法有排队锁和硬件原语,软件方法有(16)、(17)和(18)。
10. 设互联网络的输入为x=(xk-1,…,x1,x0),则均匀混洗输出是y=(19),超立方体输出是y=(20)。

二、(10分) Tell me the advantages and disadvantages of hardware-based speculation.

三、(10 分) 假设向量访存为 7 拍，向量加为 2 拍，向量长度为 16，考虑以下两条向量指令：

(1) V3<-A　//访存取向量 A，送入向量寄存器 V3

(2) V4<-V0+V3　//向量寄存器 V0 加 V3，结果送向量寄存器 V4

请计算：

(1) 向量指令 (1) 和 (2) 的执行时间各是多少节拍?

(2) 如果向量指令 (1) 和 (2) 可以链接，执行完两条指令共需要多少节拍?

四、(10 分) State the data dependencies, data anti-dependencies, and data output dependencies in the following code segment. For each dependency, give the statements involved, the type of dependency, and the dependent variable.

1: A←B+C

2: D←E+F

3: G←A+D

4: A←D+E

五、(10 分) 对于分支目标缓冲，按表中给出的分支转移的延迟和下面的假设，计算分支转移总的延迟。

- 预测准确率 90%
- 缓冲区命中率 90%
- 假设分支转移成功的比例为 60%

| 指令在 BTB 中? | 预测结果 | 实际的动作 | 延迟周期 |
|---|---|---|---|
| 是 | 成功 | 成功 | 0 |
| 是 | 成功 | 不成功 | 2 |
| 不是 | | 成功 | 2 |

六、(15 分) 指令的延迟如下表:

| 产生结果指令 | 使用结果指令 | 延迟时钟周期数 |
|---|---|---|
| 浮点计算 | 另外的浮点计算 | 3 |
| 浮点计算 | 浮点存操作(SD) | 2 |
| 浮点取操作(LD) | 浮点计算 | 1 |
| 浮点取操作(LD) | 浮点存操作(SD) | 0 |

假设条件转移指令有一个时钟的延迟。对于下面计算点积的循环:

```
LOOP:   L.D     F0,0(R1)
        L.D     F4,0(R2)
        MUL.D   F0,F0,F4
        ADD.D   F2,F0,F2
        SUBI    R1,R1,8
        SUBI    R2,R2,8
        BNE     R1,R4,LOOP
        S.D     0(R3),F2
```

请分析:

1) 对于原始程序，分析每一条指令流出的流出时钟，并求出一次循环所需要的时间（时钟数）;

2) 根据需要展开循环最少次数，并进行指令调度，直到没有任何延迟，分析调度后每一条指令流出的流出时钟和每次循环的时间（时钟数）。

七、(8 分) 为什么采用松弛(relaxed)一致性模型的机器可以提高性能？给出部分存序（Partial store ordering）和弱排序(Weak ordering)两种松弛一致性模型的特点及其实现上所需要的硬件支持措施。

八、(7 分)试比较同时多线程（Simultaneous Multithreading)、粗粒度多线程和细粒度多线程，它们各有什么优缺点。

九、(10 分)什么是多处理机的相关性(coherency)和一致性(consistency)?给出解决相关性的监听协议的工作原理。

# 国防科学技术大学2011年博士研究生入学考试试题

科目名称: **计算机系统结构** 科目代码: **20601**

**考生注意：1、答案必须写在统一配发的专用答题纸上！（可不抄题）**

**2、用中文答题**

**3、答案前须写清楚题号。**

一、（20分）填空（每个空1分。请在答题纸上按题目写清楚填空的编号）

1. Amdahl 定律表明：改进一个部件所获得的（1），受限于该部件执行时间相对（2）所占的比例。
2. 向量流水线链接（pipeline chaining）是在有（3）相关的（4）条指令之间，将产生数据的部件的（5）直接送到使用数据部件的输入。
3. 存储体冲突是在（6）交叉存储器中，两次独立的存储器访问请求在一个（7）中访问同一个存储体。
4. 等分带宽是将网络切成相等两半，沿切口的（8）。
5. 非均匀存储器访问机器（NUMA）的（9）依赖于（10）在存储器中的存放位置。
6. 同时多线程（Simultaneous Multithreading）是同时实现（11）和线程级的并行，每拍有多个指令槽，可以安排多个线程的多条（12）同时流出。
7. 对于顺序指令i和j，指令i和j存在反相关是指：指令j（13）的是指令i要（14）的（15）或存储单元。
8. 在存储层次中，“Cache—主存”层次为了弥补（16）速度不足，“主存—辅存”层次为了弥补主存（17）不足。
9. 设计指令系统包括（18）、操作类型、（19）和指令系统编码等方面。
10. 器件发生故障的概率与（20）之间的关系可以使用“学习曲线”来说明。

二、(10 分) 2. A computer system with a cache has a physical memory with Tp=75ns, a hit ratio of 65 percent, and an average memory access time of Tm=39.9ns. What is the access time for the cache?

三、(10 分) State the data dependencies, data anti-dependencies, and data output dependencies in the following code segment. For each dependency, give the statements involved, the type of dependency, and the dependent variable.

1: A←B+C
2: D←E+F
3: G←A+D
4: A←D+E

四、(10 分) Consider the following parallel code using lock and unlock:

```
parfor (i=0; i<n; i++)
{
    noncritical section
    lock(S);
    critical section
    unlock;
}
```

Assume the noncritical section takes Tncs, the critical section Tcs, and a lock(S) Tlock second. The unlock(S) overhead is negligible. The corresponding sequential code needs n(Tncs+Tcs) seconds to complete. You can ignore the parallelism overhead in your solution:

(1) What is the total parallel execution time?

(2) What will be the speedup in using n processors?

五、（10 分）假设，

(1)整数流水线为 5 级；

(2)整数 LOAD 延迟为 1；

(3)所有整数运算延迟为 0；

(4)有 1 个时钟周期的分支延迟槽；

(5)分支指令与产生分支条件的指令之间有 1 个时钟延迟；

(6)浮点部件全流水或完全多部件化，本题中与浮点数据操作有关的的延迟关系如下：

| Instruction producing result | Instruction using result | Latency in clock cycles |
|---|---|---|
| FP ALU op | Another FP ALU op | 3 |
| FP ALU op | Store double | 2 |
| Load double | FP ALU op | 1 |
| Load double | Store double | 0 |

对于公式 SAXPY：$Y = a \times X + Y$

假设向量 X 和 Y 的长度足够长，其汇编指令程序为：

```
foo:    l.d     f2,0(r1)      ;load X[i]
        mult.d  f4,f2,f0      ;multiply a*X[i]
        l.d     f6,0(r2)      ;load Y[i]
        add.d   f6,f4,f6      ;add a*X[i]+Y[i]
        s.d     0[r2],f6      ;store Y[i]
        addui   r1,r1,#8      ;incremwnt X index
        addui   r2,r2,#8      ;incremwnt Y index
        dsgtui  r3,r1,done    ;test if done
        beqz    r3,foo        ;loop if not done
```

（1）采用标准的单流水线，分析原始 SAXPY 循环中每条指令流出的节拍，一次循环所需要的节拍数。

（2）展开循环 1 次(共计 2 个循环副本)，优化和调度指令，使 SAXPY 循环处理时间达到最优。写出调度后的指令序列、每条指令流出的节拍和一次循环所需要的节拍数，并计算加速比。

六、（10 分）You will run two applications, application A and application B, on a quad-cores processor.

(1) Given that 40% of application A is parallizable, how much speedup would achieve with that application if run in isolation?

(2) Given that 99% of application B is parallizable, how much speedup would this application observe if run in isolation?

(3) The application A needs 80% of the resources, and the applications B needs 20%. How much overall system speedup would observe?

七、（5 分)大规模机器的同步有哪些软件和硬件支持方法？

八、（5 分）栅栏（Barrier）同步怎样完成同步过程?

九、(6 分) 采用松弛(relaxed)一致性模型的机器提高性能的原理是什么？实现上有哪些主要的硬件支持措施？。

十、(14 分) 什么是多处理机的相关性(coherency)和一致性(consistency)？给出解决相关性的目录协再走议的工作原理及状态变迁。

# 国防科学技术大学2012年博士研究生入学考试试题

科目名称：**计算机系统结构**　　科目代码：**20601**

**考生注意：1、答案必须写在统一配发的专用答题纸上！（可不抄题）**

**2、用中文答题**

**3、答案前须写清楚题号。**

1. 填空（每个空1分，共计20分。请在答题纸上按题目写清楚填空的编号）

1.1 TLB 是一个专用的（1），用于存放近期经常使用的（2），其内容是页表部分内容的一个（3）。

1.2 存储程序计算机（冯•诺依曼结构）的特点是：机器以（4）为中心；采用存储程序原理；存储器是按（5）访问的、线性编址的空间；控制流由（6）流产生；指令由操作码和地址码组成；数据以（7）进制编码表示，采用二进制运算。

1.3 程序的局部性原理是指：程序总是趋向于使用最近使用过的（8）和（9），也就是说程序执行时所访问存储器地址分布不是随机的，而是相对地簇聚。程序局部性包括程序的（10）局部性和程序的（11）局部性。

1.4 在存储层次中，“Cache—主存”层次为了弥补主存（12）不足，“主存—辅存”层次为了弥补主存速度的不足为了弥补主存（13）不足。

1.5 网络中任意两个结点间（14）叫做网络直径

1.6 大规模机器的同步硬件支持方法有排队锁和硬件原语，软件方法有（15）、（16）和（17）。

1.7 虚拟自适应就是将一个物理通道分成几个虚拟的通道，根据后续各虚拟通道的（18）情况自适应选择后续通道。

1.8 虫孔路由是把消息包分成小片，片头带（19），所有片以不可离的（20）方式通过片缓冲区进行传输的路由方式。

2. (本题 10 分) 某处理器是一个具有分支预测功能的五级双流水线：PF-D1(指令译码)-D2(地址生成)-EX-WB，下面的简单指令是可以在两条流水线上以超标量形式执行的：

| | |
|---|---|
| mov | reg,reg/mem/imm |
| mov | mem,reg/imm |
| alu | reg,reg/mem/imm |
| inc/dec | reg/mem |
| push | reg/mem |
| pop | reg |
| lea | reg/mem |
| jmp/call/jcc | addr |
| nop | |

对于循环

```
loop:
    mov  [reg1],addr1   ; s1
    add  reg1,1         ; s2
    cmp  reg1,SIZE      ; s3
    jle  loop           ; s4
```

请分析（要有分析过程）：

2.1 在没有分支预测的单流水线上，一次循环执行时间是多少?

2.2 在对该处理器进行优化以后，一次循环执行时间是多少?

3. (本题 15 分) You will run two applications, application A and application B, on a dual cores processor.

(1) Given that 40% of application A is parallizable, how much speedup would achieve with that application if run in isolation?

(2) Given that 99% of application B is parallizable, how much speedup would this application observe if run in isolation?

(3) The application A needs 80% of the resources, and the applications B needs 20%. How much overall system speedup would observe?

4. (本题 20 分) The following table provides the instructions latencies beyond the single common cycle:

| | | | |
|---|---|---|---|
| Memory LD | +3 | ADDD | +2 |
| Memory SD | +1 | MULTD | +4 |
| Integer ADD, SUB | 0 | DIVD | +10 |
| Branches | +1 | | |

The code sequence is:

```
Loop:   LD      F2,0(Rx)
I0:     MULTD   F2,F0,F2
I1:     DIVD    F8,F2,F0
I2:     LD      F4,0(Ry)
I3:     ADDD    F4,F0,F4
I4:     ADDD    F10,F8,F2
I5:     SD      F4,0(Ry)
I6:     ADDI    Rx,Rx,#8
I7:     ADDI    Ry,Ry,#8
I8:     SUB     R20,R4,Rx
I9:     BNZ     R20,Loop
```

(1) What would be the baseline performance (in cycles, per loop iteration) of the code sequence, if no new instruction's execution could be initiated until the previous instruction's execution had completed? Ignore front-end fetch and decode. Assume that execution does not stall for lack of the next instruction, but only one instruction/cycle can be issued. Assum the branch is taken, and that there is a 1 cycle branch slot.

(2) Consider a pipeline design. How many cycles would the loop body in

the code sequence require if the pipline detected true data dependences and only stalled on those, rather than blindly stalling everything just because one functional unit is busy?

5. (本题 8 分) You will run two applications, application A and application B, on a quad-cores processor.
(1) Given that 40% of application A is parallizable, how much speedup would achieve with that application if run in isolation?
(2) Given that 99% of application B is parallizable, how much speedup would this application observe if run in isolation?
(3) The application A needs 80% of the resources, and the applications B needs 20%. How much overall system speedup would observe?

6. (本题 7 分) 采用松弛(relaxed)一致性模型的机器提高性能的原理是什么？给出部分存序（Partial store ordering）和弱排序(Weak ordering)两种松弛一致性模型的特点及其实现上所需要的硬件支持措施。

7. (本题 7 分) 什么是栅栏（Barrier）同步？在标准的栅栏(barrier)同步中，设单个处理器的通过时间(包括更新计数和释放锁)为 C，给出 N 个处理器一起进行一次同步所需要的时间表达式。

8. (本题 13 分) 什么是多处理机的相关性(coherency)和一致性(consistency)？在一个基于总线的集中共享多处理机系统中，Cache 相关性监听协议有 4 个状态：无效、共享、专有和干净专有（只读）。给出相关性的监听协议的工作原理。

# 国防科学技术大学 2013 年博士研究生入学考试试题

科目名称: **计算机系统结构** 科目代码: **20601**

**考生注意：1、答案必须写在统一配发的专用答题纸上！（可不抄题）**

**2、用中文答题**

**3、答案前须写清楚题号。**

考生注意：

1、答案必须写在我校统一配发的专用答题纸上！

2、用中文答题。

3、答案前须写清楚题号。

1. 填空（每个空 1 分，共计 20 分。请在答题纸上按题目写清楚填空的编号）

1.1 1964 年 C. M. Amdahl 在介绍 IBM 360 系统时提出：计算机体系结构是（1）所看到的计算机的属性，即（2）与（3）。

1.2 所谓系列机就是指具有相同的（4），但具有不同（5）和（6）的一系列不同型号的机器。我们把不同厂家生产的具有相同体系结构的计算机称为（7）。

1.3 对于采用指令流水线的处理器，其 CPI 公式为：

流水线 CPI = 流水线理想 CPI + （8）+（9）+ 控制相关导致的停顿

1.4 流水线的链接是将流水线计算机中多个（10）按照指令的要求连接在一起，构成一个长流水线，减少各个功能部件流水线（11）和排空的时间，提高流水线执行效率的方法。

1.5 Power consumption in modern systems is dependent on a variety of factors, including the chip (12) frequency, efficiency, disk drive speed, disk drive utilization, and (13).

1.6 将网络切成（14），沿切口的（15）叫等分带宽。

1.7 非均匀存储器访问机器 NUMA 的（16）依赖于数据在存储器中的存放位置。

1.8 大规模机器的同步软件方法有延迟等待、排队锁和组合树，硬件支持方法有（17）和（18）。

1.9 栅栏同步是强制所有到达的进程进行等待，直到（19）进程到达栅栏，然后（20）全部的进程，从而形成同步。

2. (本题 10 分) The operations in the issue stage of scoreboarding are:

-Wait until he functional unit for the instruction is free

-No other active instruction has the same destination registers (WAW)

-Reading operands till all operands are OK

The fields are:

Busy[FU]: Indicates whether the unit is busy or not

Op[FU]: Operation to perform in the unit (like add, sub…)

Fi[FU]: Destination register number

Fj[FU], Fk[FU]: Source-register numbers

Qj, Qk: Functional units producing source registers Fj, Fk

Rj, Rk: Indicating when Fj, Fk are ready, set to NO after operands are read (been used)

Result: indicates which FU will write this register

Write the previous fields bookkeeping actions for the ISSUE step.

3. (本题 10 分) A 8 cores RISC processor will be busy with an overall CPI=2.0 under a 3GHz clock. Assuming the cache miss refills are not delayed. All 8 cores running a workload with 6.67 cache misses per 1K instructions, and optimistically assuming misses from all cores are uniformly distributed in time. The caches are 8-byte blocks and cache-memory can access with the burst length of 16. What bandwidth is required to support all 8 cores running this workload?

4. (本题 7 分) Assume a disk subsystem with the following components and MTTF:

- 10 disks, each rated at 1,000,000-hour MTTF
- 1 ATA controller, 500,000-hour MTTF
- 1 power supply, 200,000-hour MTTF
- 1 fan, 200,000-hour MTTF
- 1 ATA cable, 1,000,000-hour MTTF

Using the simplifying assumptions that the lifetimes are exponentially distributed and that failures are independent, compute the MTTF of the system as a whole.

5. (本题 8 分) 2. A computer system with a cache has a physical memory with Tp=75ns, a hit ratio of 65 percent, and an average memory access time of Tm=39.9ns. What is the access time for the cache?

6. (本题 10 分) State the data dependencies, data anti-dependencies, and data output dependencies in the following code segment. For each dependency, give the statements involved, the type of dependency, and the dependent variable.

1: A←B+C

2: D←E+F

3: G←A+D

4: A←D+E

7. (本题 8 分) Show how the following code sequence lays out in convoys, assuming a single copy of each vector functional unit:

```
LV      Vl, Rx      ; load vector X
MULVS.D V2,Vl,F0    ;vector-scalar multiply
LV      V3,Ry       ; load vector Y
ADDVV.D V4,V2,V3    ; add two vectors
SV      V4,Ry       ; store the sum
```

How many chimes will this vector sequence take?

How many cycles per FLOP (floating-point operation) are needed, ignoring vector instruction issue overhead?

8. (本题 7 分)给出在多处理机系统中进行时延隐藏的主要技术途径及其原理。

9. (本题 7 分)对同时多线程（Simultaneous Multithreading）、粗粒度多线程和细粒度多线程比较，它们各有什么优缺点。

10. (本题 13 分)一台超结点的分布共享多处理机，其 Cache 相关性(coherency)协议是结点内部运行监听协议，结点之间运行目录协议。试述系统解决相关性的工作原理。

# 国防科学技术大学2014年博士研究生入学考试试题

科目名称：**计算机系统结构**　　科目代码：**2601**

**考生注意：1、答案必须写在统一配发的专用答题纸上！（可不抄题）**

**2、用中文答题**

**3、答案前须写清楚题号。**

一、(20分) 填空 (每个空1分。请在答题纸上按题目写清楚填空的编号)

1 Amdahl 定律表明：改进一个部件所获得的（1），受限于该部件执行时间相对（2）所占的比例。

2. 向量流水线链接（pipeline chaining）是在有（3）相关的（4）条指令之间，将产生数据的部件的（5）直接送到使用数据部件的输入。

3. 存储体冲突是在（6）交叉存储器中，两次独立的存储器访问请求在一个（7）中访问同一个存储体。

4. 互连网络中任意两个结点间（8）路径长度的（9）值称为网络直径。

5. 非均匀存储器访问机器（NUMA）的（10）依赖于（11）在存储器中的存放位置。

6. 同时多线程（Simultaneous Multithreading）是同时实现（12）和线程级的并行，每拍有多个指令槽，可以安排多个线程的多条（13）同时流出。

7. 对于顺序指令 i 和 j，指令 i 和 j 存在反相关是指：指令 j（14）的是指令 i 要（15）的（16）或存储单元。

8. 将网络切成（17），沿切口的（18）叫等分带宽。

9. 大规模机器的同步软件方法有延迟等待、排队锁和组合树，硬件支持方法有（19）和（20）。

二、(10 分) 假设向量访存为 7 拍，向量加为 2 拍，向量长度为 16，考虑以下两条向量指令：

(1) V3<-A　//访存取向量 A，送入向量寄存器 V3

(2) V4<-V0+V3　//向量寄存器 V0 加 V3，结果送向量寄存器 V4

请计算：

(1) 向量指令 (1) 和 (2) 的执行时间各是多少节拍?

(2) 如果向量指令 (1) 和 (2) 可以链接，执行完两条指令共需要多少节拍?

三、(15 分)假设某应用程序中有 4 类操作，通过改进，各操作获得不同的性能提高。具体数据参加下表：

| 操作类型 | 程序中的数量 | 改进前的执行时 | 改进后的执行时 |
|---|---|---|---|
| 操作 1 | 10 | 2 | 1 |
| 操作 2 | 30 | 20 | 15 |
| 操作 3 | 35 | 10 | 3 |
| 操作 4 | 15 | 4 | 1 |

请计算出：

1. 改进后，各类操作的加速比分别是多少?
2. 各类操作单独改进后，程序的执行时间和获得的加速比分别是多少?
3. 这 4 类操作均改进后，整个程序的加速比是多少?

四、(10 分) Consider the following parallel code using lock and unlock:

```
parfor (i=0; i<n; i++)
{
    noncritical section
    lock(S);
    critical section
    unlock;
}
```

Assume the noncritical section takes Tncs, the critical section Tcs, and a lock(S) Tlock second. The unlock(S) overhead is negligible. The corresponding sequential code needs n(Tncs+Tcs) seconds to complete. You can ignore the parallelism overhead in your solution:

(a) What is the total parallel execution time?

(b) What will be the speedup in using n processors?

五、(10 分) Tell me the advantages and disadvantages of hardware-based speculation.

六、(8 分) You will run two applications, application A and application B, on a quad-cores processor.

(1) Given that 40% of application A is parallizable, how much speedup would achieve with that application if run in isolation?

(2) Given that 99% of application B is parallizable, how much speedup would this application observe if run in isolation?

(3) The application A needs 80% of the resources, and the applications B needs 20%. How much overall system speedup would observe?

七、 (7 分)在标准的栅栏(barrier)同步中，设单个处理器的通过时间(包括更新计数和释放锁)为 C，给出 N 个处理器一起进行一次同步所需要的时间表达式。

八、(7 分) 采用松弛(relaxed)一致性模型的机器提高性能的原理是什么？实现上有哪些主要的硬件支持措施?

九、(13 分)什么是多处理机的相关性(coherency)和一致性(consistency)？给出解决相关性的监听协议的工作原理。

# 国防科学技术大学2015年博士研究生入学考试试题

科目名称：**计算机系统结构**　　科目代码：**20601**

**考生注意：1、答案必须写在统一配发的专用答题纸上！（可不抄题）**

**2、用中文答题。**

**3、答案前须写清楚题号。**

1、（20分）填空（每个空1分。请在答题纸上按题目写清楚填空的编号）

- 将网络切成（1），沿切口的（2）叫等分带宽。
- 非均匀存储器访问机器（3）的（4）依赖于数据在存储器中的存放位置。
- 虚拟自适应就是将一个（5）通道分成几个虚拟的通道，根据后续各虚拟通道的（6）情况自适应选择后续通道。
- 同时多线程（Simultaneous Multithreading）是同时实现（7）级的并行，每拍有多个指令槽，可以安排（8）同时流出。
- 程序的局部性原理是指：程序总是趋向于使用最近使用过的（9）和指令，也就是说程序执行时所访问（10）分布不是随机的，而是相对地簇聚。程序局部性包括程序的时间局部性和程序的（11）局部性。
- 存储程序计算机又叫冯·诺依曼计算机，由（12）、（13）、输入/输出设备、（14）四个部分组成。
- 把指令集设计成只包含那些使用频率高的少量指令，并提供一些必要的指令以支持操作系统和高级语言，按照这个原则而构成的计算机称为（15）计算机。
- 当指令之间不存在（16）时，它们在流水线中是可以重叠起来并行执行的，这种指令序列中存在的潜在并行性称为（17）。
- 在存储层次中，“Cache—主存”层次为了弥补主存（18）不足，“主存—辅存”层次为了弥补主存（19）不足。
- 我们把DRAM这种不供电数据丢失的存储器称为（20）存储器，把磁盘这种不供电数据也能够保存的存储器称为非易失性存储器，

2、（5分）栅栏（Barrier）同步怎样完成同步过程?

3、(7 分) 为什么采用松弛(relaxed)一致性模型的机器可以提高性能？给出部分存序（Partial store ordering）和弱排序(Weak ordering)两种松弛一致性模型的特点及其实现上所需要的硬件支持措施。

4、（15 分）什么是多处理机的相关性(coherency)和一致性(consistency)？给出解决相关性的目录协议的工作原理及状态变迁。

5、（8 分）You will run two applications, application A and application B, on a quad-cores processor.
(1) Given that 40% of application A is parallizable, how much speedup would achieve with that application if run in isolation?
(2) Given that 99% of application B is parallizable, how much speedup would this application observe if run in isolation?
(3) The application A needs 80% of the resources, and the applications B needs 20%. How much overall system speedup would observe?

6、（15 分）Show a software-pipelined version of this loop, which increments all the elements of an array whose starting address is in R1 by the contents of F2:

```
Loop:   L.D      F0,0(R1)
        ADD.D    F4,F0,F2
        S.D      F4,0(R1)
        DADDUI   R1,R1,#-8
        BNE      R1,R2,Loop
```

You MUST include the start-up and clean-up code.?

7、（10 分）Assume a disk subsystem with the following components and MTTF:

- 10 disks, each rated at 1,000,000-hour MTTF
- 1 disk controller, 500,000-hour MTTF
- 1 power supply, 200,000-hour MTTF
- 1 fan, 200,000-hour MTTF
- 1 disk cable, 1,000,000-hour MTTF

Using the simplifying assumptions that the lifetimes are exponentially distributed and that failures are independent, compute the MTTF of the system as a whole.

8、(10 分) The basic structure of a vector-register architecture processor has a scalar architecture just like MIPS. There are also eight 64-element vector registers, and all the functional units are vector functional units. Special vector instructions are

defined both for arithmetic and for memory accesses. The vector and scalar registers have a significant number of read and write ports to allow multiple simultaneous vector operations. These ports are connected to the inputs and outputs of the vector functional units by a set of crossbars. The values of start time of the function units are:

- the vector load start-up of 12 clock cycles
- a 7-clock-cycle start-up for the multiply
- a 12-clock-cycle start-up for the store

Here is the actual code for the vector operation A = B * s where s is a scalar and the length of the vectors A and B is 64, assume the addresses of A and B are initially in Ra and Rb, s is in Fs.:

```
LV       V1,Rb       ;load B
MULVS.D  V2,V1,Fs    ;vector * scalar
SV       Ra,V2       ;store A
```

（1）What is the execution time on the victor processor ?

（2）What is the execution time per element?

9、(10 分) Tell me the advantages and disadvantages of hardware-based speculation.

王瑞

# 国防科学技术大学2015年博士研究生入学考试试题

科目名称: **英语** 科目代码: **10801**

**考生注意：答案必须写在统一配发的专用答题卡（纸）上！（可不抄题）**

## Paper One

**Part I Using of English （30 %）**

Section One Vocabulary and Structure （15 %）

Directions: *In each item, choose one word or phrase that best completes the sentence or best keeps the meaning of the sentence if it is substituted for the boldfaced word or phrase. Mark the corresponding letter on the Answer Sheet with a single line through the center.*

1. **Lodger:** I'm terribly sorry that I broke your precious vase. I'll pay for it.
**Landlady:** _____ .
A. Can't complain B. Never mind
C. Relax yourself D. Take care

2. **Student:** How long can I keep the book?
**Librarian:** _____.
A. Any period longer than four weeks, you will be fined
B. You can check it on the computer over there
C. Four weeks, but you can renew it if you need it longer
D. At most four weeks if you don't mind

3. It is more important that she should be free _____ she should live a luxurious life.
A. than what B. that
C. more than D. than that

4. Just as there are occupations that require college or even higher degrees, _____ occupations for which technical training is necessary.
A. so too there are B. so also there are
C. so there are too D. so too are there

5. From Christianity and the barbarian kingdoms of the west emerged the medieval version of politics _____ in turn evolved the politics of our modern world.
A. from which B. of which
C. on which D. by which

6. No one would have time to read or listen to an account of everything _____ going on in the world.
A. it is B. there is
C. as is D. what is

7. Compassion is a great respecter of justice: we pity those who suffer _____.
A. shamelessly B. unwittingly
C. vicariously D. undeservedly

8. In spite of _____ reviews in the press, the production of her play was _____ almost certain oblivion by enthusiastic audience whose acumen was greater than that of the critics.
A. lukewarm...condemned B. scathing...exposed to
C. lackluster...rescued from D. sensitive...reduced to