



实验报告

数字逻辑实验（三）、实验（四）

姓 名	熊恪峥
学 号	22920202204622
日 期	2022年4月20日
学 院	信息学院
课程名称	数字逻辑

实验三 编码器和译码器

一、实验目的

1. 掌握编码器和译码器的基本设计方法。
2. 掌握集成译码器的功能。

二、实验设备和器件

数字逻辑实验箱		1 台
2 输入四与非门	(74LS00)	1 片
4 输入二与非门	(74LS20)	2 片
2 输入四或门	(74LS32)	1 片
三-八译码器	(74LS138)	1 片
二-四译码器	(74LS139)	1 片

三、实验内容

1. 二-八进制编码器设计

8 个输入端代表 0~7 这 8 个数字 (用 8 个逻辑开关来表示); 输出端 A、B、C 代表对应的 3 位二进制代码, 输出端 S 代表是否有数字输入。其真值表如表 3.1 所示。由真值表可知不允许两个或两个以上数字同时输入, 则除真值表中的 9 种输入组合外, 其余组合均为无效组合。要求由真值表直接写出输出函数, 画出电路图。(在预习报告中完成)。

十进 制数	输 入								输出			
	D7	D6	D5	D4	D3	D2	D1	D0	A	B	C	S
	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	0	0	0	1	0	0	0	1	1
2	0	0	0	0	0	1	0	0	0	1	0	1
...
7	1	0	0	0	0	0	0	0	1	1	1	1

表 3.1

2. 用门电路实现二-四译码器, 其真值表如表 3.2 所示。

要求由真值表求出输出函数, 画出电路图。(在预习报告中完成)。

输入		输出			
A	B	Y0	Y1	Y2	Y3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

表 3.2

3. 集成译码器 74LS139 和 74LS138 的功能测试。

四、实验步骤

1. 完成二-八进制编码器和二-四译码器的逻辑设计，注意可提供的器件为 4 输入二与非门（74LS20）、2 输入四或门（74LS32）和 2 输入四与非门（74LS00）。

2. 画出电路图，并标上引脚标号。

注：上述步骤要在预习报告中完成。

3. 连接二-八进制编码器电路，输入逻辑电平用开关提供，输出结果用 LED 来显示。

在检查电路连接正确后，接通电源，进行实验，根据实验结果填写真值表，并和原真值表进行比较，检查实验结果是否正确。

4. 连接译码器电路，输入逻辑电平用开关提供，输出结果用 LED 来显示。在检查电路连接正确后，接通电源，进行实验，根据实验结果填写真值表，并和原真值表进行比较，检查实验结果是否正确。

5. 进行 74LS139 和 74LS138 功能测试。根据实验结果填写真值表，并检查实验数据是否正确。

五、思考题

有八根地址线 ($A_7, A_6, A_5, A_4, A_3, A_2, A_1, A_0$)，试用 74LS138 及门电路设计一个地址译码电路，当输入地址为 30H 时，输出 Y_0 为 0，当输入地址为 31H 时，输出 Y_1 为 0。

六 电路设计

6.1 2-8进制编码器

首先列出2-8进制编码器的真值表如表1。可以写出逻辑表达式(1)。

表格 1: 2-8进制编码器真值表

十进制数	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	A	B	C	S
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0	0	1
2	0	0	0	0	0	1	0	0	0	1	0	1
3	0	0	0	0	1	0	0	0	0	1	1	1
4	0	0	0	1	0	0	0	0	1	0	0	1
5	0	0	1	0	0	0	0	0	1	0	1	1
6	0	1	0	0	0	0	0	0	1	1	0	1
7	1	0	0	0	0	0	0	0	1	1	1	1

$$\begin{aligned}
 A &= \overline{D_7} \overline{D_6} \overline{D_5} D_4 \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} + \overline{D_7} \overline{D_6} D_5 \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} \\
 &\quad + \overline{D_7} D_6 \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} + D_7 \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} \\
 &= \overline{\overline{D_4} \overline{D_5} \overline{D_6} \overline{D_7}} \\
 B &= \overline{D_7} \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} D_2 \overline{D_1} \overline{D_0} + \overline{D_7} \overline{D_6} \overline{D_5} \overline{D_4} D_3 \overline{D_2} \overline{D_1} \overline{D_0} \\
 &\quad + \overline{D_7} D_6 \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} + D_7 \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} \\
 &= \overline{\overline{D_2} \overline{D_3} \overline{D_6} \overline{D_7}} \\
 C &= \overline{D_7} \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} D_1 \overline{D_0} + \overline{D_7} \overline{D_6} \overline{D_5} \overline{D_4} D_3 \overline{D_2} \overline{D_1} \overline{D_0} \\
 &\quad + \overline{D_7} \overline{D_6} D_5 \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} + D_7 \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} \\
 &= \overline{\overline{D_1} \overline{D_3} \overline{D_5} \overline{D_7}} \\
 S &= \overline{D_7} \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} \\
 &= \overline{\overline{A} \overline{B} \overline{C} \overline{D_0}}
 \end{aligned} \tag{1}$$

据此画出电路图如图1。

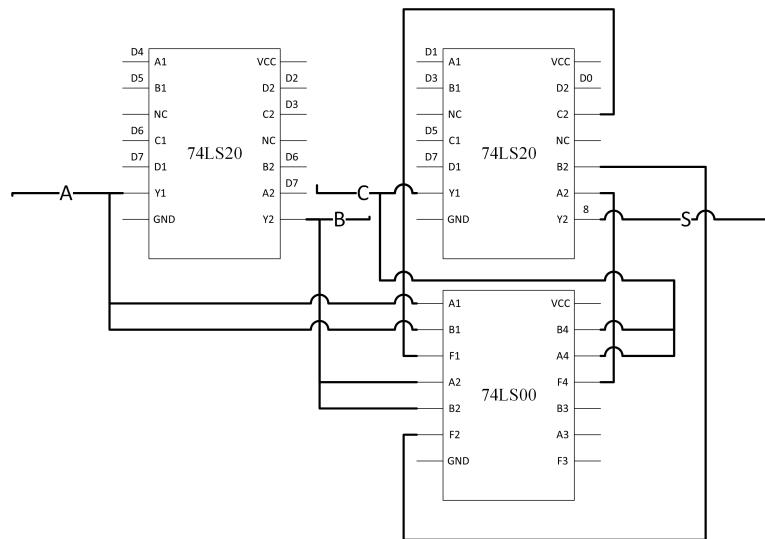
6.2 2-4译码器

首先列出2-4进制译码器的真值表如表2。可以写出逻辑表达式(2)。

表格 2: 2-4译码器真值表

A	B	Y_0	Y_1	Y_2	Y_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

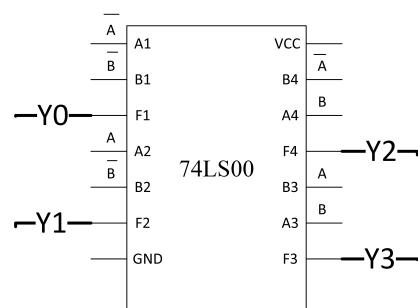
图 1: 实现2-8进制编码器



$$\begin{aligned}
 Y_0 &= A + B = \overline{A}\overline{B} \\
 Y_1 &= \overline{A}\overline{B} + \overline{A}B + AB = \overline{A}\overline{B} \\
 Y_2 &= \overline{A}\overline{B} + A\overline{B} + AB = \overline{A}\overline{B} \\
 Y_3 &= \overline{A}\overline{B} + \overline{A}B + A\overline{B} = \overline{A}\overline{B}
 \end{aligned} \tag{2}$$

据此画出电路图如图 2。

图 2: 实现2-4译码器



七 实验结果

7.1 2-8进制编码器

按照图连接电路，得到图

填写真值表，得到表 3，可见实验结果是正确的。

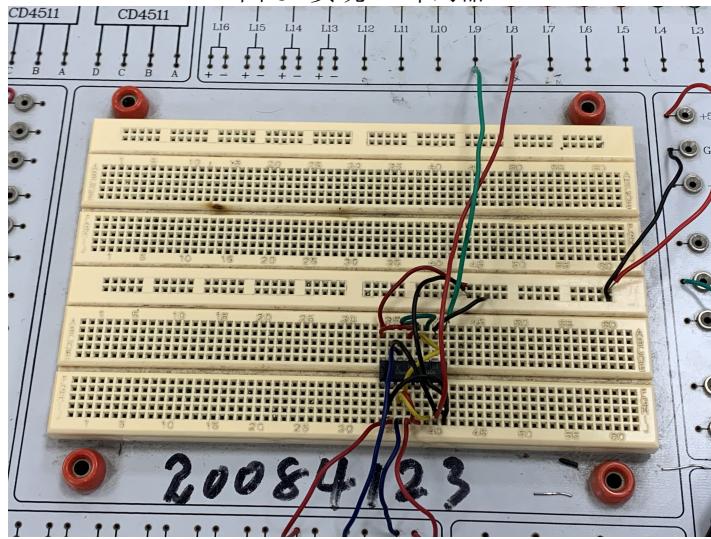
表格 3: 2-8进制编码器真值表

十进制数	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	A	B	C	S
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	0	0	0	1	0	0	0	1	1
2	0	0	0	0	0	1	0	0	0	1	0	1
3	0	0	0	0	1	0	0	0	0	1	1	1
4	0	0	0	1	0	0	0	0	1	0	0	1
5	0	0	1	0	0	0	0	0	1	0	1	1
6	0	1	0	0	0	0	0	0	1	1	0	1
7	1	0	0	0	0	0	0	0	1	1	1	1

7.2 2-4译码器

按照图连接电路，得到图

图 3: 实现2-4译码器



填写真值表，得到表 4，可见实验结果是正确的。

八 思考题

- 有八根地址线 ($A_7, A_6, A_5, A_4, A_3, A_2, A_1, A_0$)，试用 74LS138 及门电路设计一个地址译码电路，当输入地址为 $30H$ 时，输出 Y_0 为 0，当输入地址为 $31H$ 时，输出 Y_1 为 0。

表格 4: 2-4译码器真值表

A	B	Y_0	Y_1	Y_2	Y_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

已知 $30H$ 和 $31H$ 的二进制表示为(3)

$$\begin{aligned} 30H &= 0011,0000B \\ 31H &= 0011,0001B \end{aligned} \quad (3)$$

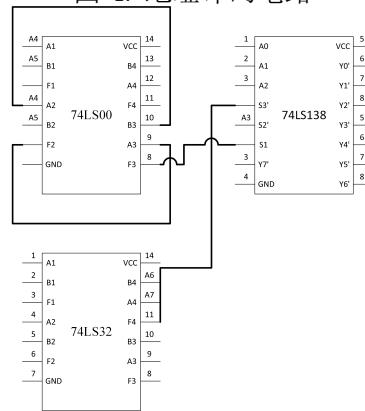
因此可以列出74LS138的使能端和输入端的真值表，如表5

表格 5: 真值表

A7	A6	A5	A4	A3	A2	A1	A0	S1	T2	T1	T0
0	0	1	1	0	0	0	0	1	0	0	0
0	0	1	1	0	0	0	1	1	0	0	1
0	0	1	1	0	0	0	0	1	0	1	0
0	0	1	1	0	0	0	1	1	0	1	1
0	0	1	1	0	0	0	0	1	1	0	0
0	0	1	1	0	0	0	1	1	1	0	1
0	0	1	1	0	0	0	0	1	1	1	0
0	0	1	1	0	0	0	1	1	1	1	1
×	×	×	×	×	×	×	×	0	0	0	0

根据真值表设计电路如图 4

图 4: 地址译码电路



实验四 译码器、多路选择器应用

一、实验目的

1. 掌握多路选择器基本功能。
2. 学习译码器容量扩展方法。
3. 应用译码器、多路选择器实现逻辑组合函数。

二、实验设备和器件

数字逻辑实验箱		1 台
2 输入四与非门	(74LS00)	1 片
4 输入二与非门	(74LS20)	1 片
2 输入四或门	(74LS32)	1 片
三-八译码器	(74LS138)	1 片
二-四译码器	(74LS139)	1 片
四选一多路选择器	(74LS153)	1 片

三、实验内容

1. 用双二-四译码器 (74LS139) 构成三-八译码器。
2. 用三-八译码器 (74LS138) 及与非门实现全加器。
3. 对多路选择器 (74LS153) 进行功能测试。
4. 用多路选择器 (74LS153) 及与非门实现全加器。

四、实验步骤

1. 完成用双二-四译码器 (74LS139) 构成三-八译码器逻辑设计, 用三-八译码器 (74LS138) 及与非门实现全加器, 用多路选择器 (74LS153) 及与非门实现全加器的逻辑设计。
2. 画出电路图, 并标上引脚标号。
注: 上述步骤要在预习报告中完成。
3. 连接用双二-四译码器 (74LS139) 构成三-八译码器的电路, 输入逻辑电平用开关提供, 输出结果用 LED 来显示。根据实验结果填写真值表。
4. 连接用三-八译码器 (74LS138) 及与非门实现全加器电路, 输入逻辑电平用开关提供, 输出结果用 LED 来显示。根据实验结果填写真值表。
5. 对多路选择器 (74LS153) 进行功能测试, 根据实验结果填写真值表。
6. 连接由多路选择器 (74LS153) 及门电路实现全加器的电路, 根据实验结果填写真值表。

五 电路设计

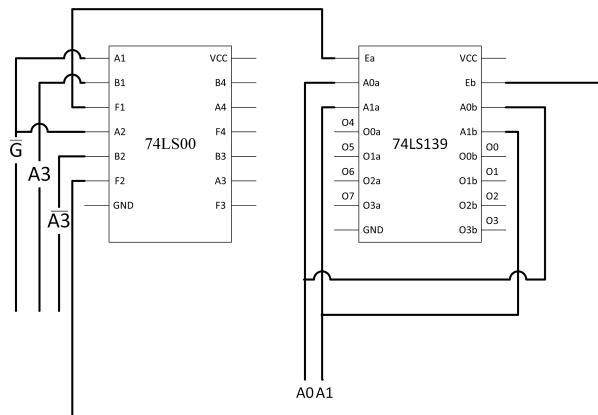
5.1 双2-4译码器构成3-8译码器

设输入为 G, A_1, A_2, A_3 , 则

$$\begin{aligned}
 1G &= \overline{GA_3} \\
 1A &= A_1 \\
 1B &= A_2 \\
 2G &= \overline{GA_3} \\
 2A &= A_1 \\
 2B &= A_2
 \end{aligned} \tag{4}$$

因此可以画出电路图如图 5

图 5: 2-4译码器实现3-8译码器



5.2 用74LS138及与非门实现实全加器

全加器的真值表为表 6。使用3-8译码器实现实全加器，需要将逻辑表达式写成最小项的和。

表格 6: 全加器

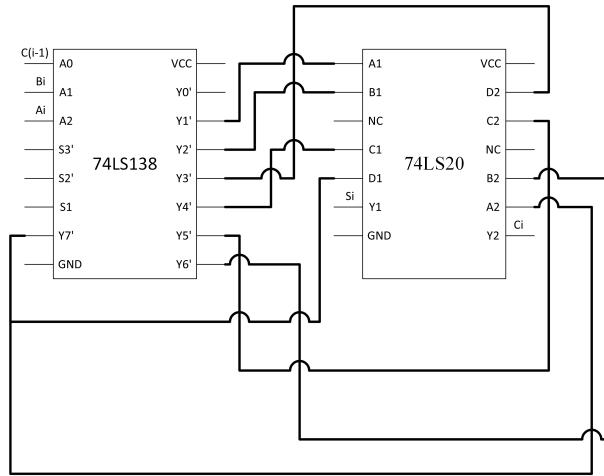
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

因此最小项表达式和化简如(5)

$$\begin{aligned} S_i &= m_1 + m_2 + m_4 + m_7 \\ &= \overline{\overline{m_1} \overline{m_2} \overline{m_4} \overline{m_7}} \\ C_i &= m_3 + m_5 + m_6 + m_7 \\ &= \overline{\overline{m_3} \overline{m_5} \overline{m_6} \overline{m_7}} \end{aligned} \quad (5)$$

因此可以画出电路图如图 6

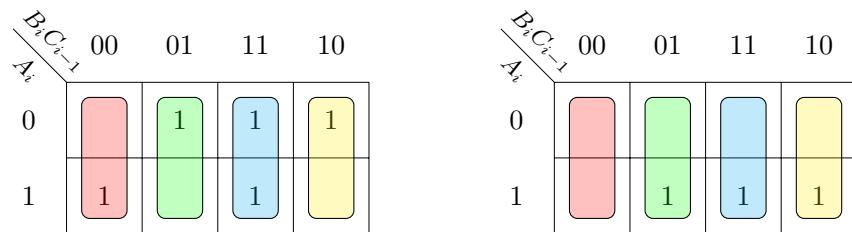
图 6: 用74LS138及与非门实现全加器



5.3 用74LS153及与非门实现全加器

用4选1多路选择器实现全加器，需要选择地址选择变量，需要使用卡诺图，如图 7。选择 $A_i B_i$ 为地址选择端。

图 7: S_i 和 C_i 的卡诺图

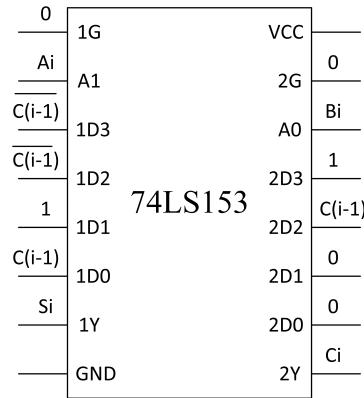


根据卡诺图，可以将表达式写为(6)

$$\begin{aligned} S_i &= \overline{A_i} \overline{B_i} \cdot C_{i-1} + A_i \overline{B_i} \cdot \overline{C_{i-1}} + \overline{A_i} B_i \cdot 1 + A_i B_i \cdot \overline{C_{i-1}} \\ C_i &= \overline{A_i} \overline{B_i} \cdot 0 + A_i \overline{B_i} \cdot C_{i-1} + \overline{A_i} B_i \cdot 0 + A_i B_i \cdot 1 \end{aligned} \quad (6)$$

因此可以画出电路图如图 8

图 8: 用 74LS153 及与非门实现全加器

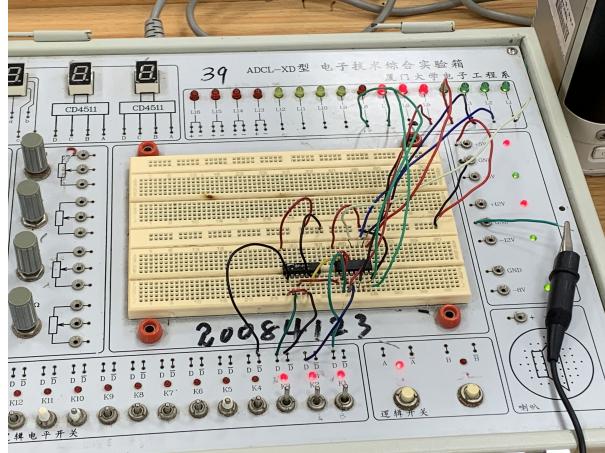


六 实验结果

6.1 3-8译码器实现全加器

按照图连接电路，得到图 9

图 9: 用 74LS153 及与非门实现全加器



填写真值表，得到表 7，可见实验结果是正确的。

表格 7: 全加器

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

6.2 多路选择器实现全加器

按照图连接电路，填写真值表，得到表 8，可见实验结果是正确的。

表格 8: 全加器

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1