



实验报告

数字逻辑实验（五）、实验（六）

姓 名	熊恪峥
学 号	22920202204622
日 期	2022年5月8日
学 院	信息学院
课程名称	数字逻辑

实验五 脉冲发生器和触发器

一、实验目的

1. 掌握单脉冲和连续脉冲发生器设计与应用。
2. 掌握常用触发器的逻辑功能和触发方式。
3. 触发器的相互转换。

二、实验设备和器件

数字逻辑实验箱		1 台
示波器		1 台
2 输入四与非门	(74LS00)	2 片
六反相器	(74LS04)	1 片
双 D 触发器	(74LS74)	1 片
双 JK 触发器	(74LS76)	1 片

三、实验内容和步骤

1. 简单地利用 R-S 触发器可消除开关的抖动，如图 5.1 所示。由于 K 悬空时触发器的状态不变，所以 K 反复抖动地接触同一个触点，触发器的状态不变。实验箱操作面板上的单脉冲发生器就是经过消除抖动后的脉冲。按图连接电路，用 LED 指示灯和示波器检查触发器的输出状态。

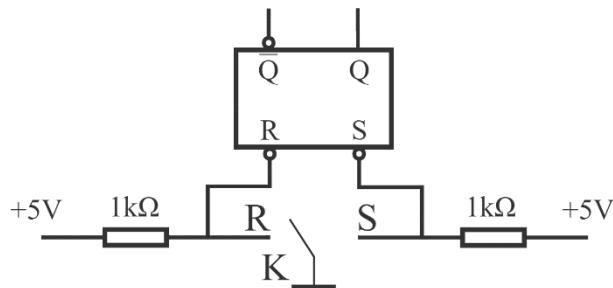


图 5.1

2. 图 5.2 为 RC 环形振荡器，输出为连续的脉冲，可作为时序电路的时钟脉冲，其振荡周期 $T \approx 2.2RC$ 。振荡器输出脉冲用示波器观察。根据实验结果填写表 5.1。

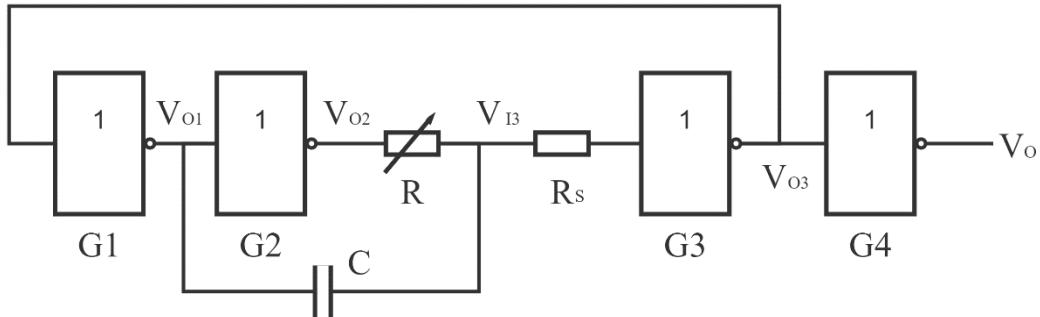


图 5.2

电容 C	0.1μ	0.022μ	0.01μ	1000p	100p
振荡周期 T					
振荡频率 f					

3. 用与非门构成的基本 R-S 触发器

基本 R-S 触发器是最简单的触发器，它可由两个门交叉耦合而成，用 7400 型四个 2 输入与非门中两个门便可构成，电路如图 5.3 所示，其功能表如表 5.2 所示。

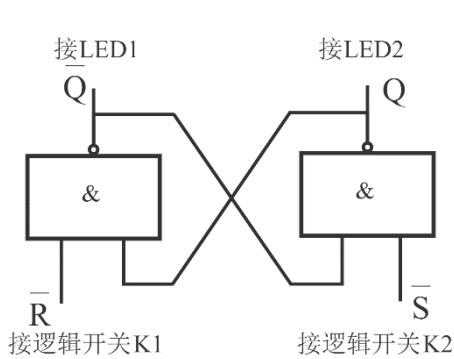


图 5.3

序号	\bar{R}	\bar{S}	Q^n	Q^{n+1}	状态
1	1	1	0	0	不变
			1	1	
2	1	$1 \rightarrow 0 \rightarrow 1$	0	1	置 1
			1		
3	$1 \rightarrow 0 \rightarrow 1$	1	0	0	置 0
			1		
4	$1 \rightarrow 0 \rightarrow 1$	$1 \rightarrow 0 \rightarrow 1$	0	?	不定
			1	?	

表 5.2

按图 5.3 所示电路接线路，输入端 \bar{R} 、 \bar{S} 分别接实验箱的逻辑开关，输出 Q 、 \bar{Q} 分别接发光二极管显示器 LED，按照表 5.2 改变输入状态，测试并记录结果。

提示：做 4 时，可以将接 \bar{R} 、 \bar{S} 在同一个逻辑开关上，以保证它们同时变化。

4. 集成 D 触发器

集成 D 触发器（双 D 触发器 74LS74）的符号和逻辑功能如图 5.4 和表 5.3 所示。

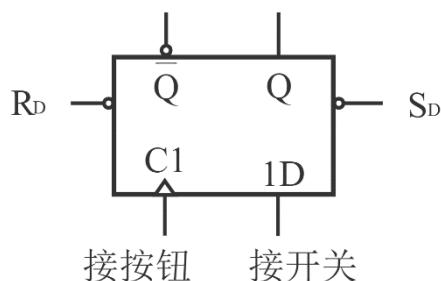


图 5.4

Q^n	D	Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

表 5.3

1) 测试异步置位端 SD 和异步复位端 RD 的功能

将 D、 SD 、 RD 端分别接逻辑开关，CP 接单脉冲输出端，输出 Q 、 \bar{Q} 分别接发光二极管显示器 LED，按表 5.4 的要求，在 SD 、 RD 作用期间，改变 D 和 CP 的状态，测试并记录 SD 、 RD 对输出状态的控制作用。

D	CP	S _D	R _D	Q	\bar{Q}
×	×	0	1		
×	×	1	0		

表 5.4

2) 测试 D 触发器的逻辑功能

用 S_D、R_D 端对触发器进行异步置位或复位、按表 5.5 的要求，改变 D 的状态，测试其逻辑功能，并记录在事先设计的表格中。

D	CP	Q ⁿ	Q ⁿ⁺¹
0		0	
		1	
		0	
		1	
1		0	
		1	
		0	
		1	

表 5.5

5. 集成 J-K 触发器

集成 J-K 触发器 (74LS76) 的符号和逻辑功能如图 5.5 和表 5.6 所示。

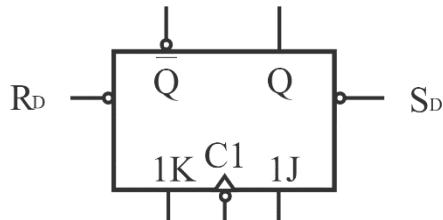


图 5.5

J	K	Q ⁿ⁺¹
0	0	Q ⁿ
0	1	0
1	0	1
1	1	\bar{Q}^n

表 5.6

1) J、K 端和 S_D、R_D 分别接逻辑开关，CP 端接单脉冲输出端，输出 Q、 \bar{Q} 分别接发光二极管显示器 LED，按图 5.5 连接电路，并按表 5.7 要求，测试并记录 S_D、R_D 对输出端的状态控制作用。

CP	J	K	S _D	R _D	Q	\bar{Q}
×	×	×	1	0		
×	×	×	0	1		

表 5.7

2) 测试 J-K 触发器的逻辑功能

用 S_D、R_D 端对触发器进行置位或复位，按表 5.8 的要求，改变 J、K 状态，测试其逻辑功能，并在表中记录结果。

J	K	CP	Q^n	Q^{n+1}
0	0		0	
			1	
0	1		0	
			1	
1	0		0	
			1	
1	1		0	
			1	

表 5.8

6 . D 触发器和 J-K 触发器间的相互转换

将 J-K 触发器转换成 D 触发器，如图 5.6，验证其逻辑功能；

将 D 触发器转换成 J-K 触发器，如图 5.7，并验证其功能。

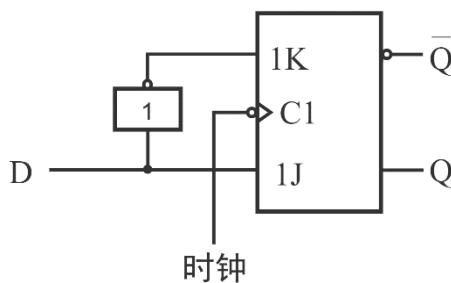


图 5.6

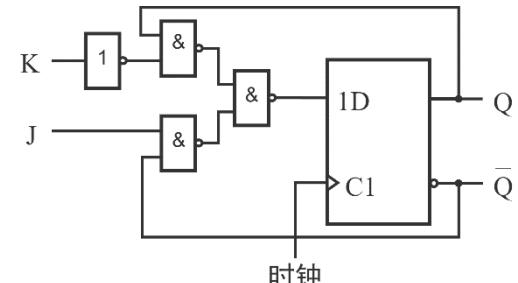


图 5.7

五 实验结果

5.1 消除抖动

通过示波器观察可以发现脉冲博兴较为稳定。

5.2 RC环形震荡器

搭建如图所示的电路，使用 $1k\Omega$ 电阻作为 R ，用示波器测的震荡的周期和频率如表 1

表格 1: 震荡周期和频率

C	0.1μ	0.022μ	0.01μ	$1000p$	$100p$
T	0.00022	4.84×10^{-5}	2.2×10^{-5}	2.2×10^{-6}	2.2×10^{-7}
f	4545.455	20661.16	45454.5	454544.5	4545452

可见基本符合公式 $T = 2.2RC$

5.3 集成D触发器

按题目要求测量，得到表 2。

表格 2: D触发器

D	CP	Q^n	Q^{n+1}
0	\uparrow	0	0
0	\uparrow	1	0
0	\downarrow	0	0
0	\downarrow	1	1
1	\uparrow	0	1
1	\uparrow	1	1
1	\downarrow	0	0
1	\downarrow	1	1

5.4 集成JK触发器

测试 S_D 、 R_D 的作用，得到表 3。

表格 3: JK触发器 S_D 、 R_D 的作用

CP	J	K	S_D	R_D	Q	\bar{Q}
\times	\times	\times	1	0	0	1
\times	\times	\times	0	1	1	0

测试JK触发器的逻辑功能，得到表 4

表格 4: JK触发器

J	K	CP	Q^n	Q^{n+1}
0	0	↑	0	0
0	0	↑	1	1
0	0	↓	0	0
0	0	↓	1	1
0	1	↑	0	0
0	1	↑	1	0
0	1	↓	0	0
0	1	↓	1	1
1	0	↑	0	1
1	0	↑	1	1
1	0	↓	0	0
1	0	↓	1	1
1	1	↑	0	1
1	1	↑	1	0
1	1	↓	0	0
1	1	↓	1	1

可见符合JK触发器的状态方程。

5.5 D触发器和JK触发器的相互转换

根据题目中所给的图片连接电路，测试到的结果与表 4 和表 2 相符。可见转换结果是正确的。

六 实验总结

通过该实验，我测试了D触发器和JK触发器的逻辑功能，并且实现了D触发器和JK触发器的相互转换。对触发器的功能和转换得到了更好的理解。

实验六 同步计数器和计数显示

一、实验目的

1. 掌握七段译码驱动器和七段显示器构成显示电路。
2. 掌握同步计数器设计方法。
3. 掌握中规模集成同步计数器应用。

二、实验设备和器件

数字逻辑实验箱		1 台
2 输入四与非门	(74LS00)	1 片
2 输入四与门	(74LS08)	1 片
四异或门	(74LS86)	1 片
七段译码驱动器	(74LS47)	1 片
双 D 触发器	(74LS74)	2 片
同步可预置 2-16 进制计数器	(74LS163)	1 片
共阳极七段 LED 显示器		1 个
电阻: 360Ω		7 只
电阻: 1kΩ		1 只

三、实验内容和步骤

1. 分析图 6.1 所示的移位寄存器型计数器电路，写出激励函数、状态表和状态转换图。

根据电路图和器件手册，在电路图中并标出引脚号。注意 D 触发器的置 0 和置 1 端不能悬空。然后连接电路，检查电路无误后接通电源进行实验，记录实验结果并检查实验结果是否正确。

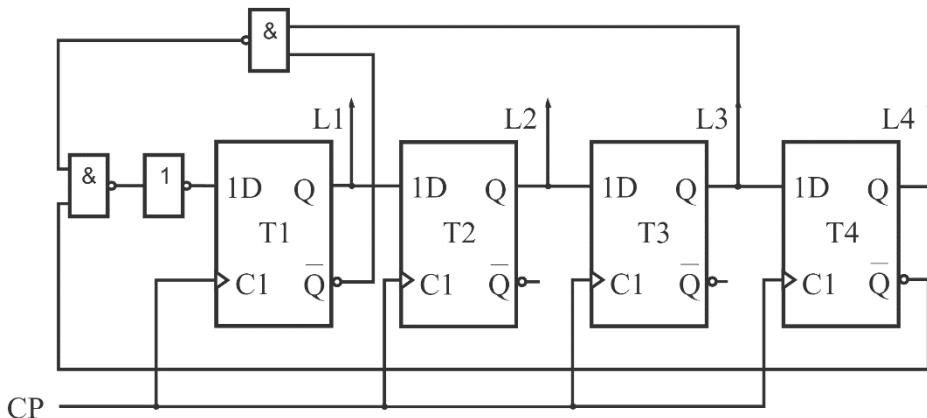


图 6.1

2 . 按图 6.2 连线, 用四个开关作为七段译码驱动器的输入, 检查输入的 BCD 码和七段显示器显示的数字是否一一对应, 记录实验结果。

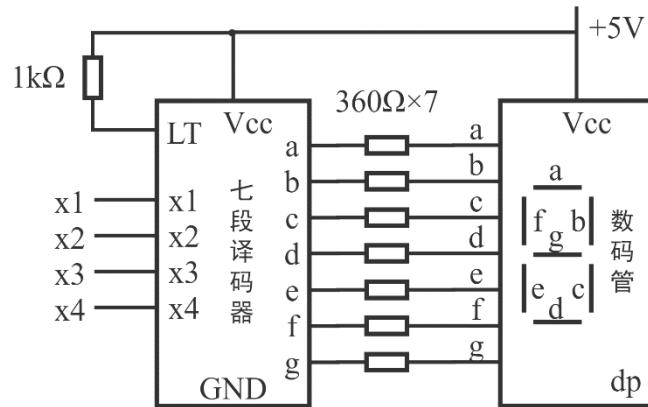


图 6.2

3 . 用 D 触发器和门电路设计同步模五计数器, 电路要求能预置初始状态。 输入为单脉冲, 输出接图 6.2 中七段译码驱动器的输入端。画出电路图, 并标出引脚号。注意 D 触发器的置 0 和置 1 端不能悬空。然后连接电路, 检查电路无误后接通电源进行实验, 记录实验结果。

4 . 用集成同步可预置 2-16 进制计数器 (74LS163) 构成模十计数器, 输入为单脉冲, 输出接译码显示电路显示计数值。画出电路图, 并标出引脚号。然后连接电路, 检查电路无误后接通电源进行实验, 记录实验结果。

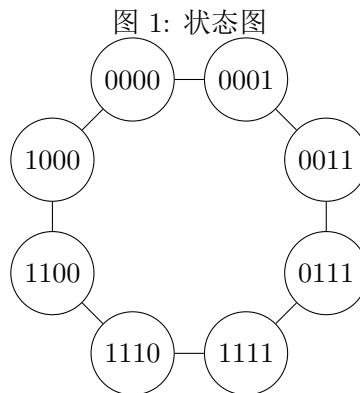
五 电路设计

5.1 移位寄存器型计数器电路

根据电路图和D触发器可以写出激励函数(1)。

$$\begin{aligned}
 Q_4^{(n+1)} &= Q_3 \\
 Q_3^{(n+1)} &= Q_2 \\
 Q_2^{(n+1)} &= Q_1 \\
 Q_1^{(n+1)} &= \overline{\overline{Q_3 \cdot \overline{Q_1} \cdot \overline{Q_4}}} \\
 &= \overline{Q_3 \cdot \overline{Q_1} \cdot \overline{Q_4}}
 \end{aligned} \tag{1}$$

可以画出状态图如图 1



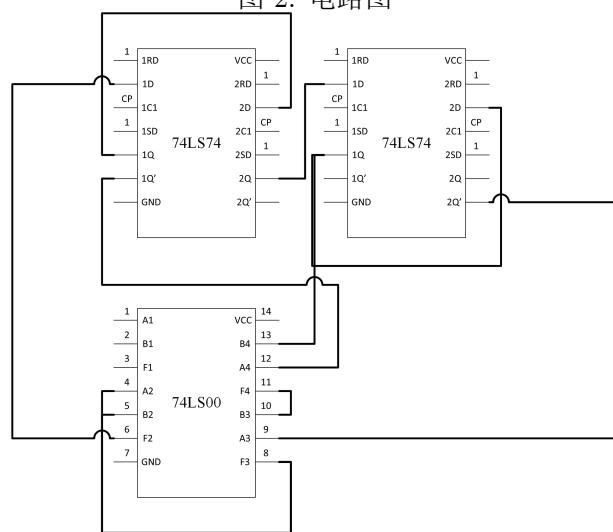
并写出状态表如表 5

表格 5: 状态表

Q_4	Q_3	Q_2	Q_1	D_4	D_3	D_2	D_1	$Q_4^{(n+1)}$	$Q_3^{(n+1)}$	$Q_2^{(n+1)}$	$Q_1^{(n+1)}$
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	1	0	0	1	1
0	0	0	1	0	0	1	1	0	0	1	1
0	0	1	1	0	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0	1	1	1	0
1	1	1	0	1	1	0	0	1	1	0	0
1	1	0	0	1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0

可以画出电路图如图 2

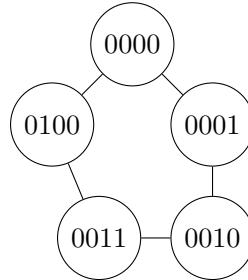
图 2: 电路图



5.2 同步模5计数器

需要输出BCD码的同步模5计数器，首先画出状态图，如图3。

图3: 状态图



可见最高位恒为0，则需要用3个D触发器。因此写出状态表，如表6。

表格 6: 状态表

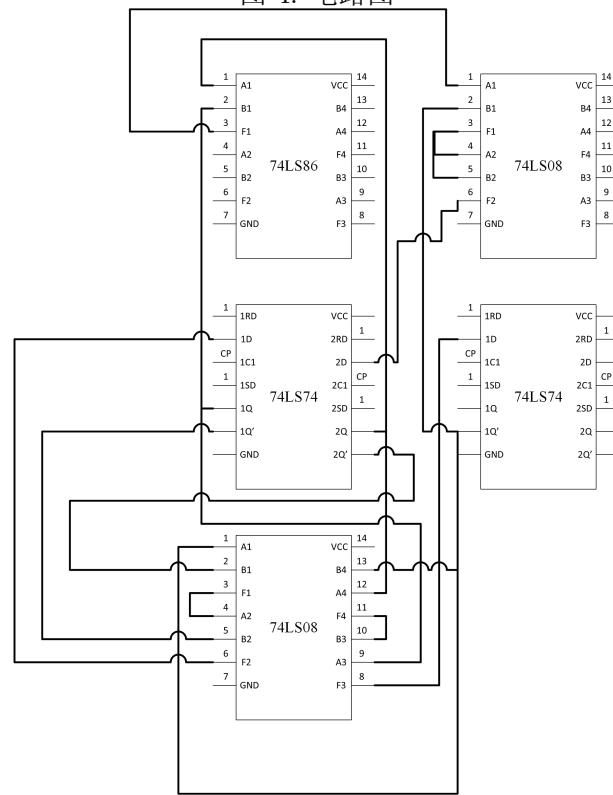
Q_3	Q_2	Q_1	$Q_3^{(n+1)}$	$Q_2^{(n+1)}$	$Q_1^{(n+1)}$	D_3	D_2	D_1
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	0	0	0	0	0	0

根据该表写出逻辑表达式(2)

$$\begin{aligned}
 D_3 &= \overline{Q_3} \cdot Q_2 \cdot Q_1 \\
 D_2 &= \overline{Q_3} \cdot \overline{Q_2} \cdot Q_1 + \overline{Q_3} \cdot Q_2 \cdot \overline{Q_1} \\
 &= \overline{\overline{Q_3} \cdot (Q_2 \oplus Q_1)} \\
 D_1 &= \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}
 \end{aligned} \tag{2}$$

根据以上表达式可以画出电路图如图4

图 4: 电路图



5.3 模10计数器

要显示计数值，需要输出BCD码的同步模10计数器，因此采用反馈清零法。态序表如表 7。

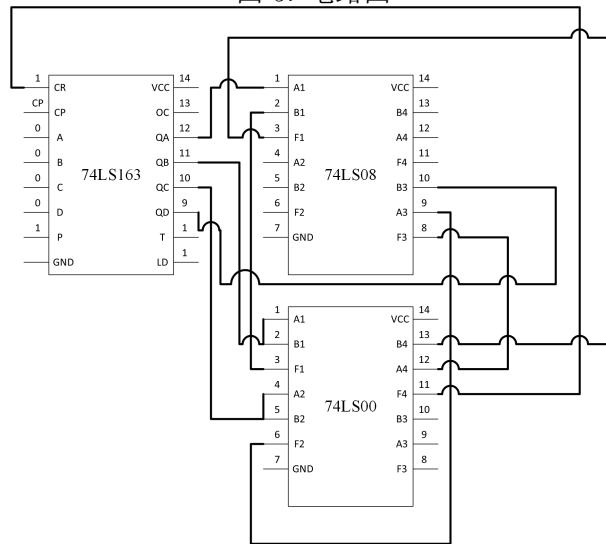
表格 7: 态序表

N	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

当 $Q_D Q_C Q_B Q_A = 1001$ 时进行清零。清零信号为 $C_r = \overline{Q_D} \overline{Q_C} \overline{Q_B} Q_A$

根据以上清零表达式可以画出电路图如图 5

图 5: 电路图



六 实验结果

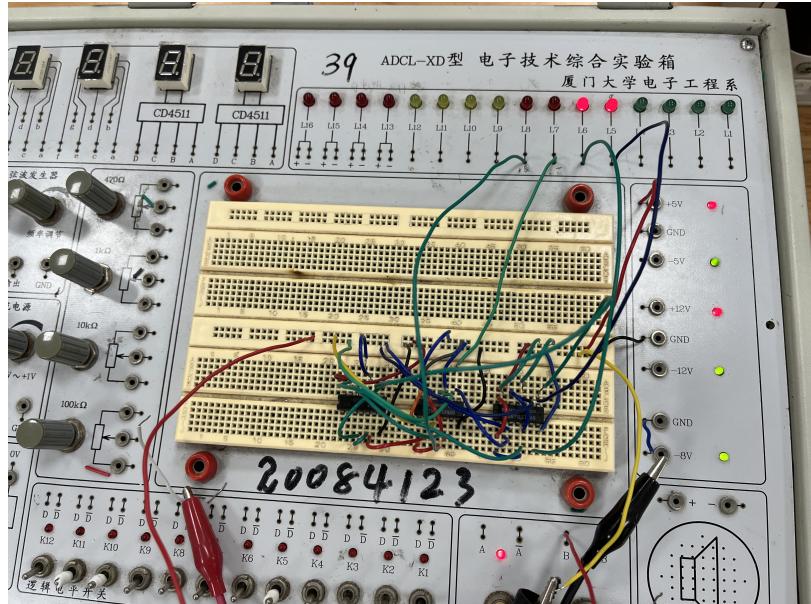
6.1 移位寄存器型计数器电路

按预习报告连接电路，测试状态如表 8。可见结果是正确的。

表格 8: 状态表

连接电路实物图如图 6

图 6: 实物图



6.2 同步模5计数器

按预习报告连接电路，测试状态如表 9。可见结果是正确的。

表格 9: 实验结果

6.3 同步模10计数器

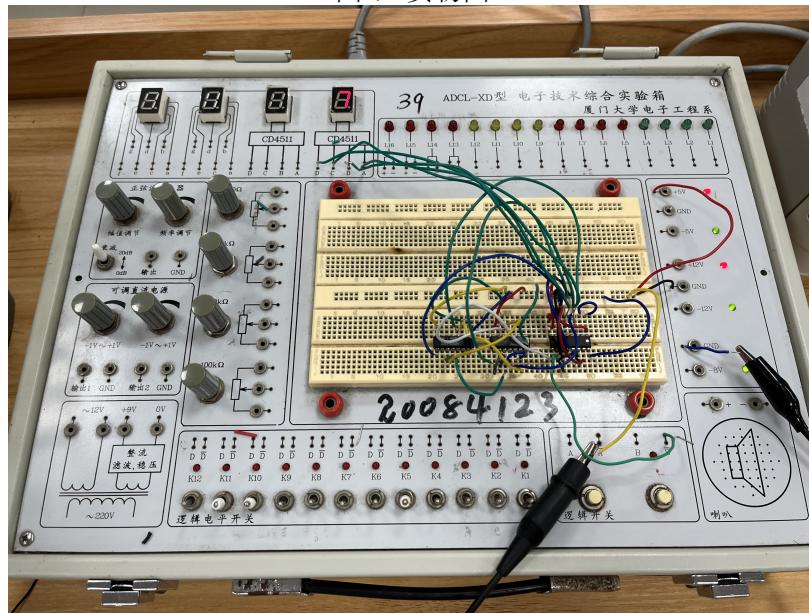
按预习报告连接电路，测试状态如表 ??。可见结果是正确的。

表格 10: 实验结果

N	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

连接电路实物图如图 7

图 7: 实物图



6.4 实验总结

本实验使用分立门电路、集成电路实现了计数器。通过这次实验我学习到了在设计计数器时，化简表达式的结果是否足够简单对搭建电路有重要的意义，同时也练习了搭建复杂电路的技巧。