

Rockchip RK3588S 硬件设计指南

(福州硬件开发中心)

文件状态： [] 草稿 [] 正在修改 [√] 正式发布	文件标识:	
	当前版本:	V1.1
	作 者:	福州硬件开发中心
	完成日期:	2022-11-03
	审 核:	
	审核日期:	

瑞芯微电子股份有限公司
Rockchip Electronics Co.,Ltd.



免责声明

您购买的产品、服务或特性等应受瑞芯微电子股份有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微电子股份有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为瑞芯微电子股份有限公司的商标，并归瑞芯微电子股份有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 2022 瑞芯微电子股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

地址：福建省福州市铜盘路软件园 A 区 18 号

网址：www.rock-chips.com

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：fae@rock-chips.com

前言

概述

本文档主要介绍 RK3588S 处理器硬件设计的要点及注意事项，旨在帮助 RK 客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用 RK 发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及 RK 产品 PCB 设计要求进行。

芯片型号

本文档对应的芯片型号为：RK3588S

适用对象

本文档主要适用于以下工程师：

- 硬件开发工程师
- Layout 工程师
- 技术支持工程师
- 测试工程师

更改记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	福州硬件 开发中心	2022.01.14	第一版	
V1.1	福州硬件 开发中心	2022.11.03	<ul style="list-style-type: none">1、更新 3.4.3 至 3.4.17 章节2、删除外部有源晶体相关描述及表2-1；3、更新2.2.5.4章节中峰值电流表；4、2.3.7.2章节更新MIPI D/C PHY RX接口中DPHY RX 使用限制描述5、2.3.8.1章节HDMI输出对地电阻更新为590ohm；6、修改2.2.2章节各电源的最大电流参数7、更新PMU_0V75峰值电流及OTP_VDDOTP_0V75峰值电流8、文档下载链接已更新	

目录

前言	II
更改记录	III
目录	IV
图片索引	VII
表格索引	XIII
1 系统概述	1
1.1 概述	1
1.2 芯片框图	2
1.3 应用框图	3
1.3.1 RK3588S Tablet (1Cell) 应用框图	3
1.3.2 RK3588S Tablet (2Cell) 应用框图	4
2 原理图设计建议	5
2.1 最小系统设计	5
2.1.1 时钟电路	5
2.1.2 复位/看门狗/TSADC 电路	6
2.1.3 PMU 单元电路	8
2.1.4 系统启动引导顺序	8
2.1.5 系统初始化配置信号	10
2.1.6 JTAG 和 UART Debug 电路	11
2.1.7 DDR 电路	13
2.1.8 eMMC 电路	22
2.1.9 FSPI Flash 电路	24
2.1.10 GPIO 电路	26
2.2 电源设计	28
2.2.1 RK3588S 电源介绍	28
2.2.2 电源设计建议	30
2.2.3 RK806 方案介绍	48
2.2.4 RK3588S 与 RK806-2 双 PMIC 电源方案介绍	53
2.2.5 RK3588S 与 RK806-1 单 PMIC 电源方案介绍	56
2.3 功能接口设计指南	60
2.3.1 SDMMC/SDIO	60
2.3.2 SARADC 电路	63
2.3.3 OTP 电路	65
2.3.4 USB2.0/USB3.0 电路	65
2.3.5 SATA3.0 电路	73
2.3.6 PCIe2.0 电路	77
2.3.7 视频输入接口电路	81
2.3.8 视频输出接口电路	89
2.3.9 音频相关电路设计	106

2.3.10 GMAC 接口电路	115
2.3.11 UART 接口电路	122
2.3.12 SPI 接口电路.....	123
2.3.13 CAN 接口电路.....	124
2.3.14 I2C 接口电路	125
2.3.15 PWM 接口电路.....	126
2.3.16 RK3588S 未使用模块的管脚处理.....	128
3 PCB 设计建议	129
3.1 PCB 叠层设计.....	129
3.1.1 10 层 2 阶 HDI 板叠层	129
3.1.2 8 层 2 阶 HDI 板叠层	130
3.1.3 RK3588S 扇出设计.....	132
3.2 通用布线建议	135
3.3 8GT/s 及以上高速信号布线建议	145
3.3.1 避免玻纤编织效应	145
3.3.2 差分过孔建议	147
3.3.3 耦合电容优化建议	147
3.3.4 ESD 优化建议	148
3.3.5 连接器优化建议	149
3.4 接口 PCB 设计建议.....	152
3.4.1 Clock/Reset 电路 PCB 设计	152
3.4.2 PMIC/Power 电路 PCB 设计	153
3.4.3 DP1.4	200
3.4.4 PCIE2.0.....	201
3.4.5 HDMI 2.0 RX	201
3.4.6 HDMI 2.1.....	202
3.4.7 SATA 3.0.....	203
3.4.8 USB 2.0.....	204
3.4.9 USB 3.0.....	204
3.4.10 MIPI-D/C PHY	204
3.4.11 eDP	205
3.4.12 EMMC	206
3.4.13 SDMMC	206
3.4.14 SDIO.....	206
3.4.15 FSPI	206
3.4.16 BT1120	207
3.4.17 RGMII.....	208
3.4.18 音频接口电路 PCB 设计.....	208
3.4.19 WIFI/BT PCB 设计	209
3.4.20 VGA OUT PCB 设计	210
3.4.21 LCD 屏和触摸屏 PCB 设计	210

3.4.22 摄像头 PCB 设计	210
4 热设计建议	212
4.1 热仿真结果	212
4.1.1 结果概要	212
4.1.2 PCB 描述	212
4.1.3 术语解释	212
4.2 芯片内部热控制方式	214
4.2.1 温度控制策略	214
4.2.2 温度控制配置	214
4.3 电路热设计参考	214
4.3.1 电路原理图热设计参考	214
4.3.2 PCB 热设计参考	214
5 ESD/EMI 防护设计	216
5.1 概述	216
5.2 术语解释	216
5.3 ESD 防护	216
5.4 EMI 防护	217
6 焊接工艺	219
6.1 概述	219
6.2 术语解释	219
6.3 回流焊要求	219
6.3.1 焊膏成分要求	219
6.3.2 SMT 曲线	219
6.3.3 SMT 建议曲线	221
7 包装和存放条件	222
7.1 概述	222
7.2 术语解释	222
7.3 防潮包装	222
7.4 产品存放	223
7.4.1 存放环境	223
7.4.2 暴露时间	223
7.5 潮敏产品使用	224

图片索引

图 1-1 RK3588S 框图	2
图 1-2 RK3588S Tablet (1Cell) 应用框图	3
图 1-3 RK3588S Tablet (2Cell) 应用框图	4
图 2-1 RK3588S 晶体连接方式及器件参数	5
图 2-2 RK3588S 32.768KHz 待机时钟输入管脚	6
图 2-3 RK3588S 复位输入 (RK806-1 方案)	7
图 2-4 RK3588S 复位信号路径图-双 PMIC 方案	8
图 2-5 RK3588S 复位信号路径图-单 PMIC 方案	8
图 2-6 RK3588S 引导顺序选择	9
图 2-7 RK3588S SDMMC/ARM JTAG 复用管脚以及 SDMMC DET 管脚	10
图 2-8 RK3588S JTAG 连接示意图	11
图 2-9 RK3588S ARM JTAG 管脚	12
图 2-10 RK3588S UART2 M0 管脚	12
图 2-11 RK3588S Debug UART2 连接示意图	12
图 2-12 LPDDR4 点对点拓扑结构	18
图 2-13 LPDDR5 点对点拓扑结构	19
图 2-14 RK806-2 BUCK9 FB 参数调整	20
图 2-15 RK806-2 BUCK9 FB 参数调整	20
图 2-16 RK806-1 BUCK9 FB 参数调整	20
图 2-17 RK806-1 BUCK6 FB 参数调整	21
图 2-18 LPDDR4/LPDDR4x 兼容设计电源选择	21
图 2-19 LPDDR4/4x SDRAM 上电时序	22
图 2-20 LPDDR5 SDRAM 上电时序	22
图 2-21 eMMC 连接示意图	23
图 2-22 eMMC 颗粒上下电时序	24
图 2-23 FSPI Flash 连接示意图	25
图 2-24 RK3588S 芯片 SYS PLL 电源管脚	33
图 2-25 RK3588S 芯片 DDR PLL 电源管脚	34
图 2-26 RK3588S 芯片晶振电路的电源管脚	34
图 2-27 RK3588S 芯片 PMU_0V75 电源管脚	34
图 2-28 RK3588S 芯片 VDD_CPU_BIG0 电源管脚	35
图 2-29 RK3588S 芯片 VDD_CPU_BIG0_MEM 电源	35
图 2-30 RK3588S 芯片 VDD_CPU_BIG1 电源管脚	36
图 2-31 RK3588S 芯片 VDD_CPU_BIG1_MEM 电源	36
图 2-32 VDD_CPU_LIT 电源电容	37
图 2-33 RK3588S 芯片 VDD_CPU_LIT_MEM 电源	37
图 2-34 RK3588S 芯片 VDD_GPU 电源管脚	37
图 2-35 RK3588S 芯片 VDD_GPU 电源管脚	38
图 2-36 RK3588S 芯片 VDD_NPU 电源管脚	38
图 2-37 RK3588S 芯片 VDD_NPU_MEM 电源管脚	38
图 2-38 RK3588S 芯片 VDD_LOGIC 电源管脚	39
图 2-39 RK3588S 芯片 VDD_VDENC 电源管脚	40
图 2-40 RK3588S 芯片 VDD_VDENC 电源管脚	40
图 2-41 RK3588S 芯片在 LPDDR4/4X 模式下的 DDR 电源管脚	40
图 2-42 RK3588S 芯片在 LPDDR4/4x 模式下的电源滤波电容	41
图 2-43 RK3588S 芯片在 LPDDR5 模式下的 DDR 电源管脚	41
图 2-44 RK3588S 芯片在 LPDDR5 模式下的电源滤波电容	41
图 2-45 RK3588S USB2.0 PHY 电源管脚	42
图 2-46 RK3588S USB30/DP1.4 Combo0 电源管脚	43
图 2-47 RK3588S PCIe2.0 Combo PHY 电源管脚	44

图 2-48 RK3588S MIPI CSI RX PHY0 电源管脚	45
图 2-49 RK3588S MIPI D/C Combo PHY0 电源管脚.....	45
图 2-50 RK3588S HDMI2.1/EDP Combo PHY 电源管脚	46
图 2-51 RK3588S SARADC 电源管脚	47
图 2-52 RK3588S SARADC 电源管脚	47
图 2-53 RK806 单芯片典型应用图.....	48
图 2-54 RK806 双芯片(I2C 模式)典型应用图.....	49
图 2-55 RK806 双芯片(SPI 模式)典型应用图	50
图 2-56 RK806 VDC 管脚	51
图 2-57 RK806 BUCK1	51
图 2-58 RK3588S+RK806-2 电源架构	53
图 2-59 RK806-2 上电默认电压和时序	54
图 2-60 RK3588S+RK806-2 上电时序图	55
图 2-61 RK3588S+RK806-1 电源架构	56
图 2-62 RK3588S+RK806-1 电源架构	57
图 2-63 RK3588S+RK806-1 上电时序表	58
图 2-64 RK3588S+RK806-1 上电时序图	59
图 2-65 RK3588S SDMMC 接口管脚	61
图 2-66 SD Card 接口电路	61
图 2-67 RK3588S SDIO 接口 M1 功能管脚	62
图 2-68 SARADC VIN0 接口.....	64
图 2-69 RK3588S SARADC 按键矩阵电路	64
图 2-70 RK3588S SARADC 单按键电路	65
图 2-71 RK3588S OTP 电源管脚.....	65
图 2-72 USB PHY 与 USB Controller 的内部复用关系	66
图 2-73 TYPEC0 USB2.0 OTG 管脚	66
图 2-74 TYPEC0 USB3.0 OTG 与 DP 管脚	67
图 2-75 TYPEC0 4Lane 与 DP 的连接框图	67
图 2-76 USB2.0 OTG+DP 4Lane 的连接框图	68
图 2-77 USB2.0 OTG+DP 4Lane (Swap ON) 的连接框图	68
图 2-78 USB3.0 OTG0+DP 2Lane (Swap OFF) 的连接框图	68
图 2-79 USB3.0 OTG0+DP 2Lane (Swap ON) 的连接框图	68
图 2-80 USB3.0 HOST2+USB2.0 HOST1 的连接框图	69
图 2-81 USB3.0 HOST2+USB2.0 HOST0 的连接框图	69
图 2-82 USB2.0 HOST0 管脚	69
图 2-83 USB2.0 HOST1 管脚	70
图 2-84 USB2.0 Controller 和 PHY 的连接框图	70
图 2-85 RK3588S TYPEC0_USB20_OTG 电路	71
图 2-86 TYPEC0_USB20_VBUSDET 检测电路	71
图 2-87 USB2.0 信号串接 2.2ohm 电阻电路	71
图 2-88 USB2.0 信号串共模电感电路	72
图 2-89 TYPEC_USB20_OTG0/1_ID 脚电路	72
图 2-90 USB 5V 限流电路	72
图 2-91 TYPEC 座子 ESD 电路	73
图 2-92 PIPE_PHY0/2 和 SATA3.0 控制器复用关系	74
图 2-93 SATA0/2 相关控制 IO 管脚	76
图 2-94 RK3588S PCIe 2 个 Controller 和 2 个 PHY 映射关系图	77
图 2-95 PCIe Controller 和控制信号匹配关系	79
图 2-96 PMUIO2 上面的 PCIE 控制信号管脚	80
图 2-97 VCCIO4 上面的 PCIE 控制信号管脚	80
图 2-98 VCCIO6 上面的 PCIE 控制信号管脚	81
图 2-99 RK3588S MIPI DPHY CSI0 RX 信号管脚	81

图 2-100 RK3588S MIPI CSI0 工作模式与数据、时钟分配	82
图 2-101 MIPI DPHY CSI0 RX PHY 电源去耦电容	82
图 2-102 High-Speed Data Transmission in Bursts	83
图 2-103 RK3588S MIPI D/C-PHY0 RX 信号管脚	83
图 2-104 RK3588S MIPI D/C-PHY1 RX 信号管脚	84
图 2-105 MIPI D-PHY/C-PHY CSI RX Combo PHY0/1 电源去耦电容	85
图 2-106 RK3588S CIF 功能管脚	86
图 2-107 RK3588S CIF 数据对应关系	87
图 2-108 RK3588S VOP 和视频接口输出路径图	89
图 2-109 RK3588S HDMI/eDP Combo PHY0 管脚	90
图 2-110 HDMI/eDP Combo PHY0 电源去耦电容	90
图 2-111 RK3588S HDMI/EDP_TX0_REXT/HDMI/EDP_TX1_REXT 管脚	90
图 2-112 RK3588S HDMI TX 模式外围电路	91
图 2-113 RK3588S HDMI TX0 eARC/HPD 电路	92
图 2-114 RK3588S HDMI_TX0_HPD M0 功能管脚	93
图 2-115 RK3588S HDMI_TX0_HPD M1 功能管脚	93
图 2-116 RK3588S HDMI_TX0_CEC M0 功能管脚	94
图 2-117 RK3588S HDMI_TX0_CEC M1 功能管脚	94
图 2-118 HDMI CEC 协议要求	95
图 2-119 HDMI TX CEC 隔离电路	95
图 2-120 HDMI TX DDC 电平转换电路	96
图 2-121 HDMI TX 座子 ESD 电路	96
图 2-122 RK3588S eDP TX0 信号交流耦合电容	97
图 2-123 RK3588S eDP TX0 AUX 信号交流耦合电容	98
图 2-124 RK3588S MIPI D/C-PHY0 TX 信号管脚	98
图 2-125 RK3588S MIPI D/C-PHY1 TX 信号管脚	99
图 2-126 MIPI D-PHY/C-PHY Combo PHY0/1 TX 电源去耦电容	100
图 2-127 RK3588S DP0 TX 管脚	101
图 2-128 RK3588S DP0 TX PHY 电源去耦电容	102
图 2-129 RK3588S DP0 TX 信号交流耦合电容	102
图 2-130 RK3588S DP0_TX_REXT 管脚	102
图 2-131 RK3588S VOP BT1120 功能管脚	103
图 2-132 RK3588S 音频子系统框图	107
图 2-133 RK3588S PDM 接口数据格式	110
图 2-134 RK3588S DSM PWM Audio 低通滤波器示意图	113
图 2-135 RK3588S 喇叭输出示意图	114
图 2-136 RK3588S 低成本喇叭输出示意图	114
图 2-137 RK3588S 典型的音频方案示意图	114
图 2-138 RK3588S 多麦克风方案示意图	115
图 2-139 RK3588S GMAC1 功能管脚	116
图 2-140 RGMII 连接示意图 1	118
图 2-141 RGMII 连接示意图 2	118
图 2-142 RMII 连接示意图 1	119
图 2-143 RMII 连接示意图 2	119
图 2-144 RMII 连接示意图 3	120
图 2-145 RMII 连接示意图 4	120
图 2-146 RMII 连接示意图 5	121
图 2-147 红外接收头电路	128
图 3-1 10 层 2 阶 HDI 板叠层	130
图 3-2 10 层二阶 HDI 板阻抗线参考值	130
图 3-3 8 层 2 阶 HDI 板叠层	131
图 3-4 8 层二阶 HDI 板阻抗线参考值	131

图 3-5 RK3588S 扇出示意图 1	132
图 3-6 RK3588S 扇出示意图 2	133
图 3-7 RK3588S 扇出示意图 3	134
图 3-8	135
图 3-9	135
图 3-10	136
图 3-11	136
图 3-12	137
图 3-13	137
图 3-14	137
图 3-15	138
图 3-16	138
图 3-17	139
图 3-18	139
图 3-19	140
图 3-20	140
图 3-21	141
图 3-22	141
图 3-23	142
图 3-24	142
图 3-25	143
图 3-26	143
图 3-27	144
图 3-28	144
图 3-29	144
图 3-30	145
图 3-31	146
图 3-32	146
图 3-33	146
图 3-34	147
图 3-35	148
图 3-36	149
图 3-37 RK3588S 晶体布局和走线	152
图 3-38 RK806 EPAD 过孔分布	153
图 3-39 RK806 BUCK1/BUCK3 布局和走线	154
图 3-40 RK806 BUCK2 布局和走线	154
图 3-41 RK806 BUCK4 布局和走线	155
图 3-42 RK806 2.5A BUCK VCC 输入电容布局和走线	155
图 3-43 RK806 2.5A BUCK 布局和走线	156
图 3-44 RK806 LDO 布局和走线示例	156
图 3-45 分立电源 DC/DC 布局和走线	157
图 3-46 VDD_CPU 电源供电 DC/DC 布局和走线	158
图 3-47 DC/DC 远端反馈设计示意图	158
图 3-48 RK3588S 芯片 VDD_CPU_BIG0/1 的电源管脚走线和过孔	159
图 3-49 RK3588S 芯片 VDD_CPU0/1 的电源管脚背面去耦电容放置情况	159
图 3-50 RK3588S 芯片 VDD_CPU_BIG0/1 电源层覆铜情况	160
图 3-51 BIG0 电源地过孔放置图	160
图 3-52 BIG1 电源地过孔放置图	160
图 3-60 BIG 电源建议 PDN 要求	161
图 3-53 RK3588S 芯片 VDD_LOGIC 的电源管脚走线和过孔	162
图 3-54 RK3588S 芯片 VDD_LOGIC 的电源管脚背面去耦电容放置情况	163
图 3-55 RK3588S 芯片 VDD_LOGIC 电源层覆铜情况	164

图 3-56 RK3588S 芯片 VDD_LOGIC 芯片低下电源换层覆铜情况.....	164
图 3-57 LOGIC 电源地过孔放置图.....	165
图 3-67 LOGIC 电源建议 PDN 要求.....	166
图 3-58 RK3588S 芯片 VDD_GPU 的电源管脚走线和过孔.....	167
图 3-59 RK3588S 芯片 VDD_GPU 的电源管脚背面去耦电容放置情况.....	167
图 3-60 RK3588S 芯片 VDD_GPU 电源层覆铜情况.....	168
图 3-61 GPU 电源地过孔放置图.....	168
图 3-73 GPU 电源建议 PDN 要求.....	169
图 3-62 RK3588S 芯片 VDD_NPU 的电源管脚走线和过孔.....	170
图 3-63 RK3588S 芯片 VDD_NPU 的电源管脚背面去耦电容放置情况.....	170
图 3-64 RK3588S 芯片 VDD_NPU 电源层覆铜情况.....	171
图 3-65 NPU 电源地过孔放置图.....	172
图 3-79 NPU 电源建议 PDN 要求.....	173
图 3-66 RK3588S 芯片 VDD_CPU_LIT 的电源管脚走线和过孔.....	173
图 3-67 RK3588S 芯片 VDD_CPU_LIT 的电源管脚背面去耦电容放置情况.....	174
图 3-68 RK3588S 芯片 VDD_CPU_LIT 电源层覆铜情况.....	174
图 3-69 LIT 电源地过孔放置图.....	174
图 3-85 LIT 电源建议 PDN 要求.....	175
图 3-70 RK3588S 芯片 VDD_VDENC 的电源管脚走线和过孔.....	176
图 3-71 RK3588S 芯片 VDD_VDENC 的电源管脚背面去耦电容放置情况.....	177
图 3-72 RK3588S 芯片 VDD_VDENC 电源层覆铜情况.....	177
图 3-73 VDENC 电源地过孔放置图.....	178
图 3-91 VDENC 电源建议 PDN 要求.....	179
图 3-74 RK3588S 芯片 VDD_DDR 的电源管脚走线和过孔.....	180
图 3-75 RK3588S 芯片 VDD_DDR&VDDQ_DDR 的电源管脚背面去耦电容放置情况.....	180
图 3-76 RK3588S 芯片 VDD_DDR&VDDQ_DDR 电源层覆铜情况.....	181
图 3-77 RK3588S 芯片 VSS 的管脚走线和过孔.....	181
图 3-78 RK3588S 芯片地层覆铜情况.....	182
图 3-79.....	183
图 3-80.....	183
图 3-81.....	184
图 3-82.....	184
图 3-83.....	185
图 3-84.....	185
图 3-85.....	186
图 3-86.....	186
图 3-87.....	187
图 3-88.....	187
图 3-89.....	188
图 3-90.....	188
图 3-91.....	188
图 3-92.....	189
图 3-93.....	189
图 3-94.....	190
图 3-95.....	190
图 3-96.....	191
图 3-97.....	191
图 3-98.....	192
图 3-99.....	192
图 3-100.....	193
图 3-101.....	193
图 3-102.....	194

图 3-103.....	194
图 3-104.....	195
图 3-105.....	195
图 3-106.....	196
图 3-107.....	196
图 3-108.....	197
图 3-109.....	197
图 3-110.....	198
图 3-111.....	201
图 3-112.....	202
图 3-113.....	203
图 3-114.....	203
图 3-115.....	205
图 3-116 WIFI 模块的电感电容走线示意图.....	209
图 3-117 WIFI 模块天线走线示意图	210
图 4-1 θJA 的定义.....	213
图 4-2 θJC 的定义.....	213
图 4-3 θJB 的定义.....	213
图 6-1 回流焊曲线分类.....	220
图 6-2 无铅工艺器件封装体耐热标准	220
图 6-3 无铅回流焊接工艺曲线	220
图 6-4 无铅回流焊接工艺建议曲线参数	221
图 7-1 芯片干燥真空包装	223
图 7-2 六点湿度卡	223

表格索引

表 2-1 RK3588S 24MHz 时钟要求	错误!未定义书签。
表 2-2 RK3588S 32.768KHz 时钟要求	6
表 2-3 RK3588S 系统初始化配置信号描述	11
表 2-4 RK3588S JTAG Debug 接口信号	11
表 2-5 RK3588S DDR PHY I/O Map 表	13
表 2-6 RK3588S eMMC 接口设计	23
表 2-7 RK3588S FSPI 接口设计	25
表 2-8 RK3588S GPIO 电源脚描述	27
表 2-9 RK3588S 芯片电源需求表	28
表 2-10 RK3588S 第一次上电各模块供电要求表	30
表 2-11 RK3588S 待机电源供电要求表	32
表 2-12 RK3588S 内部 PLL 介绍	33
表 2-13 RK3588S 峰值电流表	60
表 2-14 SDMMC0 接口设计	62
表 2-15 SDIO 接口设计	63
表 2-16 RK3588S USB2.0/USB3.0 接口设计	73
表 2-17 RK3588S SATA 接口设计	77
表 2-18 RK3588S PCIe2.0 接口设计	79
表 2-19 PCIe 控制信号复用情况和对应的电源域分布	79
表 2-20 RK3588S MIPI DPHY CSI0/1 RX 接口设计	82
表 2-21 RK3588S MIPI D-PHY/C-PHY CSI RX Combo PHY0/1 接口设计	85
表 2-22 RK3588S BT1120 16bit 模式数据对应关系表	88
表 2-23 RK3588S CIF 接口设计	88
表 2-24 FRL 速率与通道关系	92
表 2-25 RK3588S HDMI TX 接口设计	97
表 2-26 RK3588S eDP TX0/1 PHY 接口设计	98
表 2-27 RK3588S MIPI D-PHY/C-PHY Combo PHY0/1 TX 接口设计	100
表 2-28 RK3588S DP0/1 TX PHY 接口设计	103
表 2-29 RK3588S BT1120 与 BT656 关系表	103
表 2-30 RK3588S BT1120 输出格式列表	104
表 2-31 RK3588S BT1120 输出接口设计	105
表 2-32 RK3588S 对外引出的音频接口以及 IO 复用情况	106
表 2-33 RK3588S I2S0 接口信号描述	108
表 2-34 RK3588S I2S1 接口信号描述	108
表 2-35 RK3588S I2S2 接口信号描述	109
表 2-36 RK3588S I2S3 接口设计	110
表 2-37 RK3588S PDM_CLK 频率与采样率对照表	110
表 2-38 RK3588S PDM0 接口信号描述	111
表 2-39 RK3588S PDM1 接口信号描述	111
表 2-40 RK3588S SPDIF0_TX 接口信号描述	112
表 2-41 RK3588S SPDIF1_TX 接口信号描述	112
表 2-42 RK3588S DSM PWM Audio 接口信号描述	113
表 2-43 RK3588S RGMII/RMII 接口设计	117
表 2-44 RK3588S UART 接口分布	122
表 2-45 RK3588S UART 流控接口分布	123
表 2-46 RK3588S UART 接口设计	123
表 2-47 RK3588S SPI 接口分布	124
表 2-48 RK3588S SPI 接口设计	124
表 2-49 RK3588S CAN 接口分布	124
表 2-50 RK3588S CAN 接口设计	125

表 2-51 RK3588S I2C 接口分布	125
表 2-52 RK3588S I2C 接口设计	126
表 2-53 RK3588S PWM 接口分布.....	126
表 3-1 RK3588S 8GT/s 及以上差分信号	145
表 3-2 差分过孔的参考尺寸	147
表 3-3 耦合电容焊盘挖空尺寸参考值	147
表 3-4 ESD 器件焊盘挖空参考尺寸.....	148
表 3-5 连接器焊盘挖空尺寸参考值	149
表 3-6 连接器推荐布线方式	149
表 3-7 LPDDR5 走线要求	198
表 3-8 LPDDR4X 走线要求	199
表 3-9 LPDDR4 走线要求	199
表 3-10 布线要求-DP1.4.....	200
表 3-11 布线要求-PCIE2.0.....	201
表 3-12 布线要求-HDMI 2.0.....	201
表 3-13 布线要求-HDMI2.1	202
表 3-14 布线要求-SATA3.0	203
表 3-15 布线要求-USB2.0.....	204
表 3-16 布线要求-USB3.0	204
表 3-17 布线要求-MIPI-DPHY	204
表 3-18 布线要求-MIPI-CPHY	205
表 3-19 布线要求-eDP.....	205
表 3-20 布线要求-EMMC	206
表 3-21 布线要求-SDMMC	206
表 3-22 布线要求- SDIO	206
表 3-23 布线要求- FSPI.....	206
表 3-24 布线要求- BT1120.....	207
表 3-25 布线要求-RGMII.....	208
表 4-1 RK3588S 热阻仿真报告结果	212
表 4-2 RK3588S 热阻仿真的 PCB 结构	212
表 7-1 暴露时间参照表 (MSL)	224
表 7-2 RK3588S Re-bake 参考表	224

1 系统概述

1.1 概述

RK3588S 是一颗高性能、低功耗的应用处理器芯片，由 4 个 Cortex-A76 和 4 个 Cortex-A55 及独立的 NEON 协处理器集成，适用于 Tablet、VR、个人移动互联网设备和其它多媒体产品。

RK3588S 内置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持 8K@60fps 的 H.265 和 VP9 解码器、8k@30fps 的 H.264 解码器和 4K@60fps 的 AV1 解码器；还支持 8K@30fps 的 H.264 和 H.265 编码器，高质量的 JPEG 编码器/解码器，专门的图像预处理器和后处理器。

内置 3D GPU，能够完全兼容 OpenGL ES1.1/2.0/3.2、OpenCL 2.2 和 Vulkan 1.2。带有 MMU 的特殊 2D 硬件引擎将最大限度地提高显示性能，并提供流畅的操作体验。

引入了新一代完全基于硬件的最大 48M 像素 ISP（图像信号处理器），它实现了很多算法加速器，如 HDR、3A、LSC、3DNR、2DNR、锐化、去雾、鱼眼校正、伽马校正等。

内嵌的 NPU 支持 INT4/INT8/INT16/FP16 混合运算，算力高达 6TOP。此外，凭借其强大的兼容性，可以轻松转换基于 TensorFlow/MXNet/PyTorch/Caffe 等一系列框架的网络模型。

RK3588S 具有高性能的 4 通道外部存储器接口（LPDDR4/LPDDR4X/LPDDR5），能够支持存储器高带宽要求的系统，还提供了一套完整的外设接口，以灵活支持各类应用。

1.2 芯片框图

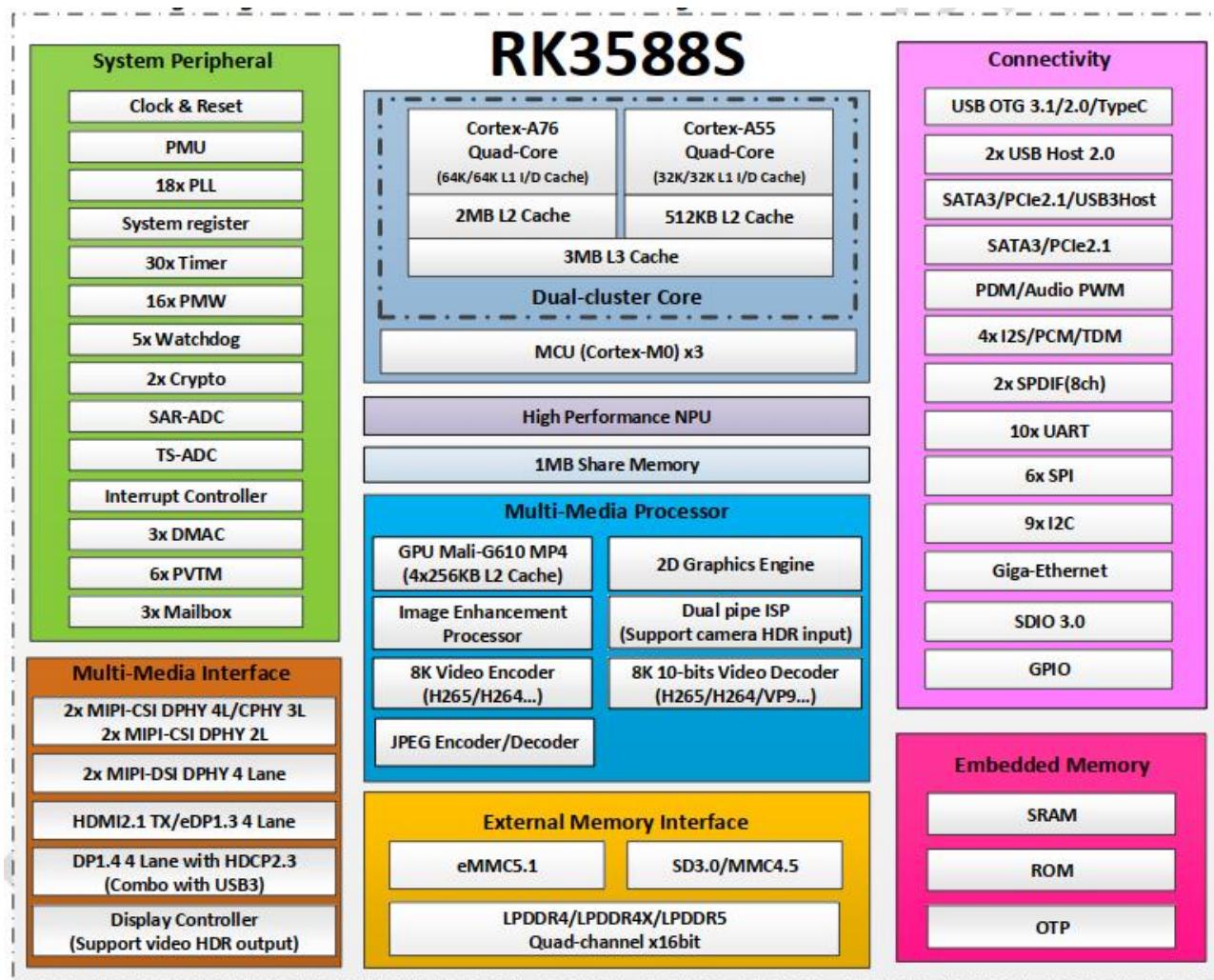


图 1-1 RK3588S 框图

1.3 应用框图

1.3.1 RK3588S Tablet (1Cell) 应用框图

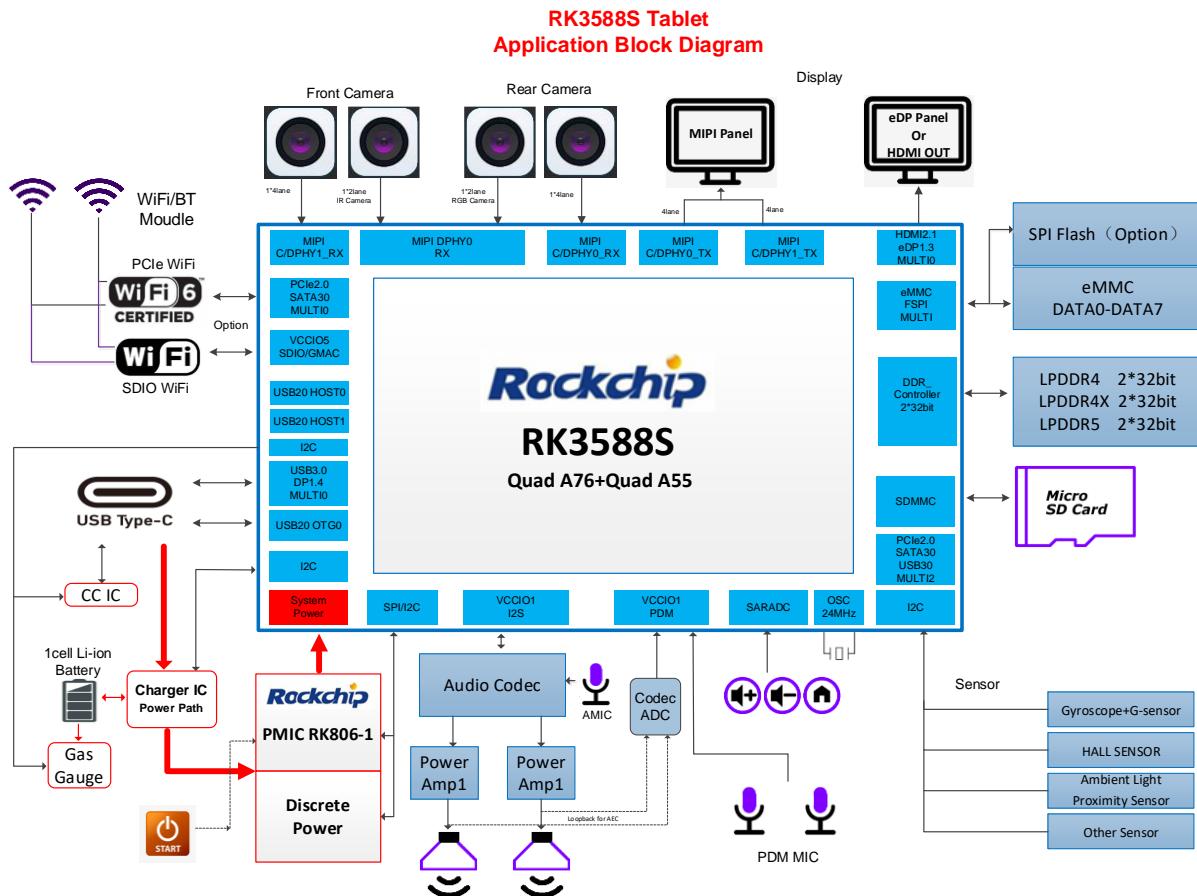


图 1-2 RK3588S Tablet (1Cell) 应用框图

1.3.2 RK3588S Tablet (2Cell) 应用框图

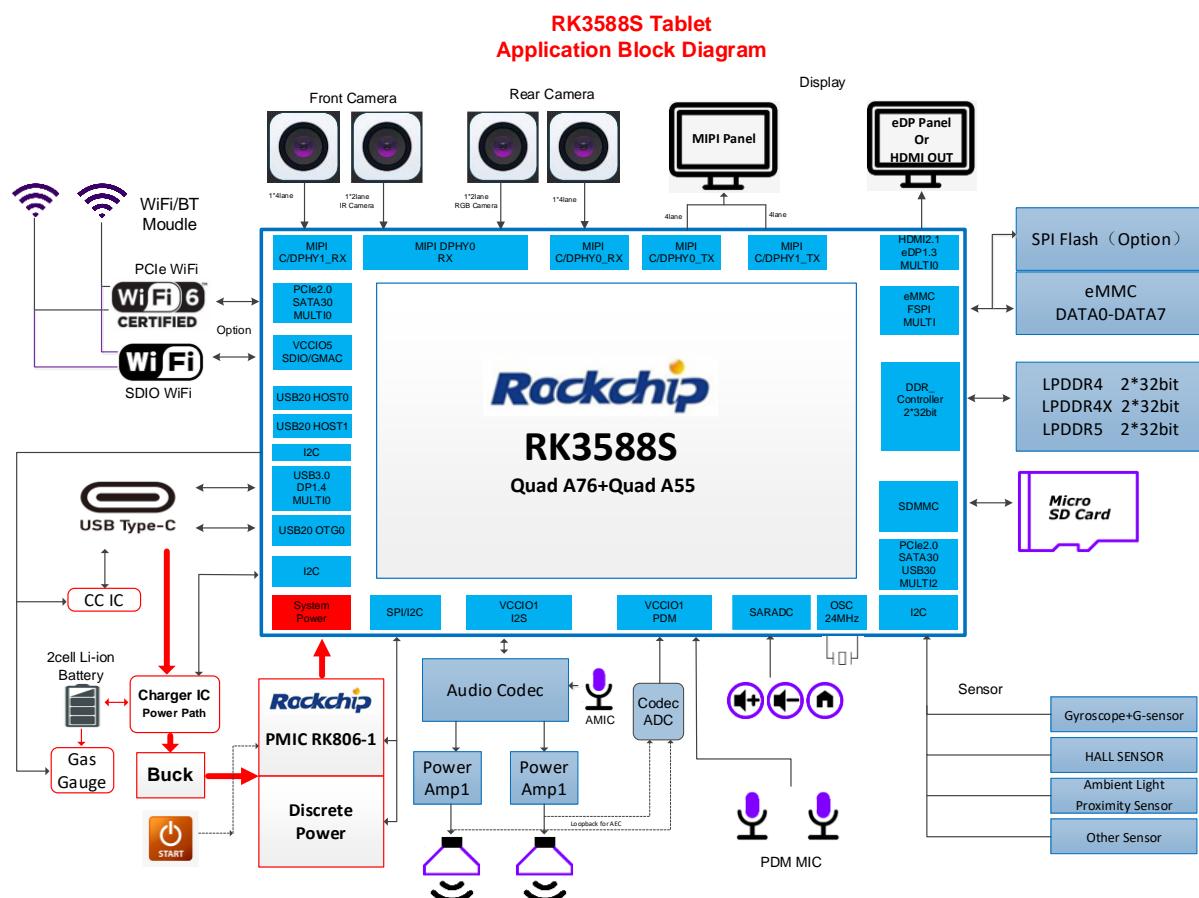


图 1-3 RK3588S Tablet (2Cell) 应用框图

2 原理图设计建议

2.1 最小系统设计

2.1.1 时钟电路

RK3588S 芯片内部的振荡器电路与外置的 24MHz 晶体一起构成系统时钟，如图 2-1 所示。XOUT24M 网络务必串接 22ohm 电阻，用于限流，防止过驱。XOUT24M 和 XIN24M 网络之间的 510Kohm 电阻不可随意修改。

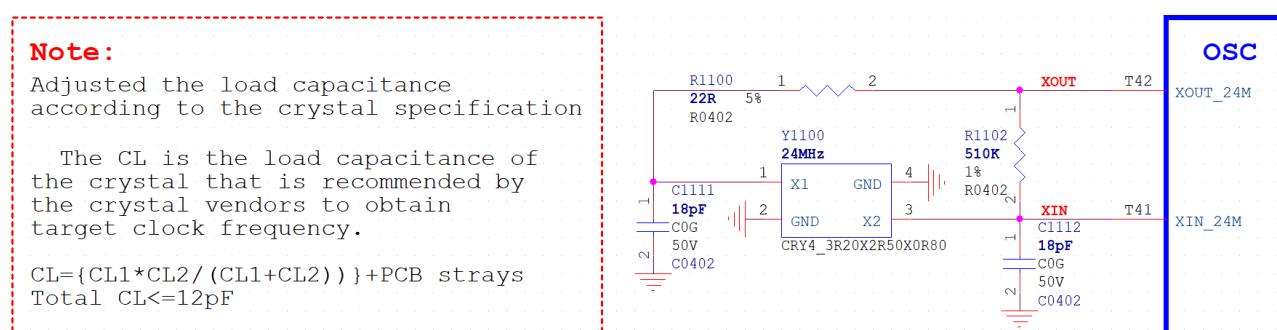


图 2-1 RK3588S 晶体连接方式及器件参数



注意

Note1：选用晶体的 CL 值不超过 12pF。

Note2：晶体负载电容请根据实际使用的晶体的 CL 电容值选择，并控制常温下的频率容限在 20ppm 以内；

18pF 为我司选用晶体所对应容值，并不为通用值，负载电容材质建议采用 COG 或 NPO；

建议采用贴片 4Pin 晶体，其中 2 个 GND 管脚与 PCB 板的地充分连接，加强时钟抗 ESD 干扰能力。

RK3588S 芯片在待机时，可以选择将工作时钟源切换到 PMU_PVTM 模块提供的时钟或外部输入的 32.768KHz 时钟，关掉 OSC 振荡电路，可得到更优的芯片待机功耗，此时仅支持 PMUIO1 和 PMUIO2 电源域里的 IO 中断唤醒，如果需求的唤醒源和 24MHz 时钟有关，则 24MHz 时钟不能关掉。

PVTM(Process-Voltage-Temperature Monitor)模块集成的时钟振荡环可产生时钟，这个时钟频率由时钟振荡环电路的延迟单元决定，产生的时钟可作为芯片待机的时钟源；使用外部输入的 32.768KHz 时钟当 RK3588S 芯片休眠时钟时，可得到最优的芯片待机功耗，此时 PVTM 模块也可以关掉。

外部输入的 32.768KHz 时钟可以从外置 RTC 时钟源获取，RK3588S 32.768KHz 时钟输入脚如下图所示：

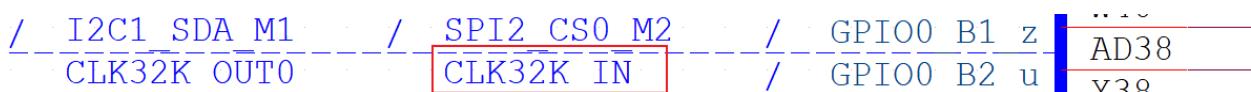


图 2-2 RK3588S 32.768KHz 待机时钟输入管脚

外置 32.768kHz RTC 时钟参数如下表 2-1 所示：

表 2-1 RK3588S 32.768KHz 时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768000		kHz	
频率偏差	+/-30		ppm	
时钟幅度	0.7*VDD	VDD	V	VDD: PMUIO1 电源电压
工作温度	-20	80	°C	
占空比	45	55	%	



注意

使用该功能时，该管脚 IOMUX 必须设置成 CLK32K_IN 功能，输入幅度必须满足 PMUIO1 Domian 供电要求。

RK3588S 可向外设提供工作时钟：

- REFCLK_OUT：预留时钟输出引脚，根据实际需求选用；
- CLK32K_OUT0：32.768KHz 时钟输出，可提供给 WIFI, BT, PCIe 等设备当休眠或工作时钟；
- ETH1_REFCLKO_25M：25MHz 时钟输出，可提供给 Ethernet PHY 等设备当工作时钟；
- GMAC1_CLKINOUT：50MHz、125MHz 时钟输入或输出，可提供给 Ethernet PHY 作为 RMII 数据发送和数据接收参考时钟
- MIPI_CAMERA0_CLK-----MIPI_CAMERA4_CLK：默认 24MHz 时钟输出，可提供给 Camera 等设备当工作时钟；也可根据 PLL 分频得到其它频点，并且每路时钟支持各自输出不同的频率。
- CIF_CLKOUT：默认 24MHz 时钟输出，可提供给 Camera 设备当工作时钟。
- PCIE20_REF_CLKP/N：输入或者输出 100M 时钟，默认 100M 时钟频率输出，给 PCIE2.0 设备用。



注意

以上时钟所处的 IO Domain 与外设的 IO 电平必须匹配，如果不匹配，必须增加电平转换电路。

请根据外设设备时钟需求评估是否可以满足。

2.1.2 复位/看门狗/TSADC 电路

RK3588S 芯片的硬件复位通过 Pin V42(NPOR)管脚输入，必须由外部控制，低电平有效，为保证芯片稳定和正常工作，所需的最短复位时间为 100 个 24MHz 主时钟周期，即至少 4us 以上。

Pin V42(NPOR)管脚需要增加 100nF 电容，用来消除复位信号上的抖动，增强抗干扰能力，防止误触

发导致的系统异常复位。

RESET_L 网络的上拉电源必须和 NPOR 管脚所在的 IO 电源域 (PMUIO1_1V8) 保持一致。

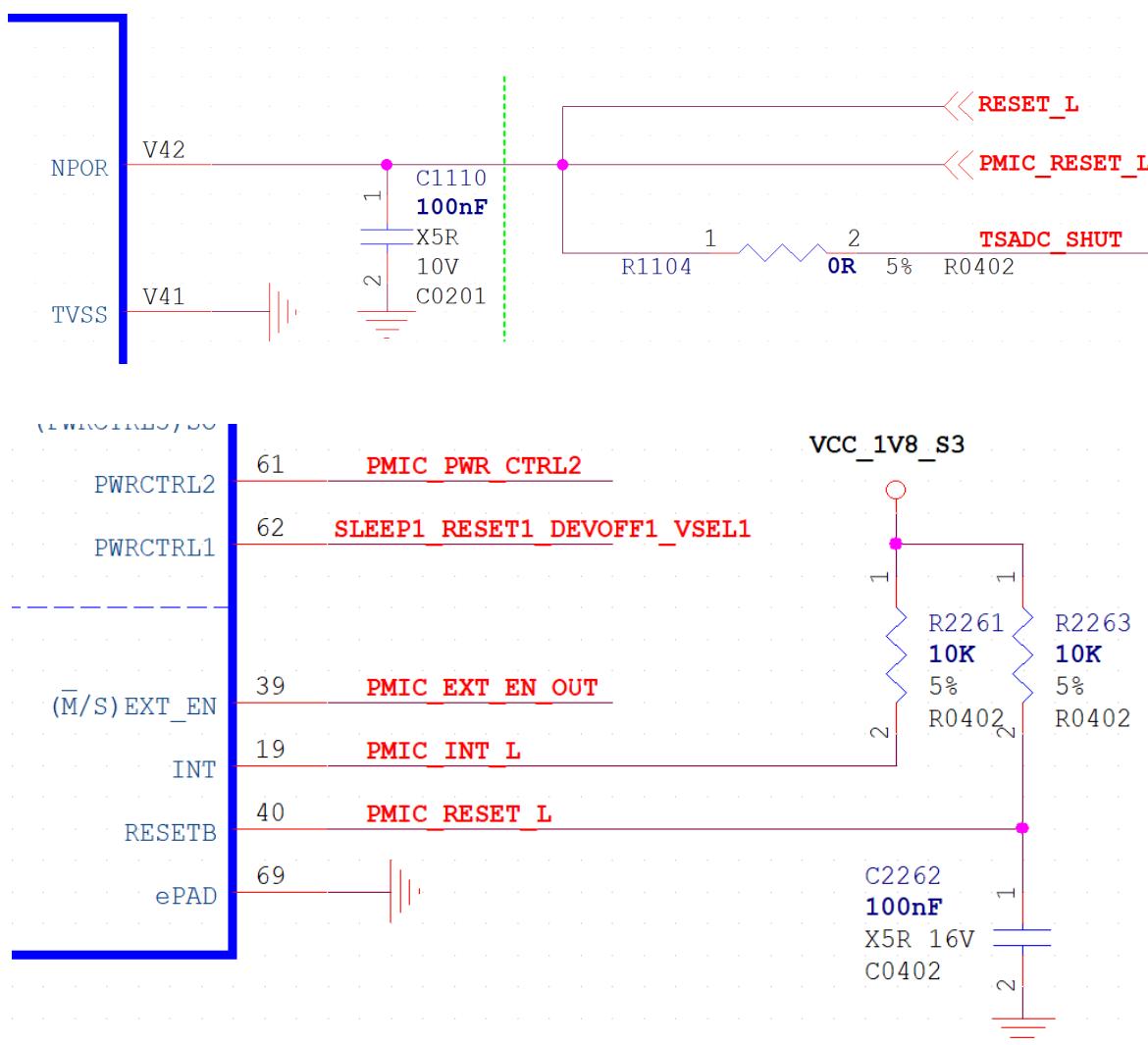


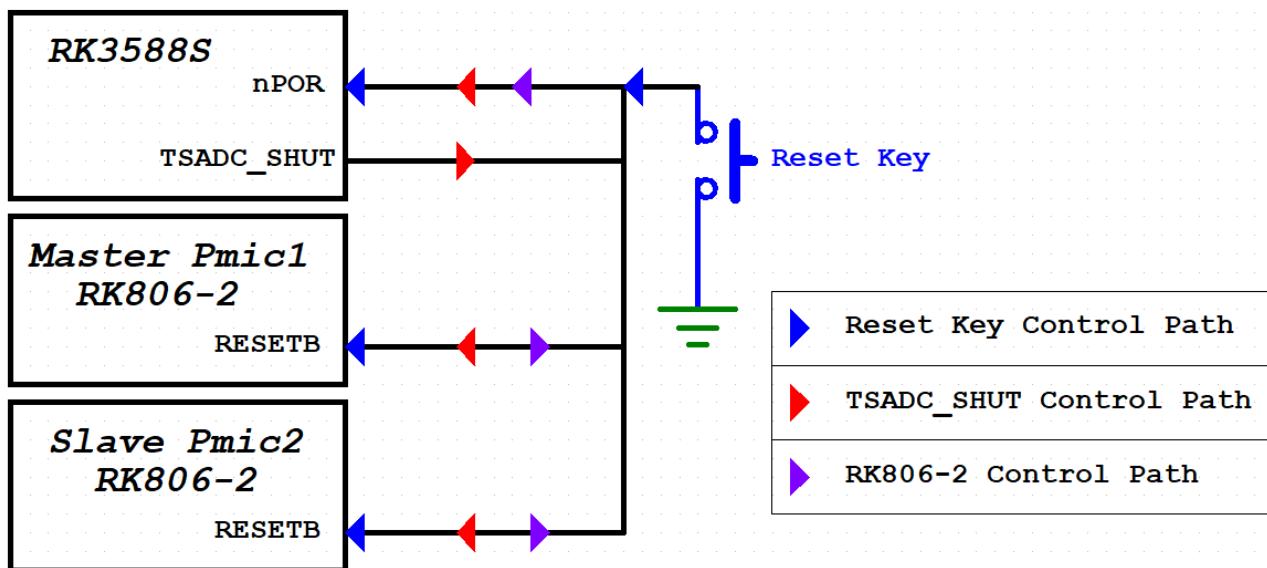
图 2-3 RK3588S 复位输入 (RK806-1 方案)

RK3588S 芯片内部集成了 Watchdog Timer，当产生复位信号时，可以通过 TSADC_SHUT 管脚输出低电平，对 RK3588S 进行硬件复位。

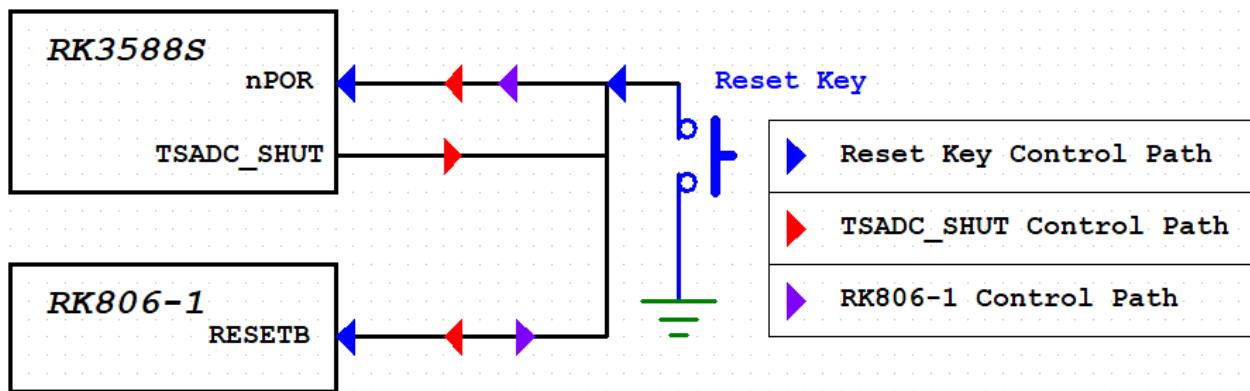
RK3588S 芯片内部集成了七个 TSADC(Temperature-Sensor ADC)模块，当芯片内部温度超过阈值时，可以通过内部 TSHUT 信号给 CRU 模块，让 RK3588S 芯片复位，也可以通过 TSADC_SHUT 管脚输出低电平，对 RK3588S 进行硬件复位。如上图 2-3 TSADC_SHUT 网络连接到 RESETn 网络上。

RK3588S 复位信号路径图如下：

- 双 PMIC 方案：



- 单 PMIC 方案



RK806-1/2 的 RESETB 管脚在第一次上电时，等各路电源上电完成后，RESETB 还会再延迟所设置的时间后，低电平跳变成高电平（开漏输出），即完成上电复位过程；当 RK806-1/2 在工作或 sleep 模式时，如果 RESETB 管脚被拉低，那么 RK806-1/2 也会重启，重启上电顺序和第一次上电相同。

2.1.3 PMU 单元电路

为满足低功耗需求，RK3588S 设计了一个电源管理单元(PMU)，用于控制管理芯片内部电源。

该模块可以支持芯片内部寄存器或 PMUIO 电源域的 IO 控制外围电源电路，实现对其他功能模块供电和断电，也可支持 IO 中断唤醒，从而实现芯片的待机和唤醒功能。

2.1.4 系统启动引导顺序

RK3588S 芯片支持多种启动引导方式，在芯片复位结束后，芯片内部集成的引导代码可以在如下接口

设备进行引导，具体引导顺序可根据实际应用需求进行选择（见下文中“**引导顺序选择**”描述）

- Serial Flash(FSPI)
- eMMC
- SDMMC Card

如果在上述设备中没有引导代码，可以通过 USB2.0 OTG0 接口 TYPEC0_USB20_OTG_DP/TYPEC0_USB20_OTG_DM 信号将系统代码下载到这些设备中。

引导顺序选择：

RK3588S 的 Boot 启动顺序可以通过 SARADC_IN0_BOOT Pin(PIN AW15)进行设置，从不同接口对应的外设启动，如下表所示硬件通过配置不同的上下拉电阻值，设计 LEVEL1-LEVEL7 七种模式的外设引导顺序，可根据实际应用需求进行对应配置。

BOOT MODE CONFIG				
Item	Rup	Rdown	ADC	BOOT MODE(saradc_in5)
LEVEL1	DNP	100K	0	USB (Maskrom mode)
LEVEL2	100K	20K	682	SD Card-USB
LEVEL3	100K	51K	1365	EMMC-USB
LEVEL4	100K	100K	2047	FSPI M0-USB
LEVEL5	100K	200K	2730	FSPI M1-USB
LEVEL6	100K	499K	3412	FSPI M2-USB
LEVEL7	100K	DNP	4095	FSPI_M2-FSPI_M0-EMMC -SD Card-USB

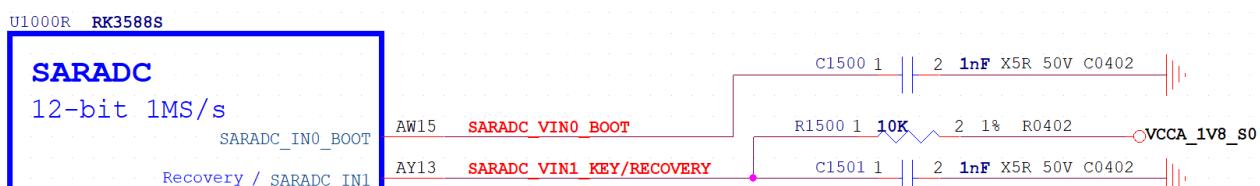


图 2-6 RK3588S 引导顺序选择

按照以上 LEVEL1 设置，SARADC_IN0_BOOT 对地短路，可使设备进入 Maskrom 状态，无需再通过短路 EMMC_CLK/DATA 进入 Maskrom；SARADC_IN1 用于对地短路进入 Recovery 状态；其它 SARADC 口可根据应用需求配置。



注意

Note1: SARADC_IN0_BOOT 为 BOOT 配置专用引脚，不可作为其他功能使用

Note2: RK3588S 不支持从 PCIe BOOT，应用中若有从 PCIe 接口的 SSD 硬盘启动的需求，需要在 FSPI 接口接 SPI FLASH，启动时通过 SPI FLASH 的代码先引导 PCIe 的驱动，再加载 SSD 里面的系统，从而完成启动

2.1.5 系统初始化配置信号

RK3588S 中有一个重要信号会影响系统的启动配置，需要在上电前配置完毕并保持状态稳定：

- SDMMC_DET 管脚(Pin AC38): 决定 VCCIO2 电源域 IO 是 SDMMC 还是 JTAG 功能
在系统复位结束后，芯片会根据这个管脚的输入电平配置相应模块的默认开机功能。

RK3588S 的 ARM JTAG 功能与 SDMMC 功能复用在一起，通过 SDMMC_DET 管脚来切换 IOMUX 的功能，故该管脚也需要在上电前完成配置，否则 ARM JTAG 功能无输出会影响到引导阶段的调试，而 SDMMC 无输出会影响到 SDMMC boot 功能。

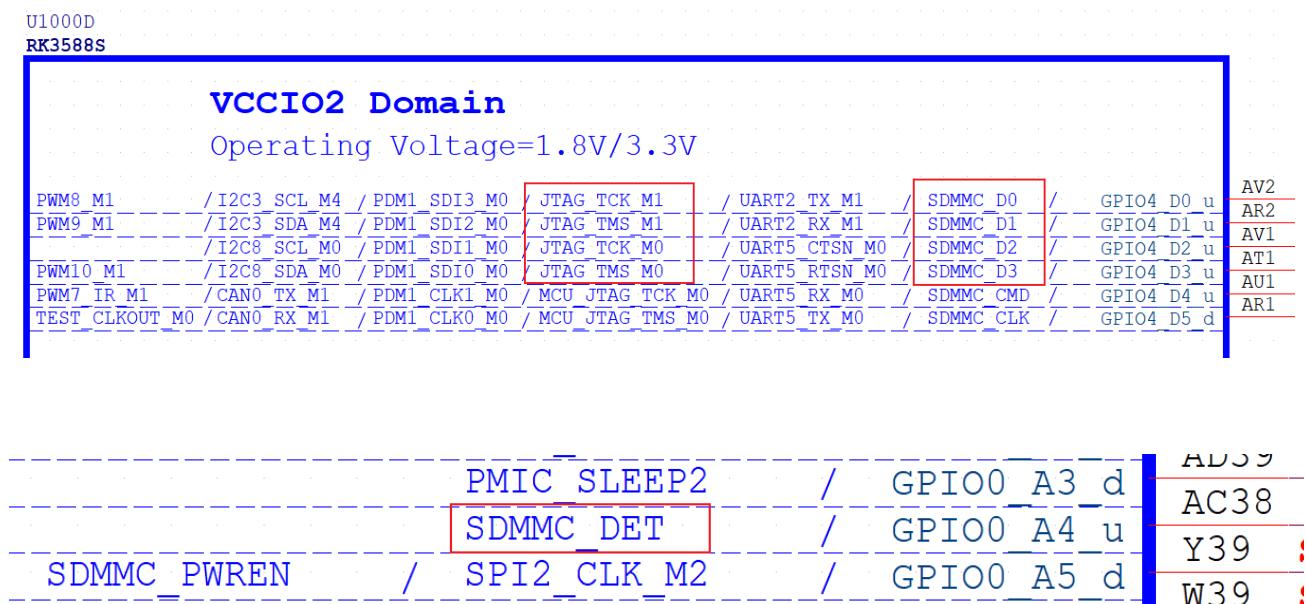


图 2-7 RK3588S SDMMC/ARM JTAG 复用管脚以及 SDMMC DET 管脚

- 该管脚检测为高电平，则对应 IO 切换到 ARM JTAG 功能；
- 当检测到为低电平（大部分 SD 卡插入会拉低该管脚，如果不是需要特殊处理），对应 IO 切换为 SDMMC 功能；
- 系统起来后，可切换成由寄存器来控制 IOMUX，那么该管脚可以释放出来；
- 为方便查询，这个管脚的配置状态与功能对应如下表所示：

表 2-2 RK3588S 系统初始化配置信号描述

信号名	内部上下拉	描述
SDMMC_DET	上拉	SDMMC/ARM JTAG 管脚复用选择控制信号: 0: 识别为 SD 卡插入, SDMMC/ARM JTAG 管脚复用为 SDMMC 功能; 1: 未识别为 SD 卡插入, SDMMC/ARM JTAG 管脚复用为 ARM JTAG 功能 (Default)

2.1.6 JTAG 和 UART Debug 电路

RK3588S 芯片的 ARM JTAG 接口符合 IEEE1149.1 标准, PC 可通过 SWD 模式 (两线模式) 连接 DSTREAM 仿真器, 调试芯片内部的 ARM Core。

在引导阶段要通过连接仿真器时, 需要保证 SDMMC_DET 管脚处于高电平, 否则无法进入 JTAG 调试模式, 该管理的配置见上节描述。

系统起来后, 会切换成由寄存器控制 IOMUX, ARM JTAG 接口说明如下表所示:

表 2-3 RK3588S JTAG Debug 接口信号

信号名	描述
JTAG_TCK_M0/M1	SWD 模式时钟输入
JTAG_TMS_M0/M1	SWD 模式数据输入输出

JTAG 的连接方式及标准连接器管脚定义如下图所示:

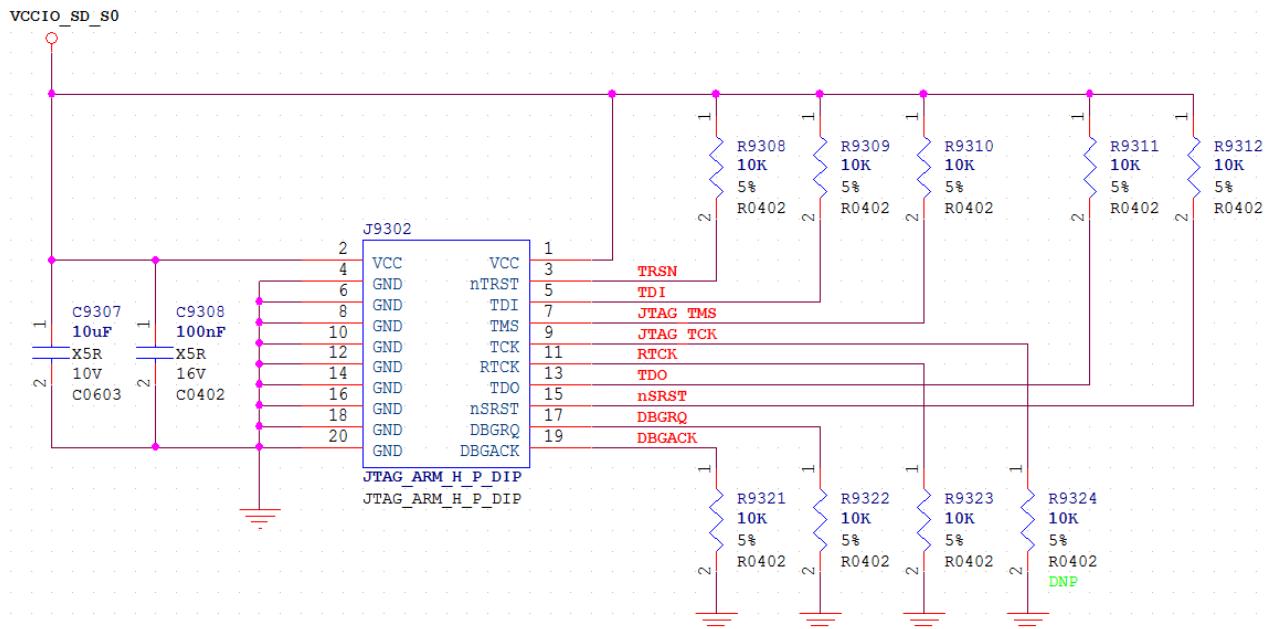


图 2-8 RK3588S JTAG 连接示意图

如果没有 SD Card 功能, 建议 ARM JTAG 功能预留, 方便 Debug, 预留电路如下图:

- VCCIO2_1V8(PIN AK11)电源必须供电, 供电电压必须使用 VCC_1V8_S0 (1.8V) ;
- VCCIO2(PIN AK10)电源必须供电, 供电电压可使用 VCCIO_SD_S0 (3.3V) 。

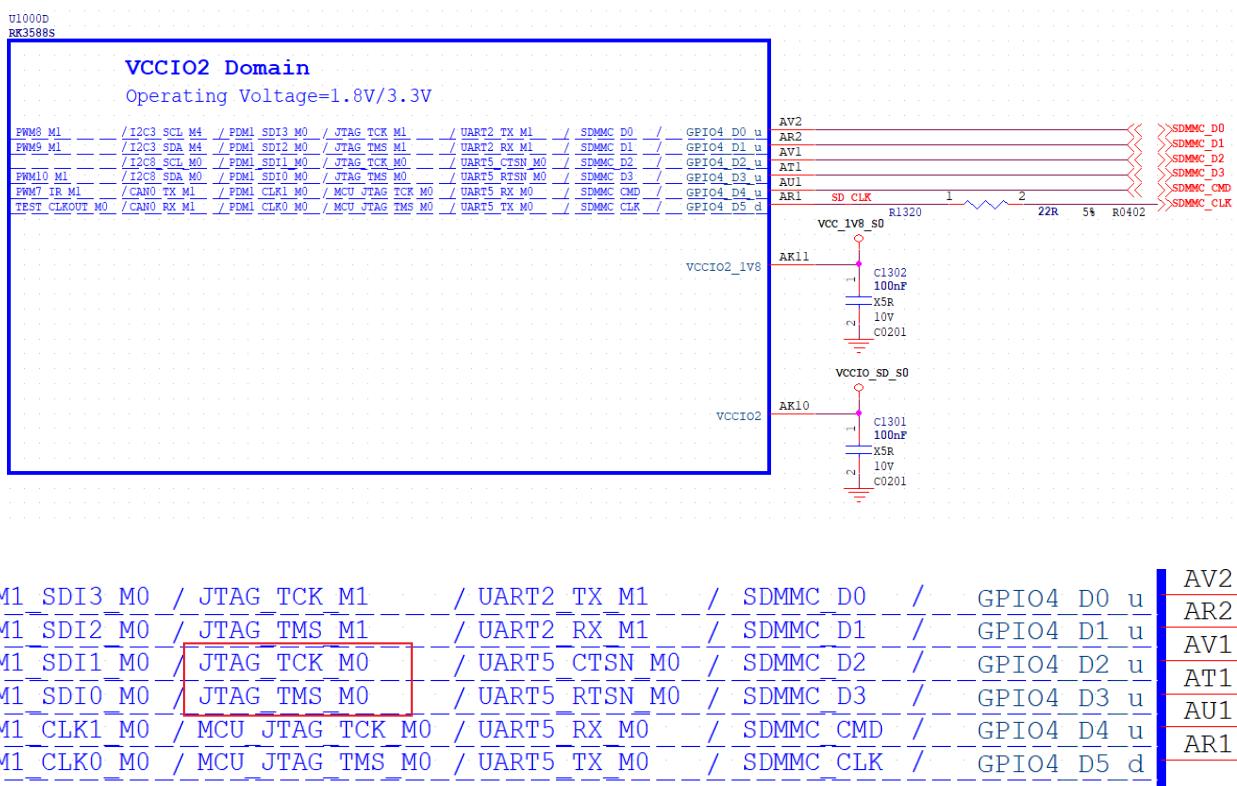


图 2-9 RK3588S ARM JTAG 管脚

RK3588S 的 MCU_JTAG 模块暂不对外开放，无需进行特别处理。

RK3588S UART Debug 默认选择 UART2_RX_M0/UART2_TX_M0，默认波特率为 1500000Bd。



图 2-10 RK3588S UART2 M0 管脚

UART2_RX_M0/UART2_TX_M0 串接的 100 ohm 电阻不得删减，并增加 TVS 管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚，能预留 2.54 插针建议尽量预留，如果无条件，建议使用 0.7mm 以上测试点，方便焊接。

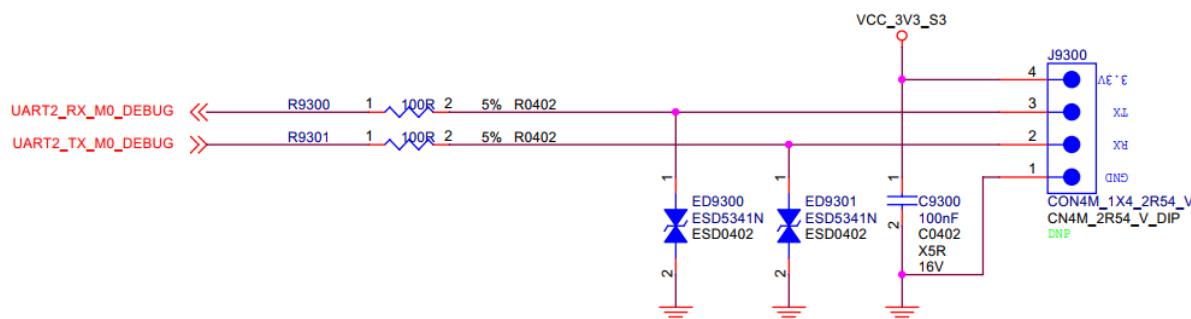


图 2-11 RK3588S Debug UART2 连接示意图

2.1.7 DDR 电路

2.1.7.1 DDR 控制器介绍

RK3588S DDR 控制器接口支持 JEDEC SDRAM 标准接口，控制器有如下特点：

- 兼容 LPDDR4/LPDDR4X/LPDDR5 标准；
- 支持 64bits 数据总线宽度，由 4 个 16bits 的 DDR 通道组成，每个通道容量最大寻址地址 8GB；4 个通道容量可支持总容量达到 32GB；
- 两个 16bits 组成一个 32bits 通道，2 个 32bits 通道(即图纸中 CH0、CH1 通道)不能采用不同容量的颗粒配置，如 4GB+2GB；
- 支持 Power Down、Self Refresh 等模式；
- 具有动态 PVT 补偿的可编程输出和 ODT 阻抗调整。

2.1.7.2 电路设计建议

RK3588S DDR PHY 和各 DRAM 颗粒原理图需要和参考设计图一致，包含电源去耦电容。

RK3588S 可支持 LPDDR4/LPDDR4X、LPDDR5，这些 DRAM 具有不同 I/O 信号，根据 DRAM 类型选择对应的信号，RK3588S DDR PHY I/O Map 表如下：

表 2-4 RK3588S DDR PHY I/O Map 表

DDR 信号	LPDDR4/4x	LPDDR5
DDR_CH0_DQ0_A	DDR_CH0_DQ0_A	DDR_CH0_DQ0_A
DDR_CH0_DQ1_A	DDR_CH0_DQ1_A	DDR_CH0_DQ1_A
DDR_CH0_DQ2_A	DDR_CH0_DQ2_A	DDR_CH0_DQ2_A
DDR_CH0_DQ3_A	DDR_CH0_DQ3_A	DDR_CH0_DQ3_A
DDR_CH0_DQ4_A	DDR_CH0_DQ4_A	DDR_CH0_DQ4_A
DDR_CH0_DQ5_A	DDR_CH0_DQ5_A	DDR_CH0_DQ5_A
DDR_CH0_DQ6_A	DDR_CH0_DQ6_A	DDR_CH0_DQ6_A
DDR_CH0_DQ7_A	DDR_CH0_DQ7_A	DDR_CH0_DQ7_A
DDR_CH0_DQ8_A	DDR_CH0_DQ8_A	DDR_CH0_DQ8_A
DDR_CH0_DQ9_A	DDR_CH0_DQ9_A	DDR_CH0_DQ9_A
DDR_CH0_DQ10_A	DDR_CH0_DQ10_A	DDR_CH0_DQ10_A
DDR_CH0_DQ11_A	DDR_CH0_DQ11_A	DDR_CH0_DQ11_A
DDR_CH0_DQ12_A	DDR_CH0_DQ12_A	DDR_CH0_DQ12_A
DDR_CH0_DQ13_A	DDR_CH0_DQ13_A	DDR_CH0_DQ13_A
DDR_CH0_DQ14_A	DDR_CH0_DQ14_A	DDR_CH0_DQ14_A
DDR_CH0_DQ15_A	DDR_CH0_DQ15_A	DDR_CH0_DQ15_A
DDR_CH0_WCK0P_A	/	DDR_CH0_WCK0P_A
DDR_CH0_WCK0N_A	/	DDR_CH0_WCK0N_A
DDR_CH0_WCK1P_A	/	DDR_CH0_WCK1P_A
DDR_CH0_WCK1N_A	/	DDR_CH0_WCK1N_A

DDR 信号	LPDDR4/4x	LPDDR5
DDR_CH0_DQS0P_A	DDR_CH0_DQS0P_A	DDR_CH0_DQS0P_A
DDR_CH0_DQS0N_A	DDR_CH0_DQS0N_A	DDR_CH0_DQS0N_A
DDR_CH0_DQS1P_A	DDR_CH0_DQS1P_A	DDR_CH0_DQS1P_A
DDR_CH0_DQS1N_A	DDR_CH0_DQS1N_A	DDR_CH0_DQS1N_A
DDR_CH0_DM0_A	DDR_CH0_DM0_A	DDR_CH0_DM0_A
DDR_CH0_DM1_A	DDR_CH0_DM1_A	DDR_CH0_DM1_A
DDR_CH0_A0_A	DDR_CH0_A0_A	DDR_CH0_A0_A
DDR_CH0_A1_A	DDR_CH0_A1_A	DDR_CH0_A1_A
DDR_CH0_A2_A	DDR_CH0_A2_A	DDR_CH0_A2_A
DDR_CH0_A3_A	DDR_CH0_A3_A	DDR_CH0_A3_A
DDR_CH0_A4_A	DDR_CH0_A4_A	DDR_CH0_A4_A
DDR_CH0_A5_A	DDR_CH0_A5_A	DDR_CH0_A5_A
DDR_CH0_A6_A	DDR_CH0_A6_A	DDR_CH0_A6_A
DDR_CH0_CK_A	DDR_CH0_CK_A	DDR_CH0_CK_A
DDR_CH0_CKB_A	DDR_CH0_CKB_A	DDR_CH0_CKB_A
DDR_CH0_LP4/4X_CS0_A	DDR_CH0_LP4/4X_CS0_A	/
DDR_CH0_LP4/4X_CS1_A	DDR_CH0_LP4/4X_CS1_A	/
DDR_CH0_LP4/4X_CKE0/LP5_CS0_A	DDR_CH0_LP4/4X_CKE0_A	DDR_CH0_LP5_CS0_A
DDR_CH0_LP4/4X_CKE1/LP5_CS1_A	DDR_CH0_LP4/4X_CKE1_A	DDR_CH0_LP5_CS1_A
DDR_CH0_ZQ_A	DDR_CH0_ZQ_A	DDR_CH0_ZQ_A
DDR_CH0_RESET_A	DDR_CH0_RESET_A	DDR_CH0_RESET_A
DDR_CH0_DQ0_B	DDR_CH0_DQ0_B	DDR_CH0_DQ0_B
DDR_CH0_DQ1_B	DDR_CH0_DQ1_B	DDR_CH0_DQ1_B
DDR_CH0_DQ2_B	DDR_CH0_DQ2_B	DDR_CH0_DQ2_B
DDR_CH0_DQ3_B	DDR_CH0_DQ3_B	DDR_CH0_DQ3_B
DDR_CH0_DQ4_B	DDR_CH0_DQ4_B	DDR_CH0_DQ4_B
DDR_CH0_DQ5_B	DDR_CH0_DQ5_B	DDR_CH0_DQ5_B
DDR_CH0_DQ6_B	DDR_CH0_DQ6_B	DDR_CH0_DQ6_B
DDR_CH0_DQ7_B	DDR_CH0_DQ7_B	DDR_CH0_DQ7_B
DDR_CH0_DQ8_B	DDR_CH0_DQ8_B	DDR_CH0_DQ8_B
DDR_CH0_DQ9_B	DDR_CH0_DQ9_B	DDR_CH0_DQ9_B
DDR_CH0_DQ10_B	DDR_CH0_DQ10_B	DDR_CH0_DQ10_B
DDR_CH0_DQ11_B	DDR_CH0_DQ11_B	DDR_CH0_DQ11_B
DDR_CH0_DQ12_B	DDR_CH0_DQ12_B	DDR_CH0_DQ12_B
DDR_CH0_DQ13_B	DDR_CH0_DQ13_B	DDR_CH0_DQ13_B
DDR_CH0_DQ14_B	DDR_CH0_DQ14_B	DDR_CH0_DQ14_B
DDR_CH0_DQ15_B	DDR_CH0_DQ15_B	DDR_CH0_DQ15_B
DDR_CH0_WCK0P_B	/	DDR_CH0_WCK0P_B

DDR 信号	LPDDR4/4x	LPDDR5
DDR_CH0_WCK0N_B	/	DDR_CH0_WCK0N_B
DDR_CH0_WCK1P_B	/	DDR_CH0_WCK1P_B
DDR_CH0_WCK1N_B	/	DDR_CH0_WCK1N_B
DDR_CH0_DQS0P_B	DDR_CH0_DQS0P_B	DDR_CH0_DQS0P_B
DDR_CH0_DQS0N_B	DDR_CH0_DQS0N_B	DDR_CH0_DQS0N_B
DDR_CH0_DQS1P_B	DDR_CH0_DQS1P_B	DDR_CH0_DQS1P_B
DDR_CH0_DQS1N_B	DDR_CH0_DQS1N_B	DDR_CH0_DQS1N_B
DDR_CH0_DM0_B	DDR_CH0_DM0_B	DDR_CH0_DM0_B
DDR_CH0_DM1_B	DDR_CH0_DM1_B	DDR_CH0_DM1_B
DDR_CH0_A0_B	DDR_CH0_A0_B	DDR_CH0_A0_B
DDR_CH0_A1_B	DDR_CH0_A1_B	DDR_CH0_A1_B
DDR_CH0_A2_B	DDR_CH0_A2_B	DDR_CH0_A2_B
DDR_CH0_A3_B	DDR_CH0_A3_B	DDR_CH0_A3_B
DDR_CH0_A4_B	DDR_CH0_A4_B	DDR_CH0_A4_B
DDR_CH0_A5_B	DDR_CH0_A5_B	DDR_CH0_A5_B
DDR_CH0_A6_B	DDR_CH0_A6_B	DDR_CH0_A6_B
DDR_CH0_CK_B	DDR_CH0_CK_B	DDR_CH0_CK_B
DDR_CH0_CKB_B	DDR_CH0_CKB_B	DDR_CH0_CKB_B
DDR_CH0_LP4/4X_CS0_B	DDR_CH0_LP4/4X_CS0_B	/
DDR_CH0_LP4/4X_CS1_B	DDR_CH0_LP4/4X_CS1_B	/
DDR_CH0_LP4/4X_CKE0/LP5_CS0_B	DDR_CH0_LP4/4X_CKE0_B	DDR_CH0_LP5_CS0_B
DDR_CH0_LP4/4X_CKE1/LP5_CS1_B	DDR_CH0_LP4/4X_CKE1_B	DDR_CH0_LP5_CS1_B
DDR_CH0_ZQ_B	DDR_CH0_ZQ_B	DDR_CH0_ZQ_B
DDR_CH0_RESET_B	DDR_CH0_RESET_B	DDR_CH0_RESET_B
DDR_CH1_DQ0_C	DDR_CH1_DQ0_C	DDR_CH1_DQ0_C
DDR_CH1_DQ1_C	DDR_CH1_DQ1_C	DDR_CH1_DQ1_C
DDR_CH1_DQ2_C	DDR_CH1_DQ2_C	DDR_CH1_DQ2_C
DDR_CH1_DQ3_C	DDR_CH1_DQ3_C	DDR_CH1_DQ3_C
DDR_CH1_DQ4_C	DDR_CH1_DQ4_C	DDR_CH1_DQ4_C
DDR_CH1_DQ5_C	DDR_CH1_DQ5_C	DDR_CH1_DQ5_C
DDR_CH1_DQ6_C	DDR_CH1_DQ6_C	DDR_CH1_DQ6_C
DDR_CH1_DQ7_C	DDR_CH1_DQ7_C	DDR_CH1_DQ7_C
DDR_CH1_DQ8_C	DDR_CH1_DQ8_C	DDR_CH1_DQ8_C
DDR_CH1_DQ9_C	DDR_CH1_DQ9_C	DDR_CH1_DQ9_C
DDR_CH1_DQ10_C	DDR_CH1_DQ10_C	DDR_CH1_DQ10_C
DDR_CH1_DQ11_C	DDR_CH1_DQ11_C	DDR_CH1_DQ11_C
DDR_CH1_DQ12_C	DDR_CH1_DQ12_C	DDR_CH1_DQ12_C
DDR_CH1_DQ13_C	DDR_CH1_DQ13_C	DDR_CH1_DQ13_C

DDR 信号	LPDDR4/4x	LPDDR5
DDR_CH1_DQ14_C	DDR_CH1_DQ14_C	DDR_CH1_DQ14_C
DDR_CH1_DQ15_C	DDR_CH1_DQ15_C	DDR_CH1_DQ15_C
DDR_CH1_WCK0P_C	/	DDR_CH1_WCK0P_C
DDR_CH1_WCK0N_C	/	DDR_CH1_WCK0N_C
DDR_CH1_WCK1P_C	/	DDR_CH1_WCK1P_C
DDR_CH1_WCK1N_C	/	DDR_CH1_WCK1N_C
DDR_CH1_DQS0P_C	DDR_CH1_DQS0P_C	DDR_CH1_DQS0P_C
DDR_CH1_DQS0N_C	DDR_CH1_DQS0N_C	DDR_CH1_DQS0N_C
DDR_CH1_DQS1P_C	DDR_CH1_DQS1P_C	DDR_CH1_DQS1P_C
DDR_CH1_DQS1N_C	DDR_CH1_DQS1N_C	DDR_CH1_DQS1N_C
DDR_CH1_DM0_C	DDR_CH1_DM0_C	DDR_CH1_DM0_C
DDR_CH1_DM1_C	DDR_CH1_DM1_C	DDR_CH1_DM1_C
DDR_CH1_A0_C	DDR_CH1_A0_C	DDR_CH1_A0_C
DDR_CH1_A1_C	DDR_CH1_A1_C	DDR_CH1_A1_C
DDR_CH1_A2_C	DDR_CH1_A2_C	DDR_CH1_A2_C
DDR_CH1_A3_C	DDR_CH1_A3_C	DDR_CH1_A3_C
DDR_CH1_A4_C	DDR_CH1_A4_C	DDR_CH1_A4_C
DDR_CH1_A5_C	DDR_CH1_A5_C	DDR_CH1_A5_C
DDR_CH1_A6_C	DDR_CH1_A6_C	DDR_CH1_A6_C
DDR_CH1_CK_C	DDR_CH1_CK_C	DDR_CH1_CK_C
DDR_CH1_CKB_C	DDR_CH1_CKB_C	DDR_CH1_CKB_C
DDR_CH1_LP4/4X_CS0_C	DDR_CH1_LP4/4X_CS0_C	/
DDR_CH1_LP4/4X_CS1_C	DDR_CH1_LP4/4X_CS1_C	/
DDR_CH1_LP4/4X_CKE0/LP5_CS0_C	DDR_CH1_LP4/4X_CKE0_C	DDR_CH1_LP5_CS0_C
DDR_CH1_LP4/4X_CKE1/LP5_CS1_C	DDR_CH1_LP4/4X_CKE1_C	DDR_CH1_LP5_CS1_C
DDR_CH1_ZQ_C	DDR_CH1_ZQ_C	DDR_CH1_ZQ_C
DDR_CH1_RESET_C	DDR_CH1_RESET_C	DDR_CH1_RESET_C
DDR_CH1_DQ0_D	DDR_CH1_DQ0_D	DDR_CH1_DQ0_D
DDR_CH1_DQ1_D	DDR_CH1_DQ1_D	DDR_CH1_DQ1_D
DDR_CH1_DQ2_D	DDR_CH1_DQ2_D	DDR_CH1_DQ2_D
DDR_CH1_DQ3_D	DDR_CH1_DQ3_D	DDR_CH1_DQ3_D
DDR_CH1_DQ4_D	DDR_CH1_DQ4_D	DDR_CH1_DQ4_D
DDR_CH1_DQ5_D	DDR_CH1_DQ5_D	DDR_CH1_DQ5_D
DDR_CH1_DQ6_D	DDR_CH1_DQ6_D	DDR_CH1_DQ6_D
DDR_CH1_DQ7_D	DDR_CH1_DQ7_D	DDR_CH1_DQ7_D
DDR_CH1_DQ8_D	DDR_CH1_DQ8_D	DDR_CH1_DQ8_D
DDR_CH1_DQ9_D	DDR_CH1_DQ9_D	DDR_CH1_DQ9_D
DDR_CH1_DQ10_D	DDR_CH1_DQ10_D	DDR_CH1_DQ10_D

DDR 信号	LPDDR4/4x	LPDDR5
DDR_CH1_DQ11_D	DDR_CH1_DQ11_D	DDR_CH1_DQ11_D
DDR_CH1_DQ12_D	DDR_CH1_DQ12_D	DDR_CH1_DQ12_D
DDR_CH1_DQ13_D	DDR_CH1_DQ13_D	DDR_CH1_DQ13_D
DDR_CH1_DQ14_D	DDR_CH1_DQ14_D	DDR_CH1_DQ14_D
DDR_CH1_DQ15_D	DDR_CH1_DQ15_D	DDR_CH1_DQ15_D
DDR_CH1_WCK0P_D	/	DDR_CH1_WCK0P_D
DDR_CH1_WCK0N_D	/	DDR_CH1_WCK0N_D
DDR_CH1_WCK1P_D	/	DDR_CH1_WCK1P_D
DDR_CH1_WCK1N_D	/	DDR_CH1_WCK1N_D
DDR_CH1_DQS0P_D	DDR_CH1_DQS0P_D	DDR_CH1_DQS0P_D
DDR_CH1_DQS0N_D	DDR_CH1_DQS0N_D	DDR_CH1_DQS0N_D
DDR_CH1_DQS1P_D	DDR_CH1_DQS1P_D	DDR_CH1_DQS1P_D
DDR_CH1_DQS1N_D	DDR_CH1_DQS1N_D	DDR_CH1_DQS1N_D
DDR_CH1_DM0_D	DDR_CH1_DM0_D	DDR_CH1_DM0_D
DDR_CH1_DM1_D	DDR_CH1_DM1_D	DDR_CH1_DM1_D
DDR_CH1_A0_D	DDR_CH1_A0_D	DDR_CH1_A0_D
DDR_CH1_A1_D	DDR_CH1_A1_D	DDR_CH1_A1_D
DDR_CH1_A2_D	DDR_CH1_A2_D	DDR_CH1_A2_D
DDR_CH1_A3_D	DDR_CH1_A3_D	DDR_CH1_A3_D
DDR_CH1_A4_D	DDR_CH1_A4_D	DDR_CH1_A4_D
DDR_CH1_A5_D	DDR_CH1_A5_D	DDR_CH1_A5_D
DDR_CH1_A6_D	DDR_CH1_A6_D	DDR_CH1_A6_D
DDR_CH1_CK_D	DDR_CH1_CK_D	DDR_CH1_CK_D
DDR_CH1_CKB_D	DDR_CH1_CKB_D	DDR_CH1_CKB_D
DDR_CH1_LP4/4X_CS0_D	DDR_CH1_LP4/4X_CS0_D	/
DDR_CH1_LP4/4X_CS1_D	DDR_CH1_LP4/4X_CS1_D	/
DDR_CH1_LP4/4X_CKE0/LP5_CS0_D	DDR_CH1_LP4/4X_CKE0_D	DDR_CH1_LP5_CS0_D
DDR_CH1_LP4/4X_CKE1/LP5_CS1_D	DDR_CH1_LP4/4X_CKE1_D	DDR_CH1_LP5_CS1_D
DDR_CH1_ZQ_D	DDR_CH1_ZQ_D	DDR_CH1_ZQ_D
DDR_CH1_RESET_D	DDR_CH1_RESET_D	DDR_CH1_RESET_D

LPDDR4/LPDDR4x/LPDDR5 时：

- DQ, CA 顺序全部不支持对调，必须按参考图上分配。

DDR PHY ZQ 必须接 240ohm 1% 到 VDDQ_DDR_S0 电源上。

内置 Retention 功能，DDR 进入自刷新期间，DDR 控制器端 DDR_CH_VDDQ_CKE 的电源脚需要保持供电，其它电源可关闭；DDR 颗粒的 VDDQ 电源在 tCKELCK 关闭 5ns 后也可以关闭，其它电源不能关。

LPDDR5 引入了 WCK 时钟；LPDDR5 有两个工作时钟，一个是 CK_t 和 CK_c，用于控制命令、地址的操作；一个是 WCK_t 和 WCK_c，WCK 可以是 CK 频率的 2 倍或 4 倍运行；当 Write 时，WCK 是时

钟也是 Write data strobe; 当 Read 时, WCK 是 DQ 和 RDQS 的时钟, RDQS 是 Read data strobe 信号。

RK3588S 支持 DVFS Mode(运行 LPDDR5 时), DVFS 模式支持在 VDD2L(0.9V)和 VDD2H(1.05V)两个电压之间进行切换, 即高频运行时采用 VDD2H 电压工作, 低频运行时采用 VDD2L 电压工作。

2.1.7.3 DDR 颗粒外围电路设计

- LPDDR4/4x/LPDDR5 的颗粒 ZQ 必须接 240ohm 1% 到 VDDQ_DDR_S0 电源上;
- LPDDR4/4x 的颗粒 ODT_CA 必须接 10Kohm 5% 到 VDD2_DDR_S3 电源上。

2.1.7.4 DDR 拓扑结构与匹配方式设计

- LPDDR4/4x 2 颗 32bit 时, DQ、CA 采用点对点拓扑结构

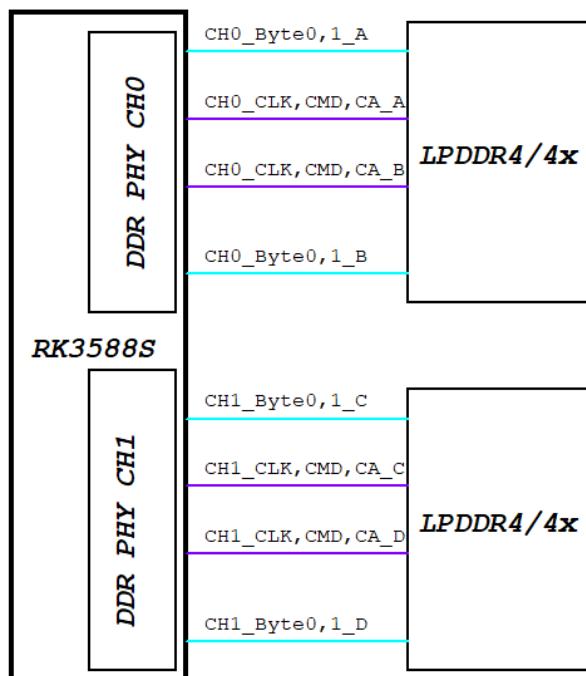


图 2-12 LPDDR4 点对点拓扑结构

匹配方式: LPDDR4 颗粒 DQ、CLK、CMD、CA 都支持 ODT, 全部点对点连接即可。

- LPDDR5 2 颗 32bit 时, DQ、CA 采用点对点拓扑结构

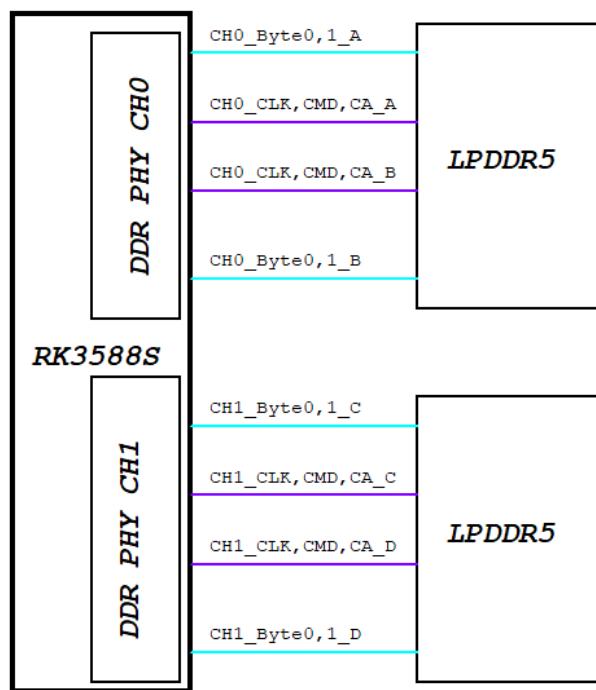


图 2-13 LPDDR5 点对点拓扑结构

匹配方式：LPDDR5 颗粒 DQ、CLK、CMD、CA 都支持 ODT，全部点对点连接即可。

2.1.7.5 DDR 电源设计和上电时序要求

RK3588S DDR PHY 供电电源汇总如下：

DDR PHY Power		LPDDR4/4x	LPDDR5
DDR PLL Power	DDR_CH0/1_PLL_DVDD	0.75v-0.85v	0.75v-0.85v
	DDR_CH0/1_PLL_AVDD1V8	1.8v	1.8v
MEMORY INTERFACE POWER	DDR_CH0/1_VDD_MIF	0.75v-0.85v	0.75v-0.85v
DIGITAL CORE POWER	DDR_CH0/1_VDD	0.75v-0.85v	0.75v-0.85v
DDR IO POWER	DDR_CH0/1_VDDQ	0.6v	0.5v
CK Power	DDR_CH0/1_VDDQ_CK	0.6v	0.5v
LP4/4X_CKE&LP5_CS & Reset Power	DDR_CH0/1_VDDQ_CKE	1.1v	1.05v
Note: 以上表格中电压值均为 Typ 值			

LPDDR4/4x/LPDDR5 颗粒供电电源汇总如下：

DDR 颗粒 Power		LPDDR4	LPDDR4x	LPDDR5
Core Power1	VDD1	1.8v	1.8v	1.8v
Core Power2&CA Power	VDD2/VDD2H	VDD2=1.1v	VDD2=1.1v	VDD2H=1.05v
	VDD2L	/	/	0.9v
I/O Buffer Power	VDDQ	1.1v	0.6v	0.5v
Note: 以上表格中电压值均为 Typ 值				

采用双 PMIC 电源方案时供电电路注意点：

- PMIC 型号为 RK806-2，务必注意，根据实际使用 DRAM 颗粒，同步修改 PMIC2 RK806-2 FB9 (pin66) 的分压电阻阻值，使得 VDDQ_DDR_S0 输出电压与颗粒相匹配。

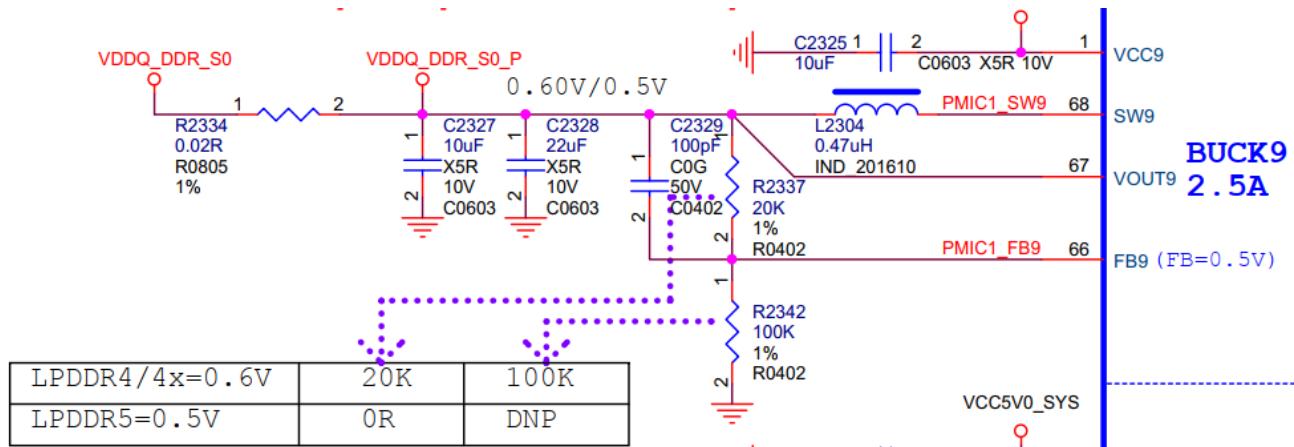


图 2-14 RK806-2 BUCK9 FB 参数调整

- PMIC 型号为 RK806-2，务必注意，根据实际使用 DRAM 颗粒，同步修改 PMIC1 RK806-2 FB9 (pin66) 的分压电阻阻值，使得 VDD2_DDR_S3 输出电压与颗粒相匹配。

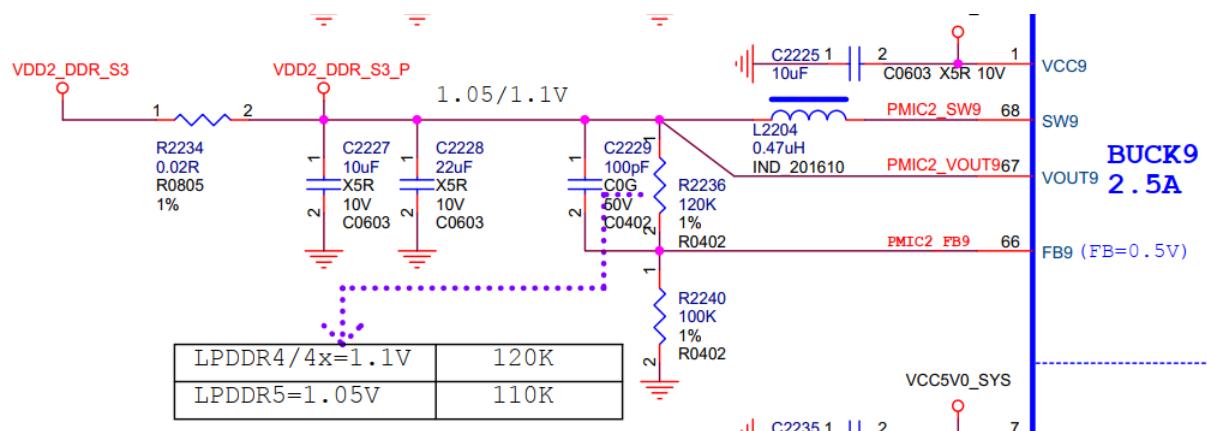


图 2-15 RK806-2 BUCK9 FB 参数调整

采用单 PMIC 电源方案时供电电路注意点：

- PMIC 型号为 RK806-1，务必注意，根据实际使用 DRAM 颗粒，同步修改 PMIC RK806-1 FB9 (pin66) 的分压电阻阻值，使得 VDDQ_DDR_S0 输出电压与颗粒相匹配。

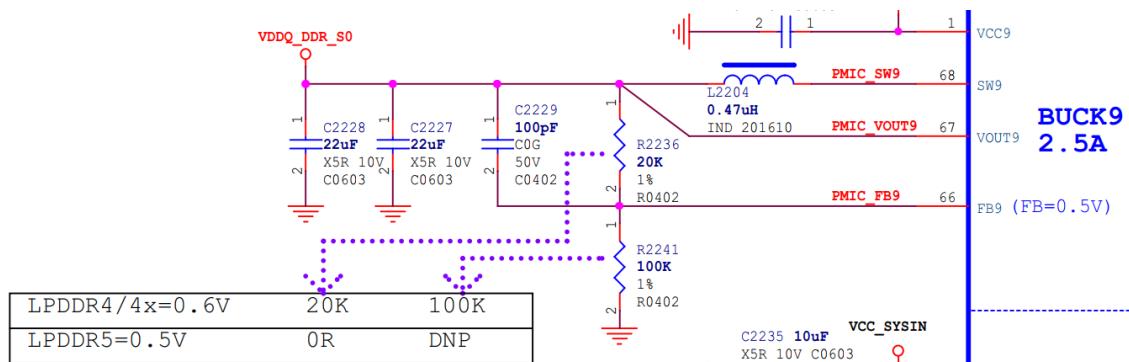


图 2-16 RK806-1 BUCK9 FB 参数调整

- PMIC 型号为 RK806-1，务必注意，根据实际使用 DRAM 颗粒，同步修改 PMIC RK806-1 FB6 (pin31) 的分压电阻阻值，使得 VDD2_DDR_S3 输出电压与颗粒相匹配。

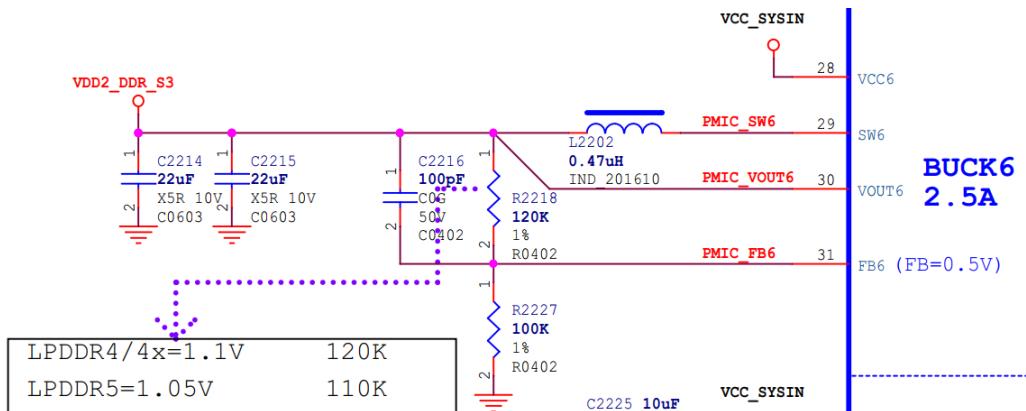


图 2-17 RK806-1 BUCK6 FB 参数调整

RK3588S 参考模板里提供了 LPDDR4 和 LPDDR4x 兼容设计：

- 《RK3588S_Template_LP4XD200P232SD10H2_30X30_2133MHz_H1R0_V10_20220106》；
- 《RK3588S_Template_LP4XD200P232SD10H2_30X30_2133MHz_H1R6_V10_20220106》。

需要注意，必须根据实际物料选择相应的电路。

- 贴 LPDDR4 颗粒时，只需要贴下图 R3809 电阻，R3808 不贴；
- 贴 LPDDR4x 颗粒时，只需要贴下图 R3808 电阻，R3809 不贴。

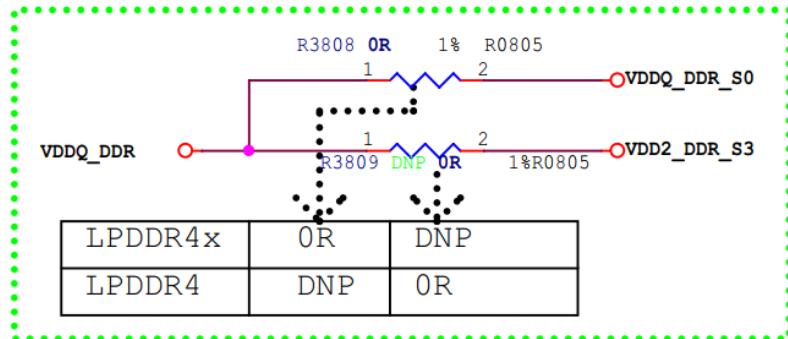


图 2-18 LPDDR4/LPDDR4x 兼容设计电源选择

各类型的 DRAM 上电时序要求，请参考各 JEDEC 标准。

- LPDDR4/4x SDRAM 的上电时序如下图所示：

1. While applying power (after Ta), RESET_n is recommended to be LOW ($\leq 0.2 \times V_{DD2}$) and all other inputs must be between VILmin and VIHmax. The device outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 5. V_{DD1} must ramp at the same time or earlier than V_{DD2} . V_{DD2} must ramp at the same time or earlier than V_{DDQ} .

Table 5 — Voltage Ramp Conditions

After	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2} V_{DD2} must be greater than $V_{DDQ} - 200$ mV

NOTE 1 Ta is the point when any power supply first reaches 300 mV.

NOTE 2 Voltage ramp conditions in Table 5 apply between Ta and power-off (controlled or uncontrolled).

NOTE 3 Tb is the point at which all supply and reference voltages are within their defined ranges.

NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.

NOTE 5 The voltage difference between any of V_{SS} and V_{SSQ} pins must not exceed 100 mV.

图 2-19 LPDDR4/4x SDRAM 上电时序

- LPDDR5 SDRAM 的上电时序如下图所示：

- 1) While applying power (after Ta), RESET_n is recommended to be LOW ($\leq 0.2 \times V_{DD2H}$) and all other inputs shall be between VILmin and VIHmax. The SDRAM outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 17. V_{DD1} must ramp at the same time or earlier than V_{DD2H} . V_{DD2H} must ramp at the same time or earlier than V_{DD2L} . V_{DD2L} must ramp at the same time or earlier than V_{DDQ} .

Table 17 — Voltage Ramp Conditions

After	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2H}
	V_{DD2H} must be equal to or greater than V_{DD2L}
	V_{DD2L} must be greater than $V_{DDQ}-200mV$

NOTE 1 Ta is the point when any power supply first reaches 300mV.

NOTE 2 Voltage ramp conditions in Table 17 apply between Ta and power-off (controlled or uncontrolled).

NOTE 3 Tb is the point at which all supply voltages are within their defined ranges.

NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.

图 2-20 LPDDR5 SDRAM 上电时序

2.1.7.6 DDR 支持的型号列表

RK3588S DDR 颗粒支持列表请参考瑞芯微电子《Rockchip_Support_List_DDR》文档，该文档可在瑞芯微电子的 redmine 平台下载：

<https://redmine.rock-chips.com/projects/fae/documents>

2.1.8 eMMC 电路

2.1.8.1 eMMC 控制器介绍

RK3588S eMMC 控制器有如下特点：

- 兼容 5.1、5.0、4.51、4.41 规范；
- 支持 1bit、4bit、8bit 三种数据总线宽度；
- 支持 HS400 模式，向下兼容 HS200、DDR50 等模式；
- 支持 CMD Queue。

2.1.8.2 eMMC 电路设计建议

RK3588S eMMC 接口和 FSPI Flash (一个复用口 FSPI_M0) 接口复用，在 eMMC 接口设计时，eMMC 信号接法请按参考原理图，包含各路电源去耦电容。

使用 eMMC 时，引导代码放置在 eMMC 里。

2.1.8.3 eMMC 拓扑结构与匹配方式设计

eMMC 连接示意图：

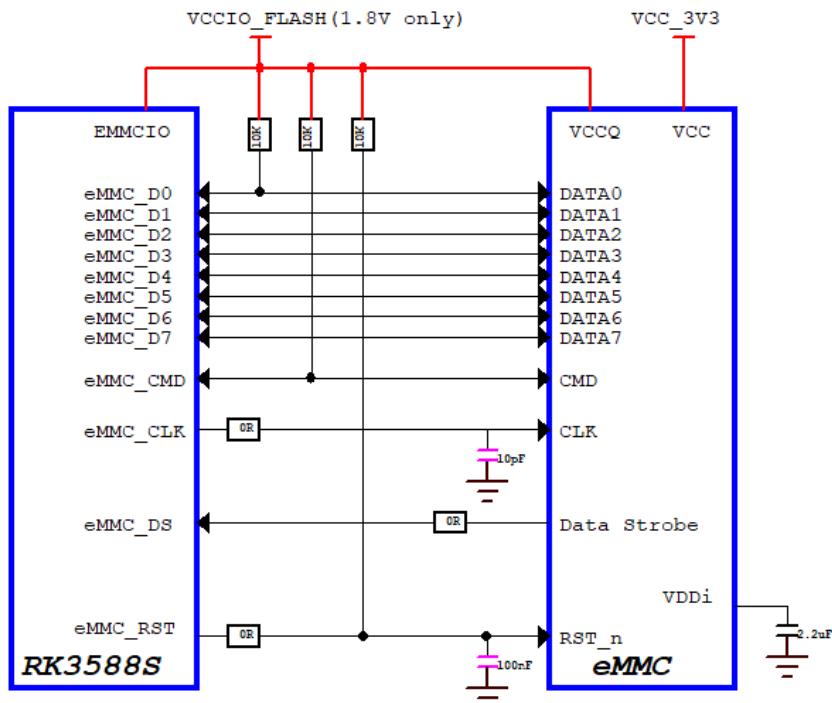


图 2-21 eMMC 连接示意图

eMMC 接口上下拉和匹配设计推荐如表 2-6 所示。

表 2-5 RK3588S eMMC 接口设计

信号	芯片内部上下拉	连接方式	描述 (芯片端)
eMMC_D[7: 0]	上拉	直连, D0 外部需要接上拉电阻, 阻值推荐 10K ohm, 其它 Data 使用 RK3588S 芯片内部的上拉电阻	eMMC 数据发送/接收
eMMC_CLK	下拉	在 RK3588S 端串联 0ohm 电阻	eMMC 时钟发送
eMMC_CMD	上拉	直连, 外部需要接上拉电阻, 阻值推荐 10K ohm	eMMC 命令发送/接收
eMMC_DATA_Strobe	下拉	在 eMMC 端串联 0ohm 电阻, 并需要预留 47K ohm 下拉电阻	eMMC 数据和命令接收参考 Strobe

2.1.8.4 eMMC 上电时序要求

RK3588S 芯片 eMMC 接口属于 EMMCIO 电源域，只有一组供电，并无时序要求。

eMMC 颗粒有两组电源，上电时序请参考 JEDEC 标准：

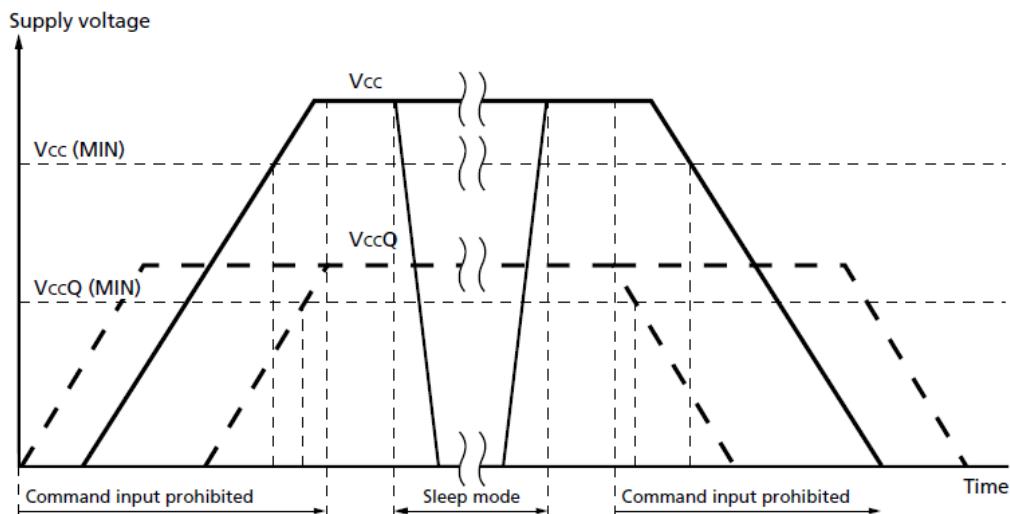


图 2-22 eMMC 颗粒上下电时序

2.1.8.5 eMMC 支持的型号列表

RK3588S eMMC 颗粒支持列表请参考瑞芯微电子《RKeMMCSupportList》文档，该文档可在瑞芯微电子的 redmine 平台上下载：

<https://redmine.rock-chips.com/projects/fae/documents>

2.1.9 FSPI Flash 电路

2.1.9.1 FSPI Flash（支持 Boot）接口介绍

FSPI 是一种灵活的串行接口控制器，RK3588S 芯片中有 1 个 FSPI 控制器，可用来连接 FSPI 设备。

RK3588S FSPI 控制器有如下特点：

- 支持串行 NOR Flash，串行 Nand Flash；
- 支持 SDR 模式；
- 支持 1 线，2 线以及 4 线模式。



注意：

RK3588S FSPI 接口用于接 Boot 的 SPI Flash，不建议用于接其它功能的 SPI FLASH

2.1.9.2 FSPI Flash 电路设计建议

RK3588S FSPI Flash 接口有两个复用接口（后缀为_M0、后缀为_M2，只能同时使用一个），两个复用接口分布在三个电源域中，分别在 EMMCIO（仅支持 1.8V）、VCCIO5（支持 1.8V/3.3V）三个电源域中。

在 FSPI Flash 接口设计时，FSPI Flash 信号接法请按参考原理图，包含各路电源去耦电容。

使用 FSPI Flash 时，引导代码放置在 FSPI Flash 里，务必注意 RK3588S 对应电源域的 IO 驱动电压模式配置和实际供电电压是否匹配。

2.1.9.3 FSPI Flash 拓扑结构与匹配方式设计

FSPI Flash 连接示意图：

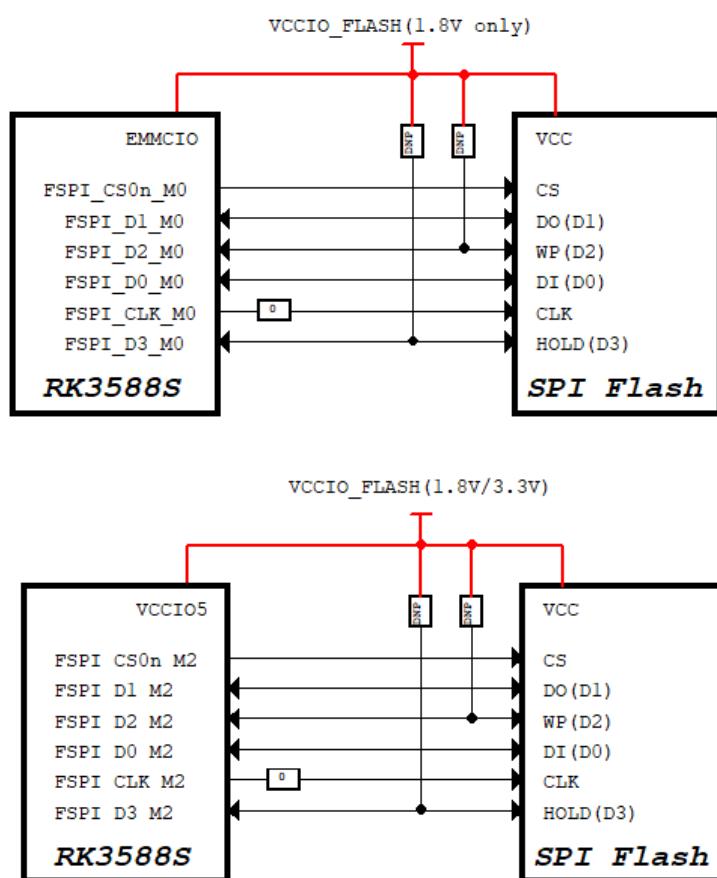


图 2-23 FSPI Flash 连接示意图

FSPI 接口上下拉和匹配设计推荐如下表所示：

表 2-6 RK3588S FSPI 接口设计

信号	芯片内部上下拉	连接方式	描述（芯片端）
FSPI_D[3: 0]	D2 下拉 D0/D1/D3 上拉	直连；D2, D3 外部需要预留上拉电阻， 预留阻值推荐 10K ohm	FSPI 数据发送/接收
FSPI_CLK	下拉	在 RK3588S 端串联 0ohm 电阻	FSPI 时钟发送
FSPI_CS0n	上拉	直连	FSPI 片选信号

2.1.9.4 FSPI 上电时序要求

RK3588S 芯片 FSPI Flash 接口只有一组供电，并无时序要求。

SPI Flash 只有一路电源，电源必须和所选的 FSPI 接口对应的电源域电源同一个。

2.1.9.5 SPI Flash 支持的型号列表

RK3588S SPI Flash 颗粒支持列表请参考瑞芯微电子《RK_SpiNor_and_SLC_Nand_SupportList》文档，该文档可在瑞芯微电子的 redmine 平台上下载：

<https://redmine.rock-chips.com/projects/fae/documents>

2.1.10 GPIO 电路

在 RK3588S 中，有只支持 1.8V，和支持 1.8V/3.3V 两种电压可配置，共两种类型的 GPIO。

2.1.10.1 GPIO Pin 名说明

比如下图功能 GMAC1_PPSCLK、UART7_RX_M1、SPI1_CLK_M1 等复用在 GPIO3_C1 上面，分配时只能选择其中一个功能使用。



- 除了引导相关的 GPIO，剩下 IO 复位默认为输入；
- GPIOx_xx_u 其中_u 表示这个 IO 复位默认状态为内部上拉；
- GPIOx_xx_d 其中_d 表示这个 IO 复位默认状态为内部下拉；
- GPIOx_xx_z 其中_z 表示这个 IO 复位默认状态为高阻；
- 各功能 name 后缀有加_M0 或 M1 或_M2 代表同一个功能复用到不同 IO 上，同时只能选择其中一个，比如选择 UART7 功能时，必须选择 UART7_TX_M0 和 UART7_RX_M0 组合，不支持 UART7_TX_M0 和 UART7_RX_M1 组合，对所有功能有不同 IOMUX 的都是这样的约束。

2.1.10.2 GPIO 驱动能力

RK3588S 中，GPIO 提供多档驱动强度可调，分别为大部分 Level 0-5 以及部分 GPIO 是 Level 0-3 的调节档位，具体请参考《RK3588S_PinOut》文档。另外根据 GPIO 的类型不同，初始默认驱动强度也不同，请参考芯片 TRM 进行配置修改，也可以参考《RK3588S_PinOut》文档中表 5 中的“SupportDriveStrength”和“DefaultIO DriveStrength”列。

2.1.10.3 GPIO 电源

GPIO 电源域的电源脚描述如下：

表 2-7 RK3588S GPIO 电源脚描述

电源域	GPIO 类型	管脚名	描述
PMUIO1	1.8V	PMUIO1	1.8V Only IO supply for this GPIO domain (group).
PMUIO2	1.8V/3.3V	PMUIO2	1.8V or 3.3V IO supply for this GPIO domain (group).
EMMCIO	1.8V	EMMCIO	1.8V Only IO supply for this GPIO domain (group).
VCCIO1	1.8V	VCCIO1	1.8V Only IO supply for this GPIO domain (group).
VCCIO2	1.8V/3.3V	VCCIO2	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO4	1.8V/3.3V	VCCIO4	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO5	1.8V/3.3V	VCCIO5	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO6	1.8V/3.3V	VCCIO6	1.8V or 3.3V IO supply for this GPIO domain (group).

其中 PMUIO1、EMMCIO、VCCIO1 为固定电平电源域，不可进行配置。

PMUIO2、VCCIO2, VCCIO[4: 6]电源域 RK3588S 芯片可以自动识别硬件配置的电压，不需要软件根据硬件供电电压进行配置。

如：PMUIO2 配置成 1.8V, PMUIO2_1V8=1.8V, PMUIO2=1.8V;若配置成 3.3V, PMUIO2_1V8=1.8V, PMUIO2=3.3V (VCCIO2, VCCIO[4: 6]接法与 PMUIO2 一样)。另外要注意这两个电源脚必须同时为 S0 或者 S3 的电源，不能一个为 S0，一个为 S3 (S0: 待机时关掉；S3 待机时需要打开)。

注意事项：

- 另外还要注意电源域的 IO 电平要与对接外设芯片/器件的 IO 电平保持一致；
- 各电源域的供电管脚需就近放置至少 1 个 100nF 去耦电容，详细设计见参考原理图，不得随意删除；
- 若一个电源域里的所有 IO 都不使用，那么这个电源域的供电电源可以不供电，该脚悬空即可。
(TYPEC0 除外)

2.2 电源设计

2.2.1 RK3588S 电源介绍

2.2.1.1 RK3588S 芯片电源需求

表 2-8 RK3588S 芯片电源需求表

模块	电源管脚	描述
PLL	PLL_DVDD0V75、PLL_AVDD1V8	系统 PLL 电源
DDR PLL	DDR_CH0_PLL_DVDD、DDR_CH0_PLL_AVDD1V8 DDR_CH1_PLL_DVDD、DDR_CH1_PLL_AVDD1V8	DDR PLL 电源
DDR_MIF	DDR_CH0_VDD_MIF、DDR_CH1_VDD_MIF	DDR memory controller 电源
DDR_VDD	DDR_CH0_VDD、DDR_CH1_VDD	DDR 的数字 CORE 电源
DDR_VDDQ_CK	DDR_CH0_VDDQ_CK、DDR_CH1_VDDQ_CK	LPDDR4/4X 和 LPDDR5 的 CK 电源
DDR_VDDQ_CKE	DDR_CH0_VDDQ_CKE、DDR_CH1_VDDQ_CKE	LPDDR4/4X_CKE 和 LPDDR5_CS &RESET 的电源
DDR_VDDQ	DDR_CH0_VDDQ、DDR_CH1_VDDQ	DDR IO 电源（除了 ck\cke\reset 电源外）
CPU_BIG0	VDD_CPU_BIG0	A76_0, A76_1 电源
CPU_BIG0_MEM	VDD_CPU_BIG0_MEM	CPU_BIG0 的 Memory 相关电源
CPU_BIG1	VDD_CPU_BIG1	A76_2, A76_3 电源
CPU_BIG1_MEM	VDD_CPU_BIG1_MEM	CPU_BIG1 的 Memory 相关电源
DSU\LIT_CPU	VDD_CPU_LIT	DSU 单元、CPU_LIT(A55)、L3 cache 电源
CPU_LIT_MEM	VDD_CPU_LIT_MEM	DSU 单元、CPU_LIT(A55)、L3 cache 的 Memmory 相关电源
GPU	VDD_GPU	GPU 电源
CPU_GPU_MEM	VDD_GPU_MEM	VDD_GPU 的 Memory 相关电源
NPU	VDD_NPU	NPU 电源
CPU_NPU_MEM	VDD_NPU_MEM	VDD_NPU 的 Memory 相关电源
LOGIC	VDD_LOG	逻辑电源
VDENC	VDD_VDENC	DECODE/ENCODE 的电源
VDENC_MEM	VDD_VDENC_MEM	DECODE/ENCODE 的 Memory 电源
PMU_0V75	PMU_0V75	PMU 逻辑电源
OSC	OSC_1V8	晶振电路电源
IO	PMUIO1_1V8、PMUIO2_1V8 PMUIO2、EMMCIO_1V8、 VCCIO2_1V8 VCCIO2、VCCIO1_1V8、 VCCIO4_1V8 VCCIO4、VCCIO5_1V8 VCCIO5、	各个 GPIO 的电源

模块	电源管脚	描述
	VCCIO6_1V8\VCCIO6	
SARADC	SARADC_AVDD_1V8	SAR ADC 和 TSADC 的电源
OTP	OTP_VDDOTP_0V75	OTP 电源
USB2.0 PHY	USB20_DVDD_0V75、USB20_AVDD_1V8、 USB20_AVDD_3V3	USB2.0 HOST 和 OTG2.0 PHY 电源
USB3.0 PHY	TYPEC0_DP0_VDD_0V85、TYPEC0_DP0_VDDA_0V85、 TYPEC0_DP0_VDDH_1V8	USB3.0 OTG 的电源
PCIe2.0 PHY	PCIE20_SATA30_0_AVDD_0V85、 PCIE20_SATA30_0_AVDD_1V8、 PCIE20_SATA30_USB30_2_AVDD_0V85、 PCIE20_SATA30_USB30_2_AVDD_1V8	PCIE20/SATA30/USB30 COMBO PHY 相关电源
MIPI D/C Combo PHY	MIPI_D/C_PHY0_VDD、 MIPI_D/C_PHY0_VDD_1V2、 MIPI_D/C_PHY0_VDD_1V8、 MIPI_D/C_PHY1_VDD、 MIPI_D/C_PHY1_VDD_1V2、 MIPI_D/C_PHY1_VDD_1V8	MIPI D/C Combo PHY 的相关电 源
MIPI CSI PHY	MIPI_CSI0_AVDD0V75、 MIPI_CSI0_AVCC1V8	MIPI DPHY CSI 电源
HDMI/eDP TX PHY	HDMI/EDP_TX0_VDD_0V75、 HDMI/EDP_TX0_AVDD_0V75、 HDMI/EDP_TX0_VDD_IO_1V8、 HDMI/EDP_TX0_VDD_CMN_1V8	HDMI2.1/eDP1.3 Combo phy 电 源

2.2.1.2 RK3588S 芯片上电时序要求

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求，待最后一个电压上电稳定后，RESETn 至少保证 1mS 才能释放（如果 RESETn 还有给其它外设复位，还需满足外设要求，一般做法是 5ms-200ms 内释放）。

参考图推荐的典型上电顺序如下：

- 数字电源：

PMU_0V75/PLL_DVDD_0V75 → VDD_LOGIC →
VDD_BIG0/1/VDD_GPU/VDD_NPU/VDD_VDENC →
VDD_BIG0/1_MEM/VDD_GPU_MEM/VDD_NPU_MEM/VDD_VDENC_MEM

- SARADC：

VDD_LOGIC → SARADC_AVDD_1V8

- OTP：

VDD_LOGIC → OTP_VDDOTP_0V75

- USB PHY：

USB20_DVDD_0V75 → USB20_AVDD_1V8 → USB20_AVDD_3V3

TYPEC_DP_VDD_0V85 /TYPEC_DP_VDDA_0V85 → TYPEC_DP_VDDH_1V8

- MIPI D/C PHY:

MIPI_D/C_PHY_VDD → MIPI_D/C_PHY_VDD_1V8 → MIPI_D/C_PHY_VDD_1V2

- MIPI CSI PHY:

MIPI_CSI_AVDD0V75 → MIPI_CSI_AVCC1V8

- HDMI/eDP TX Combo PHY:

HDMI/EDP_TX_VDD_0V75 / HDMI/EDP_TX_AVDD_0V75 → HDMI/EDP_TX_VDD_IO_1V8 /

HDMI/EDP_TX_VDD_CMN_1V8

- PCIE20/SATA30 Combo PHY:

PCIE20_SATA30_AVDD_0V85 → PCIE20_SATA30_AVDD_1V8

PCIE20/SATA30/USB30 Combo PHY

PCIE20_SATA30_USB30_AVDD_0V85 → PCIE20_SATA30_USB30_AVDD_1V8

- DDR PHY:

DDR_CH_VDD/DDR_VDD_MIF → DDR_CH_VDDQ_CKE → DDR_VDDQ

按照参考原理图分配的电源网络名，总体推荐上电时序如下：

VDD_0V75_S3、AVDD_0V75_S0、VDD_0V75_PLL_S0、VDD_0V75_HDMI_EDP_S0、
 VDD_0V85_S0、AVDD_V085_S0、VDD_DDR_S0、VDD_DDR_PLL_S0、VDD_LOGIC →
 VCC_1V8_S0、AVDD_1V8_S0、VCC_1V8_S3、VDD1_1V8_DDR_S3、VDD_1V8_PLL_S0、
 AVDD1V8_DDR_PLL_S0 → VDD2_DDR_S3、AVDD_1V2_S0 → VDD2L_0V9_DDR_S3 → VCC_3V3_S0、
 VCC_3V3_S3、VDDQ_DDR_S0 → VCCIO_SD_S0、VCC_3V3_SD_S0 → VDD_CPU_LIT_S0、
 VDD_CPU_LITMEM、VDD_CPU_BIG0_S0、VDD_CPU_BIG0_MEM_S0、VDD_CPU_BIG1_S0、
 VDD_CPU_BIG1_MEM_S0 → RESETn

2.2.1.3 RK3588S 芯片下电时序要求

下电过程，RESETn 须先拉低动作，然后各路电源随着下电。

2.2.2 电源设计建议

2.2.2.1 上电和待机电路方案

RK3588S 第一次上电各模块供电情况如下表：

表 2-9 RK3588S 第一次上电各模块供电要求表

模块	电源管脚	第一次上电供电要求
DDR PLL	DDR_CH0/1_PLL_DVDD, DDR_CH0/1_PLL_AVDD1V8	必须供电
SYSPPLL	PLL_DVDD0V75, PLL_AVDD1V8	必须供电
CPU	VDD_CPU_BIG0, VDD_CPU_BIG1, VDD_CPU_BIG0_MEM,	必须供电

模块	电源管脚	第一次上电供电要求
	VDD_CPU_BIG1_MEM	
GPU	VDD_GPU, VDD_GPU_MEM	必须供电
NPU	VDD_NPU, VDD_NPU_MEM	必须供电
VDENC	VDD_VDENC, VDD_VDENC_MEM	必须供电
LIT	VDD_CPU_LIT, VDD_CPU_LIT_MEM	必须供电
Logic	VDD_LOGIC	必须供电
PMU Logic	PMU_0V75	必须供电
DDR	DDR_CH0/1_VDD、DDR_CH0/1_VDD_MIF、 DDR_CH0/1_VDDQ、DDR_CH0/1_VDDQ_CK、 DDR_CH0/1_VDDQ_CKE	必须供电
GPIO	PMUIO1、PMUIO2	必须供电
GPIO	EMMCIO_1V8	必须供电
GPIO	VCCIO2	必须供电
GPIO	VCCIO1、VCCIO4、VCCIO5、VCCIO6	可以不供电
SARADC	SARADC_AVDD_1V8	必须供电
OTP	OTP_VDDOTP_0V75	必须供电
USB3.0 PHY	TYPEC0_DP0_VDD_0V85、 TYPEC0_DP0_VDDA_0V85、 TYPEC0_DP0_VDDH_1V8	必须供电
USB2.0 PHY	USB20_DVDD_0V75、USB20_AVDD_1V8、 USB20_AVDD_3V3	必须供电
PCIe2.0/SATA3.0 Combo PHY	PCIE20_SATA30_0_AVDD_0V85、 PCIE20_SATA30_0_AVDD_1V8	可以不供电
PCIe2.0/SATA3.0/USB3.0 Combo PHY	PCIE20_SATA30_USB30_2_AVDD_0V85、 PCIE20_SATA30_USB30_2_AVDD_1V8	可以不供电
MIPI CSI RX PHY	MIPI_CSI0_AVDD0V75、 MIPI_CSI0_AVCC1V8	可以不供电
MIPI D/C Combo PHY	MIPI_D/C_PHY0/1_VDD、 MIPI_D/C_PHY0/1_VDD_1V2、 MIPI_D/C_PHY0/1_VDD_1V8	可以不供电
HDMI/EDP Combo PHY	HDMI/EDP_TX0_VDD_0V7、 HDMI/EDP_TX0_AVDD_0V75、 HDMI/EDP_TX0_VDD_IO_1V8、 HDMI/EDP_TX0_VDD_CMN_1V8	可以不供电

RK3588S 芯片可支持低功耗待机方案，进入待机模式时，供电和断电情况如下表：

表 2-10 RK3588S 待机电源供电要求表

模块	电源管脚	待机供电要求
DDR PLL	DDR_CH0/1_PLL_DVDD, DDR_CH0/1_PLL_AVDD1V8	可以不供电
SYSPLL	PLL_DVDD0V75, PLL_AVDD1V8	可以不供电
CPU	VDD_CPU_BIG0, VDD_CPU_BIG1	可以不供电
GPU	VDD_GPU	可以不供电
NPU	VDD_NPU	可以不供电
VDENC	VDD_VDENC	可以不供电
Logic	VDD_LOGIC	可以不供电
PMU Logic	PMU_0V75	必须供电
DDR	DDR_CH0/1_VDDQ_CKE	必须供电
GPIO	PMUIO1、PMUIO2	必须供电
GPIO	EMMCIO_1V8	可以不供电
GPIO	VCCIO2	可以不供电
GPIO	VCCIO1、VCCIO4、VCCIO5、VCCIO6	可以不供电
SARADC	SARADC_AVDD_1V8	可以不供电
OTP	OTP_VDDOTP_0V75	可以不供电
USB3.0 PHY	TYPEC0_DP0_VDD_0V85、 TYPEC0_DP0_VDDA_0V85、 TYPEC0_DP0_VDDH_1V8	可以不供电
USB2.0 PHY	USB20_DVDD_0V75、USB20_AVDD_1V8、 USB20_AVDD_3V3	可以不供电
PCIe2.0/SATA3.0 Combo PHY	PCIE20_SATA30_0_AVDD_0V85、 PCIE20_SATA30_0_AVDD_1V8	可以不供电
PCIe2.0/SATA3.0/USB3.0 Combo PHY	PCIE20_SATA30_USB30_2_AVDD_0V85、 PCIE20_SATA30_USB30_2_AVDD_1V8	可以不供电
MIPI CSI RX PHY	MIPI_CSI0_AVDD0V75、 MIPI_CSI0_AVCC1V8	可以不供电
MIPI D/C Combo PHY	MIPI_D/C_PHY0/1_VDD、 MIPI_D/C_PHY0/1_VDD_1V2、 MIPI_D/C_PHY0/1_VDD_1V8	可以不供电
HDMI/EDP Combo PHY	HDMI/EDP_TX0_VDD_0V75 HDMI/EDP_TX0_AVDD_0V75、 HDMI/EDP_TX0_VDD_IO_1V8、 HDMI/EDP_TX0_VDD_CMN_1V8	可以不供电

这个待机方案，只能支持 PMUIO1、PMUIO2 的 IO 中断唤醒。

在待机状态下至少应保留如下几组电源不关断（如下为电源管脚名）：

- DDR_CH0/1_VDDQ_CKE：为 DDR 自刷新提供电源；

- PMU_0V75: 为 PMUIO1 & PMUIO2 电源域的逻辑提供电源;
- PMUIO1_1V8: 为 PMU1 工作提供电源。为 PMUIO1 电源域维持输出状态及中断响应提供 IO 电源;
- PMUIO2_1V8: 为 PMUIO2 电源域维持输出状态及中断响应提供 IO 电源。

待机下, 要支持 USB HID 设备唤醒, 那么需要 USB PHY 和 VDD_LOG 电源不能断电, 必须保留供电; 要支持 VCCIO1、VCCIO2、VCCIO4、VCCIO5、VCCIO6、EMMCIO_1V8 里的 IO 中断唤醒, 那么需要 VCCIO1、VCCIO2、VCCIO4、VCCIO5、VCCIO6、EMMCIO_1V8 电源和 LOGIC 电源不能断电, 必须保留供电。

2.2.2.2 PLL 电源

RK3588S 芯片 PLL 分布两部分, 分配如下:

表 2-11 RK3588S 内部 PLL 介绍

	电源	待机状态
PMU 单元内	PLL_DVDD0V75、PLL_AVDD1V8	可关断电源
DDR PLL	DDR_CH0_PLL_DVDD、 DDR_CH0_PLL_AVDD1V8	可关断电源

- PLL_DVDD0V75: 峰值电流 20mA
- PLL_AVDD1V8: 峰值电流 40mA
- DDR_CH0_PLL_DVDD: 峰值电流 20mA
- DDR_CH0_PLL_AVDD1V8: 峰值电流 30mA

电源上建议使用 LDO 供电:

- 0.75V AC requirement: <20mV;
- 1.8V AC requirement: <50mV

稳定的 PLL 电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

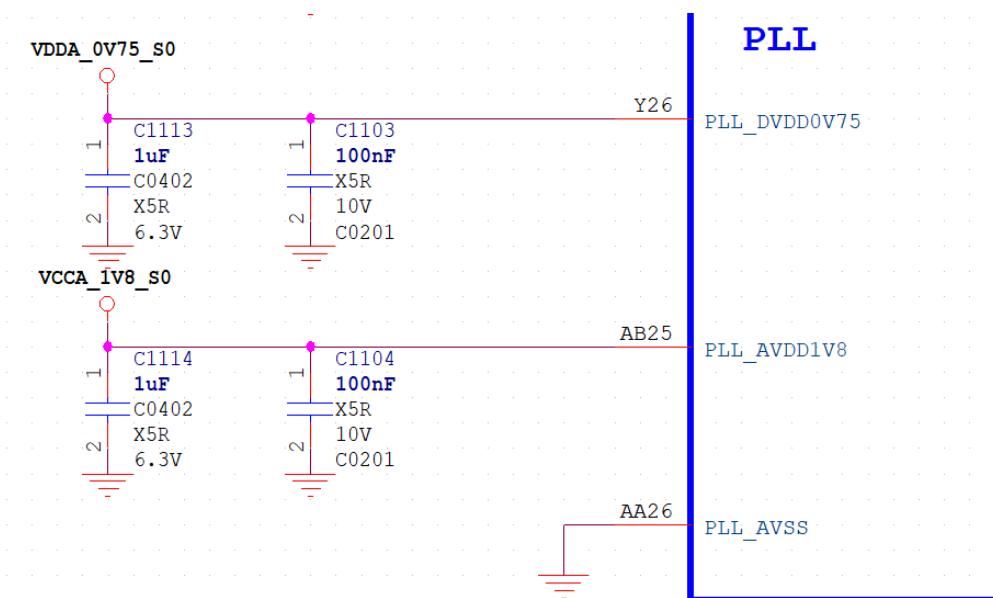
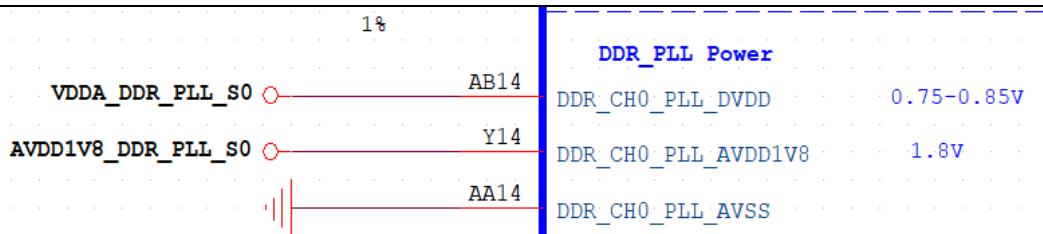


图 2-24 RK3588S 芯片 SYS PLL 电源管脚



2.2.2.3 OSC 电源

RK3588S 芯片的电源 OSC_1V8 为晶振电路提供电源。

- OSC_1V8: 峰值电流<10mA

电源上建议使用 LDO 供电:

- 1.8V AC requirement: <20mV

稳定的 OSC 电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。可考虑用单独的 LDO 供电, 考虑成本此电源可与 PLL 的电源共用。

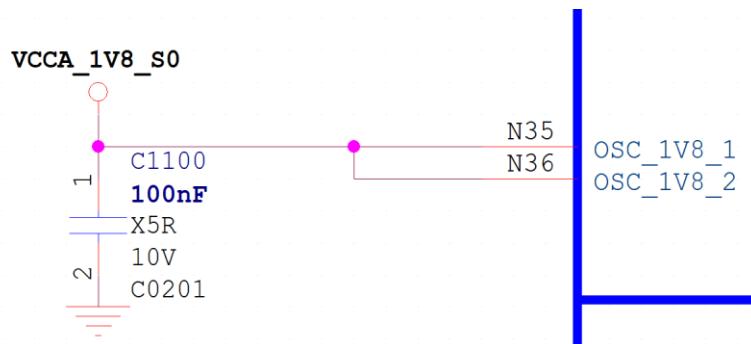


图 2-26 RK3588S 芯片晶振电路的电源管脚

2.2.2.4 PMU LOGIC 电源

RK3588S 的 PMU_0V75 电源给内部 PMU 单元的 LOGIC 供电, 峰值电流 30mA, 请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

可使用 DC/DC 或 LDO 供电。

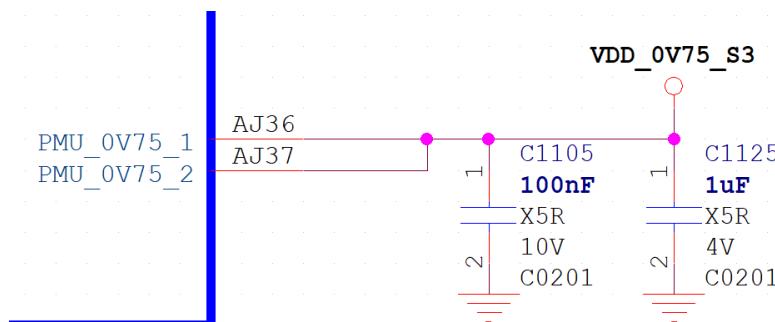


图 2-27 RK3588S 芯片 PMU_0V75 电源管脚

2.2.2.5 VDD_CPU_BIG0 电源

RK3588S 的 VDD_CPU_BIG0 电源是给 A76 的 CORE1 和 CORE2 单元供电，采用 RK806 的 BUCK2 或者 DC/DC 电源供电，可支持动态调频调压功能，默认供电电压 0.75V。峰值电流可达 3.5A 以上，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于 3.5A 并留有 20% 的余量；
- 输出电压精度要求在 $\pm 1.5\%$ ；
- BUCK 瞬态响应要求： $I_{load} = \text{BUCK Max 电流} * 10\% \sim \text{BUCK Max 电流} * 80\%$ 跳变，斜率 1A/us，纹波要求 $\pm 3\%$ 以内；
- 若对整机功耗有严格指标的，则需考虑效率问题。

Layout 时将下图绿线到芯片之间的这些电容放置在 RK3588S 芯片背面，VDD_CPU_BIG0 电源总电容量需大于 150uF，以保证电源纹波在 85mV 以内，避免大负载情况下引起电源纹波偏大。

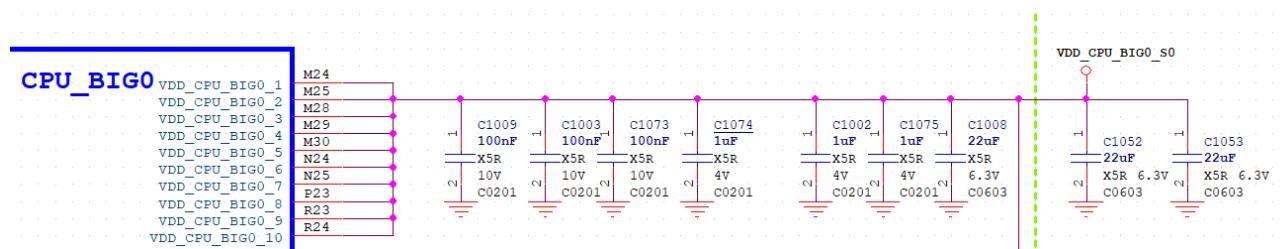


图 2-28 RK3588S 芯片 VDD_CPU_BIG0 电源管脚

VDD_CPU_BIG0_MEM 电源为 A76 CORE1, CORE2 的 MEMORY 电源，峰值电流 100mA，需要调压，可使用 BUCK 供电。如下两个电容 C1010、C1011 必须放在 RK3588S 管脚下方。

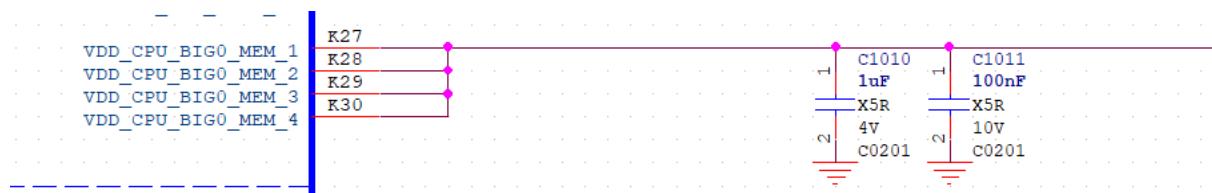


图 2-29 RK3588S 芯片 VDD_CPU_BIG0_MEM 电源

2.2.2.6 VDD_CPU_BIG1 电源

RK3588S 的 VDD_CPU_BIG1 电源是给 A76 的 CORE3 和 CORE4 单元供电，采用 RK806 的 BUCK 或者 DC/DC 电源供电，可支持动态调频调压功能，默认供电电压 0.75V 供电。峰值电流可达 3.5A 以上，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 3.5A 并留有 20% 的余量；
- 输出电压精度要求在 $\pm 1.5\%$ ；
- BUCK 瞬态响应要求： $I_{load} = \text{BUCK Max 电流} * 10\% \sim \text{BUCK Max 电流} * 80\%$ 跳变，斜率 1A/us，纹波要求 $\pm 3\%$ 以内；
- 若对整机功耗有严格指标的，则需考虑效率问题。

Layout 时将下图绿线到芯片之间的这些电容放置在 RK3588S 芯片背面， VDD_CPU_BIG1 电源总电容容量需大于 150uF，以保证电源纹波在 85mV 以内，避免大负载情况下引起电源纹波偏大。

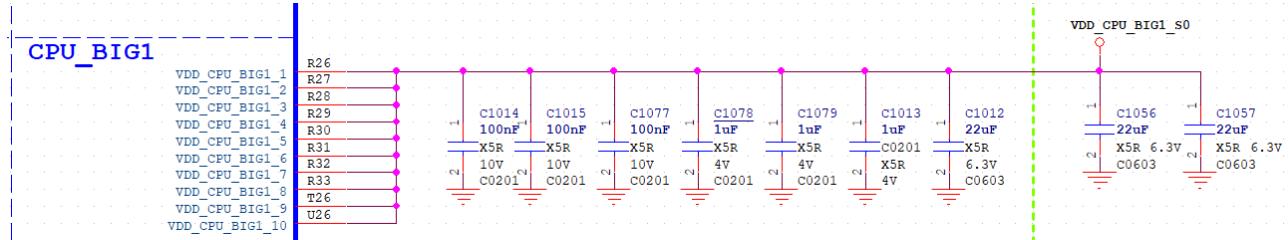


图 2-30 RK3588S 芯片 VDD_CPU_BIG1 电源管脚

VDD_CPU_BIG1_MEM 电源为 A76 CORE3, CORE4 的 MEMORY 电源，电流可以达到 100mA，需要调压，可以用 BUCK 供电。如下三个电容 C1026、C1076、C1025 必须放在 RK3588S 管脚下方。

注：功耗要求不高的场景 VDD_CPU_BIG1_MEM 可以和 VDD_CPU_BIG1 合并供电。

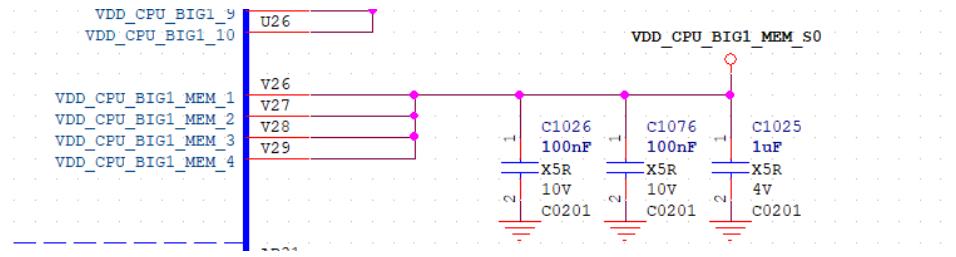


图 2-31 RK3588S 芯片 VDD_CPU_BIG1_MEM 电源

2.2.2.7 VDD_CPU_LIT 电源

RK3588S 的 VDD_CPU_LIT 电源给内部的 ARM Cortex-A55 core、DSU 的逻辑、控制、L3 cache 供电，采用 RK806 的 BUCK 电源供电，支持动态调频调压功能。峰值电流可达 3A 以上，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 2.5A 并留有 20% 的余量；
- 输出电压精度要求在 $\pm 1.5\%$ ；
- BUCK 瞬态响应要求： $I_{load} = BUCK \text{ Max 电流} * 10\% \sim BUCK \text{ Max 电流} * 80\%$ 跳变，斜率 1A/us，纹波要求 $\pm 3\%$ 以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图绿线到芯片位置的这些电容放在 RK3588S 的芯片下方， VDD_CPU_LIT 电源总电容容量需大于 150uF（建议再预留 1-2 个 22uF 电容， 默认可以不贴），以保证电源纹波在 85mV 以内，避免大负载情况下引起电源纹波偏大。

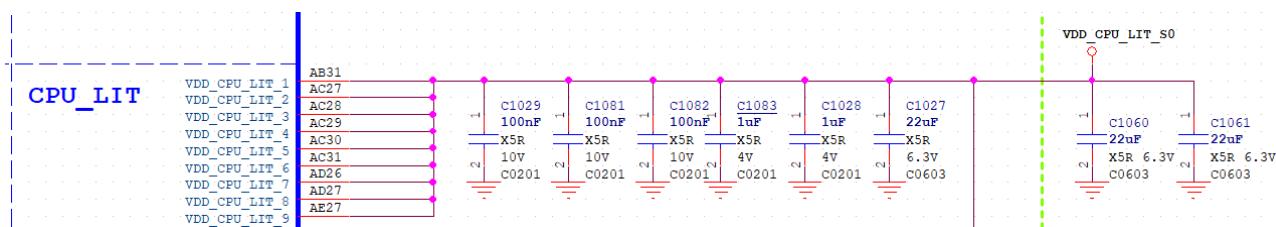


图 2-32 VDD_CPU_LIT 电源电容

VDD_CPU_LIT_MEM 电源为 A55 和 DSU 的 Memory 电源，电流可以达到 100mA，需要调压，可以用 BUCK 供电。如下两个电容 C1034、C1035 必须放在 RK3588S 管脚下方。

注：功耗要求不高的场景 VDD_CPU_LIT_MEM 可以和 VDD_CPU_LIT 合并供电。

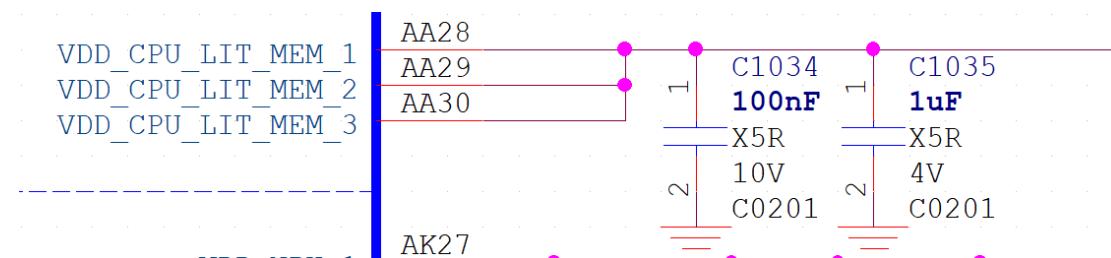


图 2-33 RK3588S 芯片 VDD_CPU_LIT_MEM 电源

2.2.2.8 GPU 电源

RK3588S 的 VDD_GPU 电源给内部的 GPU 单元供电，采用 RK806 的 BUCK1 或 RK860 供电，支持动态调频调压功能，峰值电流可达 6.2A，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 6.2A 并留有 20% 的余量；
- 输出电压精度要求在±1.5%；
- BUCK 瞬态响应要求： $I_{load} = BUCK \text{ Max 电流} * 10\% \sim BUCK \text{ Max 电流} * 80\%$ 跳变，斜率 1A/us，纹波要求±3%以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图绿线到芯片位置的这些电容放置在 RK3588S 芯片背面，VDD_GPU 电源总电容容量需大于 200uF，以保证电源纹波在 100mV 以内，避免大负载情况下引起电源纹波偏大。

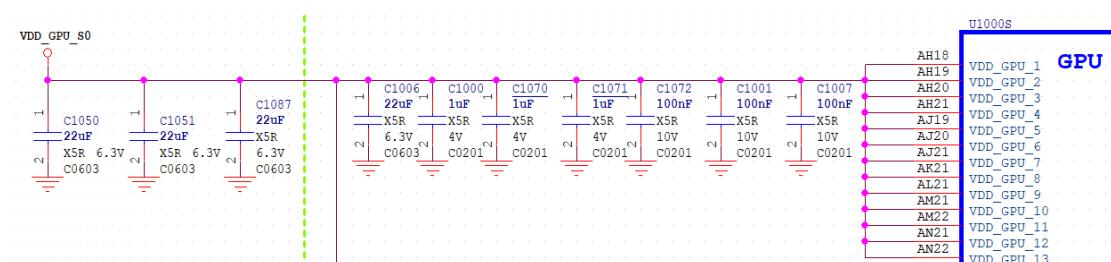


图 2-34 RK3588S 芯片 VDD_GPU 电源管脚

VDD_GPU_MEM 电源为 VDD_GPU_MEM 的 Memory 电源，电流可以达到 400mA，需要调压，可以用 BUCK 供电。如下两个电容 C1004、C1005 必须放在 RK3588S 管脚下方。

注：功耗要求不高的场景 VDD_GPU_MEM 可以和 VDD_GPU 合并供电。

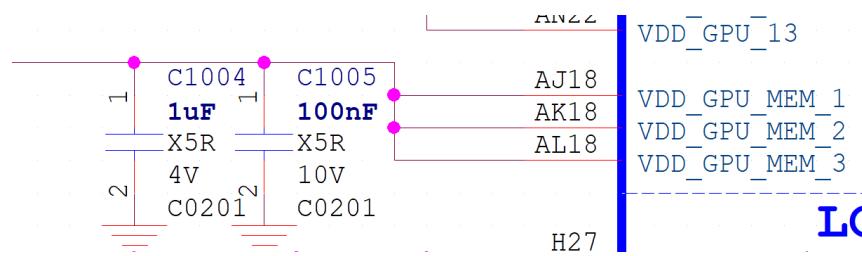


图 2-35 RK3588S 芯片 VDD_GPU 电源管脚

2.2.2.9 NPU 电源

RK3588S 的 VDD_NPU 电源给内部的 NPU 单元供电，采用 DC/DC 电源供电，支持动态调频调压功能。峰值电流可达 4A 以上，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 4A 并留有 20% 的余量；
- 输出电压精度要求在 $\pm 1.5\%$ ；
- BUCK 瞬态响应要求： $I_{load} = BUCK \text{ Max 电流} * 10\% \sim BUCK \text{ Max 电流} * 80\%$ 跳变，斜率 1A/us，纹波要求 $\pm 3\%$ 以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图绿线到芯片之间的这些电容放置在 RK3588S 芯片背面，VDD_NPU 电源总电容容量需大于 200uF，以保证电源纹波在 100mV 以内，避免大负载情况下引起电源纹波偏大。

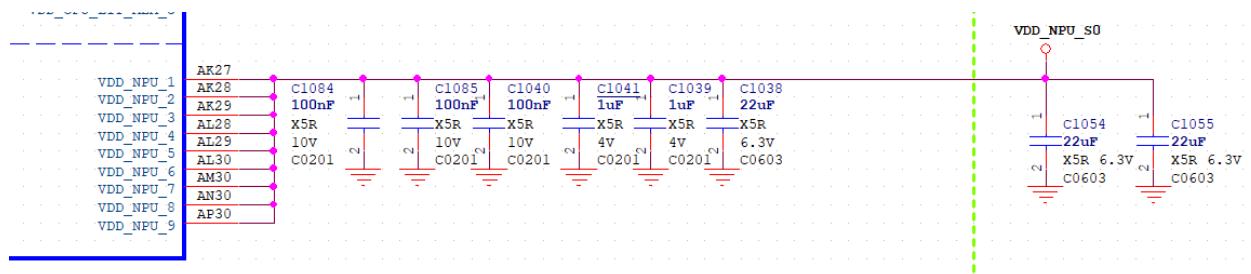


图 2-36 RK3588S 芯片 VDD_NPU 电源管脚

VDD_NPU_MEM 电源为 VDD_NPU 的 Memory 电源，电流可以达到 100mA，需要调压，可以用 BUCK 供电。如下两个电容 C1042、C1043 要放在 RK3588S 管脚下方。

注：功耗要求不高的场景 VDD_NPU_MEM 可以和 VDD_NPU 合并供电。

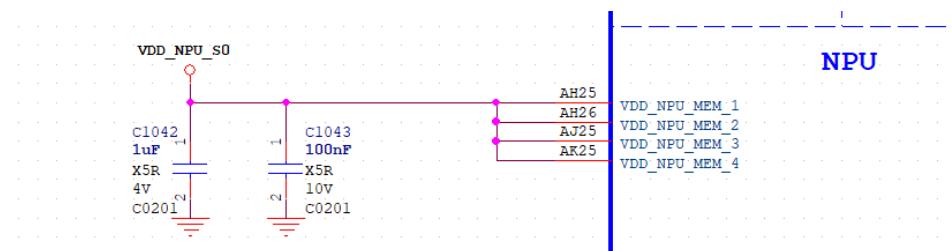


图 2-37 RK3588S 芯片 VDD_NPU_MEM 电源管脚

2.2.2.10 Logic 电源

RK3588S 的 VDD_LOGIC 电源给内部的逻辑单元供电，采用 DC/DC 电源独立供电，可支持动态调频调压功能，默认固定电压供电。峰值电流可达 2A 以上，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 2A；
- 输出电压精度要求在±1.5%；
- BUCK 瞬态响应要求：Iload=BUCK Max 电流*10%~BUCK Max 电流*80% 跳变，斜率 1A/us，纹波要求±3%以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图绿线到芯片之间的这些电容放置在 RK3588S 芯片背面，VDD_LOGIC 电源总电容容量需大于 100uF，以保证电源纹波在 75mV 以内，避免大负载情况下引起电源纹波偏大。

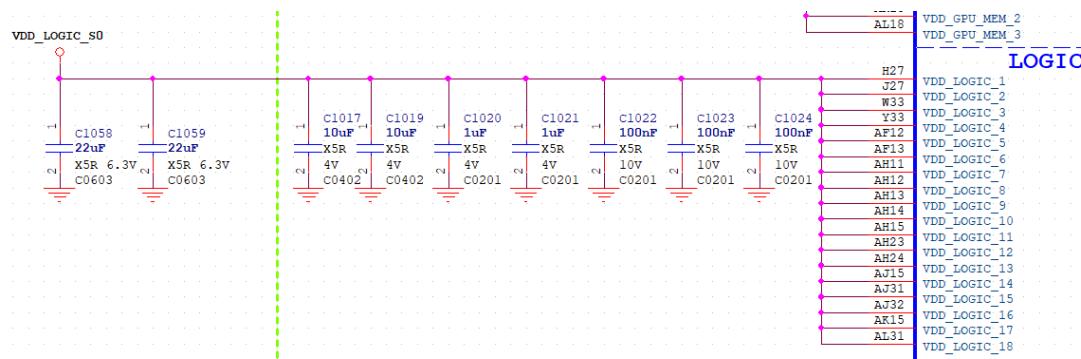


图 2-38 RK3588S 芯片 VDD_LOGIC 电源管脚

2.2.2.11 VIDEO 电源

RK3588S 的 VDD_VDENC 电源给内部的视频的编解码逻辑单元供电，采用 DC/DC 电源独立供电，可支持动态调频调压功能，默认固定电压供电。峰值电流可达 2A 以上，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 2A；
- 输出电压精度要求在±1.5%；
- BUCK 瞬态响应要求：Iload=BUCK Max 电流*10%~BUCK Max 电流*80% 跳变，斜率 1A/us，纹波要求±3%以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图的这些电容放置在 RK3588S 芯片背面，VDD_VDENC 电源总电容容量需大于 100uF，以保证电源纹波在 75mV 以内，避免大负载情况下引起电源纹波偏大。

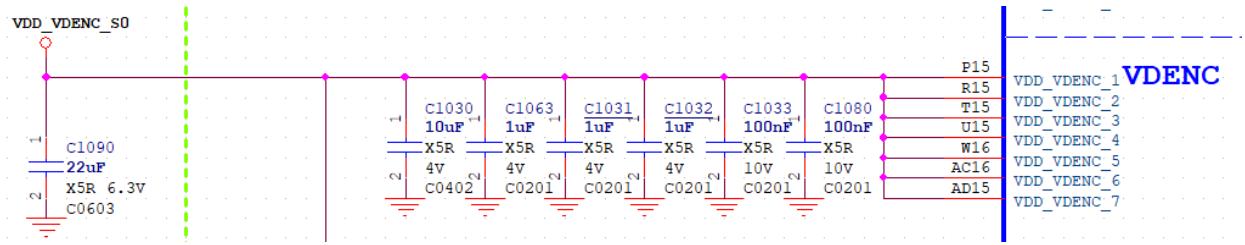


图 2-39 RK3588S 芯片 VDD_VDENC 电源管脚

VDD_VDENC_MEM 电源为 VDD_VDENC 的 Memory 电源，电流可以达到 100mA，需要调压，可以用 BUCK 供电。如下两个电容 C1036、C1037 要放在 RK3588S 管脚下方。

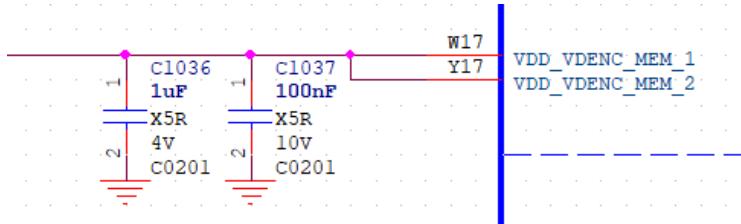


图 2-40 RK3588S 芯片 VDD_VDENC 电源管脚

2.2.2.12 DDR 电源

RK3588S 芯片的 DDR PHY 接口支持 LPDDR4/LPDDR4x/LPDDR5 电平标准，共两个通道，每个通道各 6 个电源，DDR_CH0/1_PLL_DVDD、DDR_CH0/1_PLL_AVDD1V8、DDR_CH0/1_VDD_MIF、DDR_CH0/1_VDDQ_CKE、DDR_CH0/1_VDDQ_CK、DDR_CH0/1_VDDQ，供电介绍请参见 [2.1.7.5 DDR 电源设计和上电时序要求](#)。产品设计时请根据颗粒使用情况，确认符合设计要求。

同样，采用 LPDDR4/4X 和 LP5 颗粒对应的有些电压不一样，详见图纸。

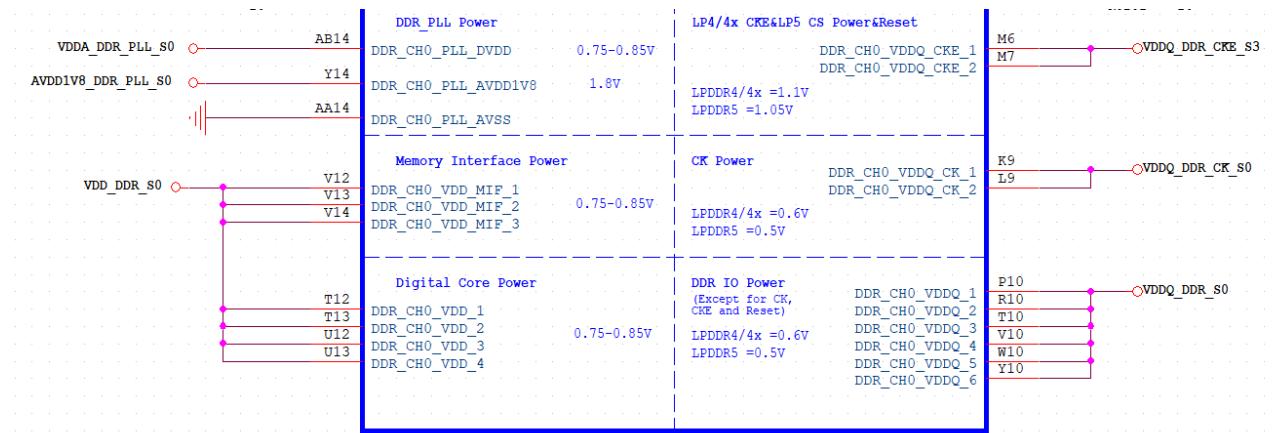


图 2-41 RK3588S 芯片在 LPDDR4/4X 模式下的 DDR 电源管脚

Layout 时将下图的滤波电容放置在 RK3588S 芯片背面，以保证电源纹波在 80mV 以内，避免大负载情况下引起电源纹波偏大。

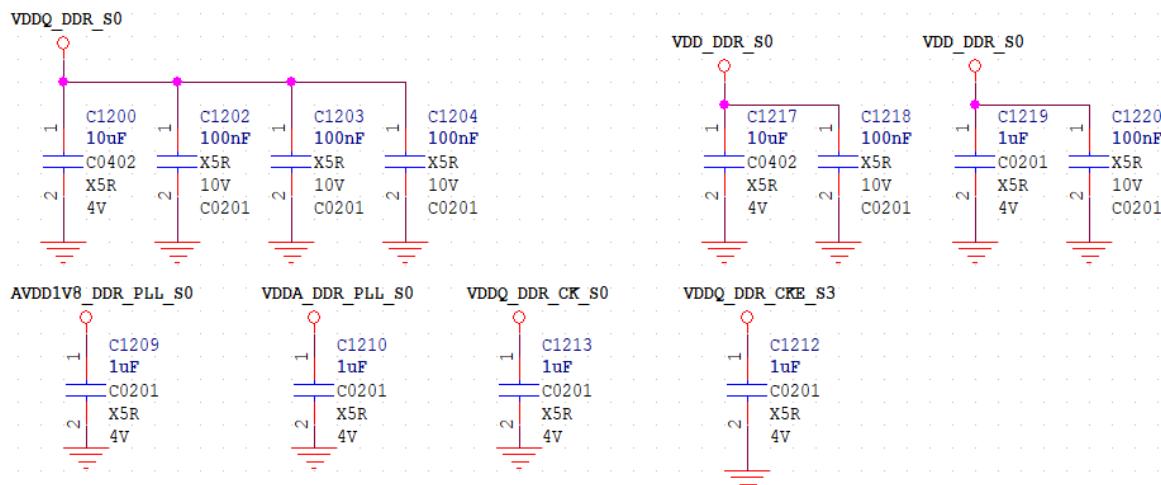


图 2-42 RK3588S 芯片在 LPDDR4/4x 模式下的电源滤波电容

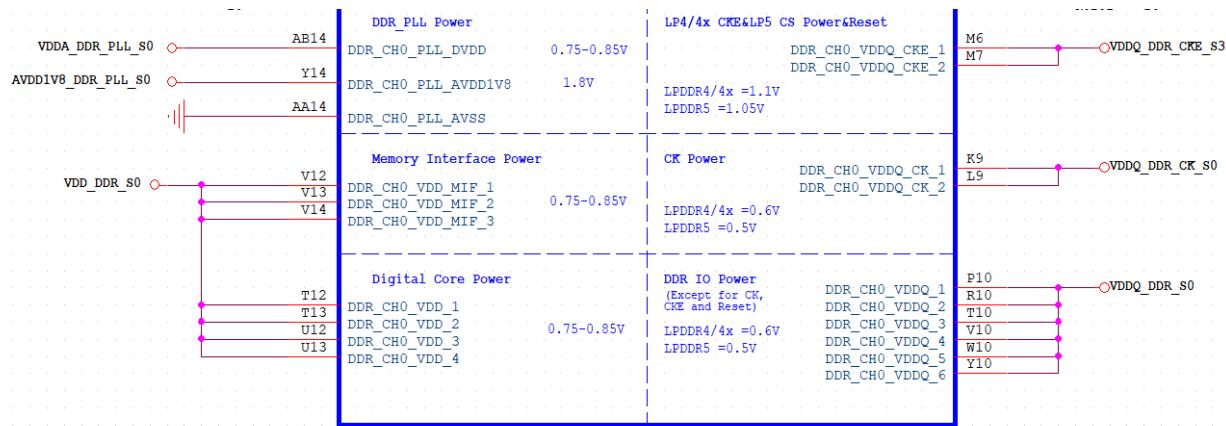


图 2-43 RK3588S 芯片在 LPDDR5 模式下的 DDR 电源管脚

Layout 时将下图的滤波电容放置在 RK3588S 芯片背面，以保证电源纹波在 80mV 以内，避免大负载情况下引起电源纹波偏大。

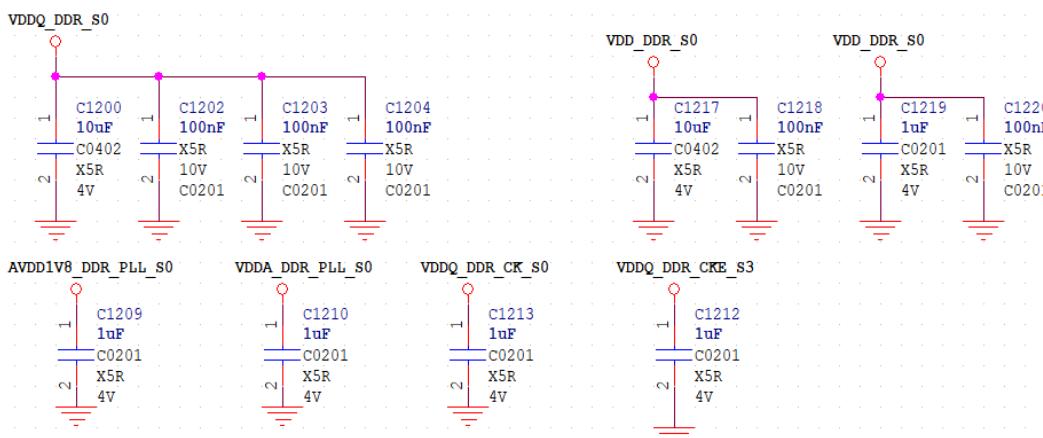


图 2-44 RK3588S 芯片在 LPDDR5 模式下的电源滤波电容

2.2.2.13 USB2.0 PHY 电源

RK3588S 有 4 个 USB2.0 接口，具体接法请见 **2.3.4 USB2.0/USB3.0 电路** 单元介绍。

USB20_DVDD_0V75, USB20_AVDD_1V8, USB20_AVDD_3V3 电源是给 USB2_HOST0/1_DP/M 和 TYPEC0/1_USB20_OTG_DP/M PHY 供电，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

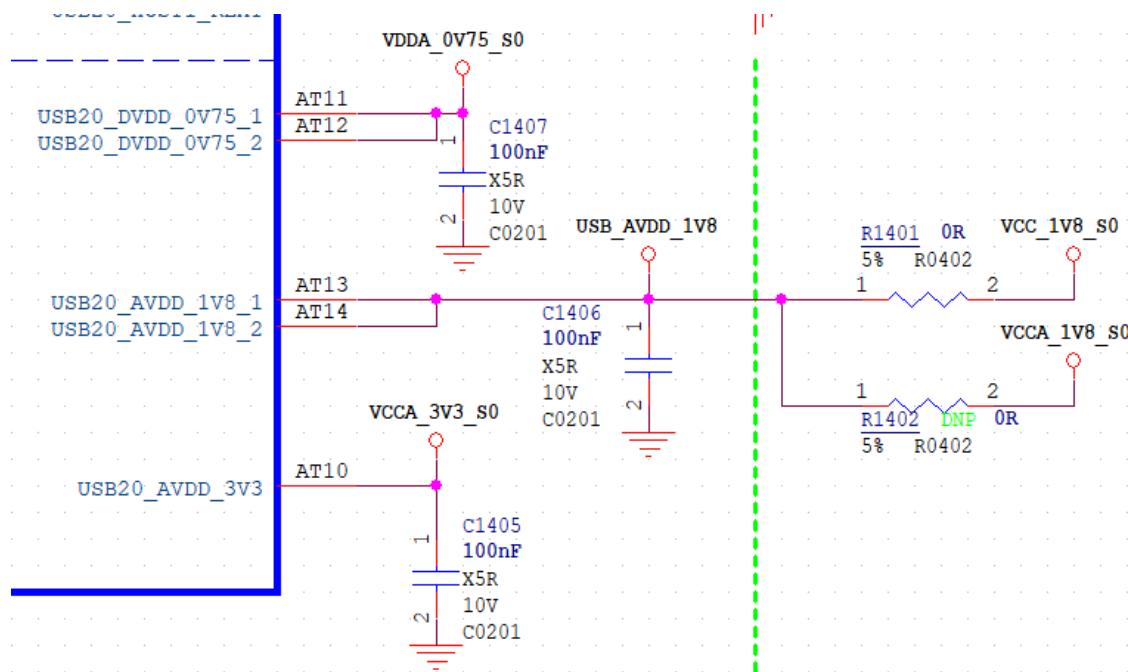


图 2-45 RK3588S USB2.0 PHY 电源管脚

- USB20_DVDD_0V75: 峰值电流 30mA
- USB20_AVDD_1V8: 峰值电流 65mA
- USB20_AVDD_3V3: 峰值电流 45mA

电源上建议使用 LDO 供电:

- 0.75V AC requirement: <25mV;
- 1.8V AC requirement: <50mV;
- 3.3V AC requirement: <200mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

**由于 RK3588S 芯片固件必须从 TYPEC0_USB20_OTG_DP/M 接口下载，因此第一次上电，
USB20_DVDD_0V75, USB20_AVDD_1V8, USB20_AVDD_3V3 必须供电。**

2.2.2.14 USB3.0/DP1.4 Combo 电源

RK3588S 有 2 个 USB3.0\DP1.4 的 Combo PHY 接口：

TYPEC0_DP0_VDD_0V85, TYPEC0_DP0_VDDH_1V8 的电源是给 USB3.0/DP1.4 的 Combo0 供电, 请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

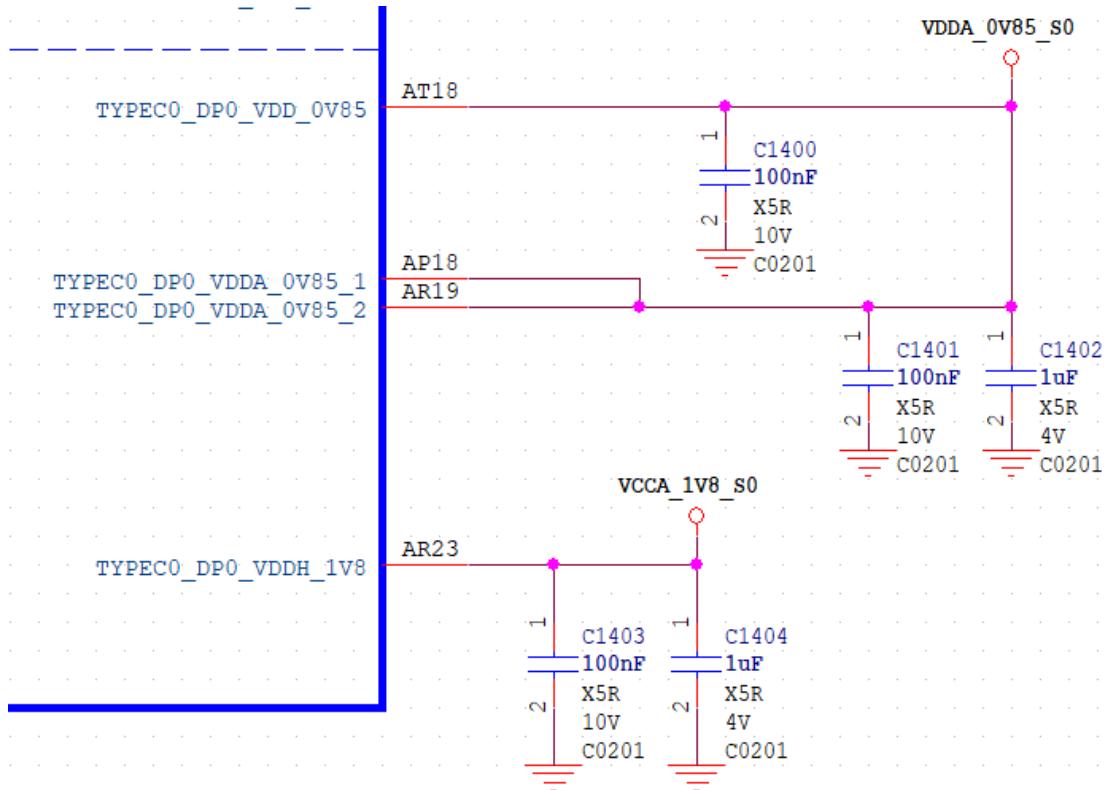


图 2-46 RK3588S USB3.0/DP1.4 Combo0 电源管脚

- TYPEC_DP_VDD_0V85: 峰值电流 40mA
 - TYPEC_DP_VDDA_0V85: 峰值电流 300mA
 - TYPEC_DP_VDDH_1V8: 峰值电流 60mA
- (注意：以上峰值电流为两路合并的总电流值，下同)

电源上建议使用 LDO 供电:

- 0.85V AC requirement: <20mV
- 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

此功能不用时, 由于 RK3588S 芯片固件必须从 TYPEC0_USB20_OTG_DP/M 接口下载, 此接口跟 USB30 的 PHY0 口是同一个 Controller, 内部有逻辑关系的存在, 所以 USB30 的 PHY0 口也必须供电。

2.2.2.15 PCIe2.0 PHY 电源

RK3588S 有 1 个 PCIe2.0/SATA30 Combo PHY 接口和 1 个 PCIe2.0/SATA30/USB30 Combo PHY。1 个 PCIE20_SATA30_0_AVDD_0V85、1 个 PCIE20_SATA30_0_AVDD_1V8、PCIE20_SATA30_USB30_2_AVDD_0V85、PCIE20_SATA30_USB30_2_AVDD_1V8 共 4 路电源是给 PCIe2.0 Combo PHY 供电的，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。如下图绿色虚线左侧电容布局需要靠近芯片管脚。

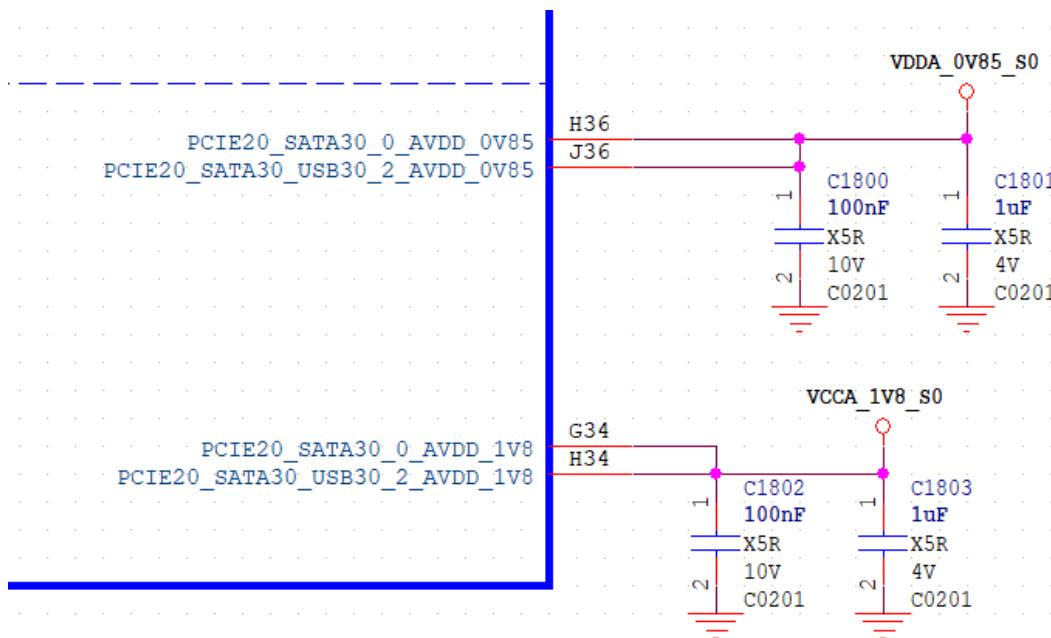


图 2-47 RK3588S PCIe2.0 Combo PHY 电源管脚

- PCIE20_SATA30_0_AVDD_0V85/PCIE20_SATA30_USB30_2_AVDD_0V85: 峰值电流 140mA
- PCIE20_SATA30_0_AVDD_1V8/PCIE20_SATA30_USB30_2_AVDD_1V8: 峰值电流 270mA

电源上建议使用 LDO 供电:

- 0.85V AC requirement: <20mV
- 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

4 路电源都是独立的，不用 PCIe 功能对应 PHY 的 2 路电源（0V85 和 1V8）可以不供电，悬空即可。

2.2.2.16 MIPI CSI RX PHY 电源

RK3588S 有 1 个 MIPI CSI RX 接口，MIPI_CSI0_AVDD0V75、MIPI_CSI0_AVCC1V8 电源是给 MIPI CSI RX PHY 供电，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。下图绿色线左边的电容需要放在 RK3588S 的芯片下方，右边的电容尽可能靠近芯片放置。

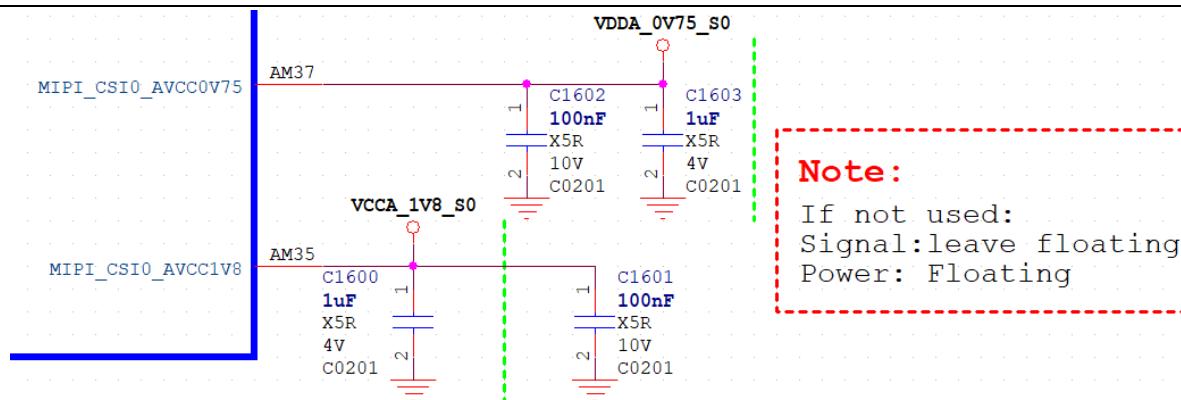


图 2-48 RK3588S MIPI CSI RX PHY0 电源管脚

- MIPI_CSI_RX_AVDD_0V9: 峰值电流 10mA
- MIPI_CSI_RX_AVDD_1V8: 峰值电流 3.3mA

电源上建议使用 LDO 供电:

- 0.75V AC requirement: <20mV
- 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性,且去耦电容应靠近管脚摆放,具体电容数量和容量参考原理图,请勿随意调整。

MIPI CSI RX 功能如果不使用,那么 MIPI_CSI0_AVDD_0V75 和 MIPI_CSI0_ACC1V8 可以不供电,接地或者 Floating 均可。

2.2.2.17 MIPI D/C 的 Combo PHY 电源

RK3588S 有 2 个 MIPI D/C PHY 的 COMBO 接口。

MIPI_D/C_PHY0_VDD, MIPI_D/C_PHY0_VDD_1V2, MIPI_D/C_PHY0_VDD_1V8 电源是给 MIPI D/C PHY 供电,请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。下图绿色线左边的电容需要放在 RK3588S 的芯片下方,右边的电容尽可能靠近芯片放置(phy1 口的电源同 phy0 口一样处理)。

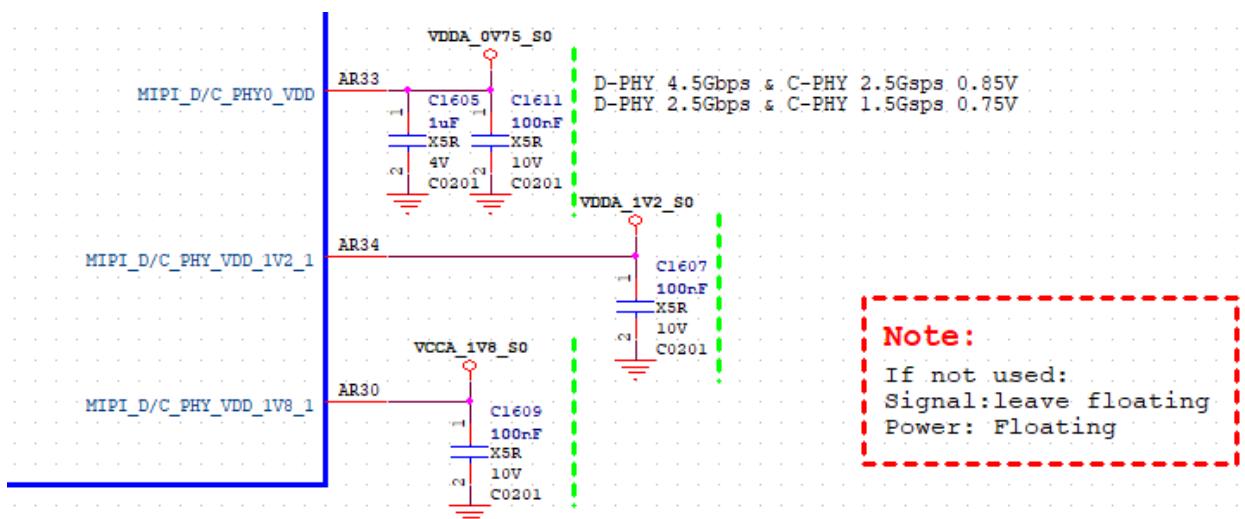


图 2-49 RK3588S MIPI D/C Combo PHY0 电源管脚

- MIPI_D/C_PHY_VDD: 峰值电流 130mA
- MIPI_D/C_PHY_VDD_1V2: 峰值电流 4 mA
- MIPI_D/C_PHY_VDD_1V8: 峰值电流 35mA

电源上建议使用 LDO 供电:

- 0.9V AC requirement: <20mV
- 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

MIPI D/C PHY 功能如果不使用, 那么 MIPI_D/C_PHY0/1_VDD, MIPI_D/C_PHY0/1_VDD_1V2, MIPI_D/C_PHY0/1_VDD_1V8 可以不供电, 接地或者 FLOATING 都可以。

2.2.2.18 HDMI2.1/eDP1.3 Combo 电源

RK3588S 有 1 个 HDMI2.1/eDP1.3 的 Combo PHY 接口。

HDMI/EDP_TX0_VDD_0V75, HDMI/EDP_TX0_AVDD_0V75, HDMI/EDP_TX0_VDD_IO_1V8、HDMI/EDP_TX0_VDD_CMN_1V8 电源是给 HDMI2.1/eDP1.3 的 Combo PHY 供电, 请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

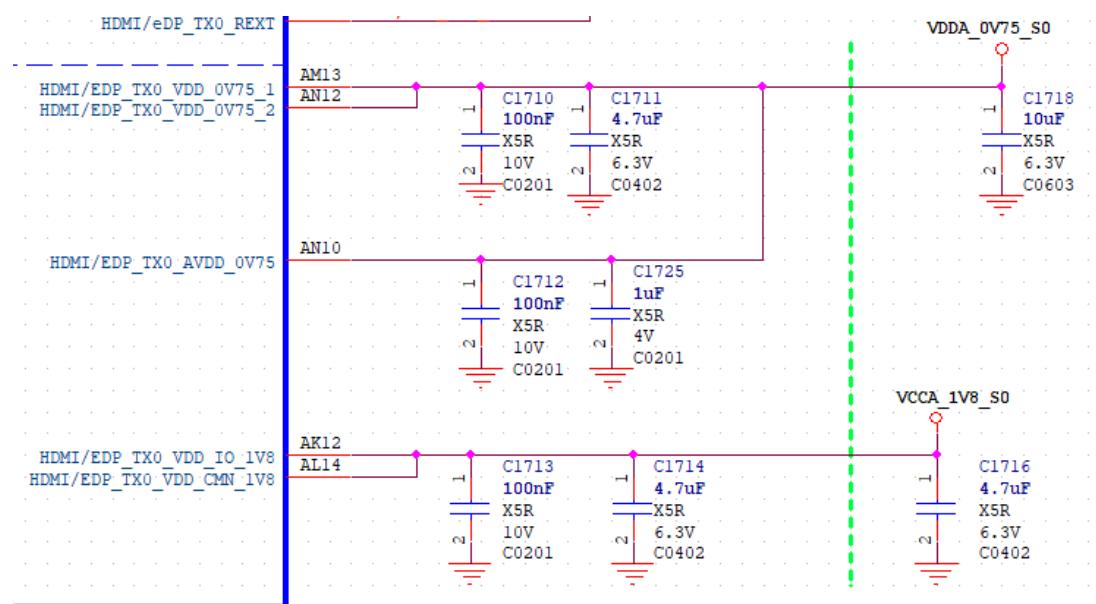


图 2-50 RK3588S HDMI2.1/EDP Combo PHY 电源管脚

- HDMI/EDP_TX_VDD_0V75: 峰值电流 440mA
- HDMI/EDP_TX_AVDD_0V75: 峰值电流 1mA
- HDMI/EDP_TX_VDD_IO_1V8: 峰值电流 100mA
- HDMI/EDP_TX_VDD_CMN_1V8: 峰值电流 100mA

电源上建议使用 LDO 供电:

- 0.9V AC requirement: <20mV
- 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

HDMI2.1/EDP1.4 TX 功能如果不使用，那么 HDMI/EDP_TX0_VDD_0V75, HDMI/EDP_TX0_AVDD_0V75, HDMI/EDP_TX0_VDD_IO_1V8/HDMI/EDP_TX0_VDD_CMN_1V8 可以不供电，接地或者悬空都可以。

2.2.2.19 SARADC/OTP 电源

RK3588S 有 1 个 SARADC，有 8 路输入，SARADC_AVDD_1V8 是给 SARADC 和 TSADC 供电，请勿删减 RK3588S 芯片参考设计原理图中的去耦电容。

- SARADC_AVDD_1V8: 峰值电流: 5mA。

电源上建议使用 LDO 供电:

- 1.8V AC requirement: <50mV

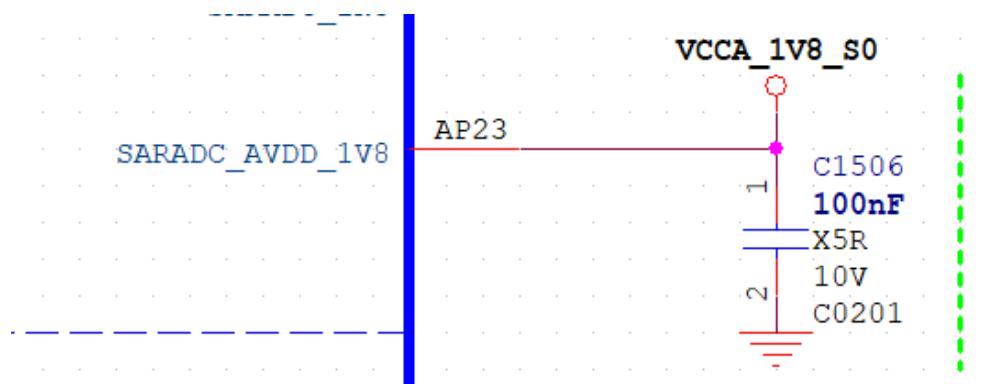


图 2-51 RK3588S SARADC 电源管脚

RK3588S 有 1 个 OTP，OTP_VCC18 是给 OTP 供电，请勿删减 RK3588S 芯片参考设计原理图中的电容。

- OTP_VCCOTP_0V75: 峰值电流 1mA

电源上可以使用 LDO 或 DC/DC 为 OTP 供电。

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

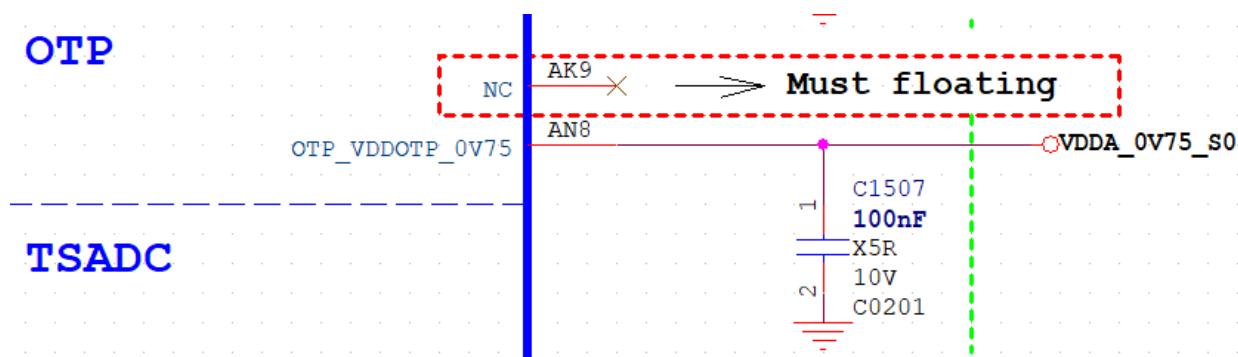


图 2-52 RK3588S SARADC 电源管脚

2.2.3 RK806 方案介绍

2.2.3.1 RK806 典型应用图

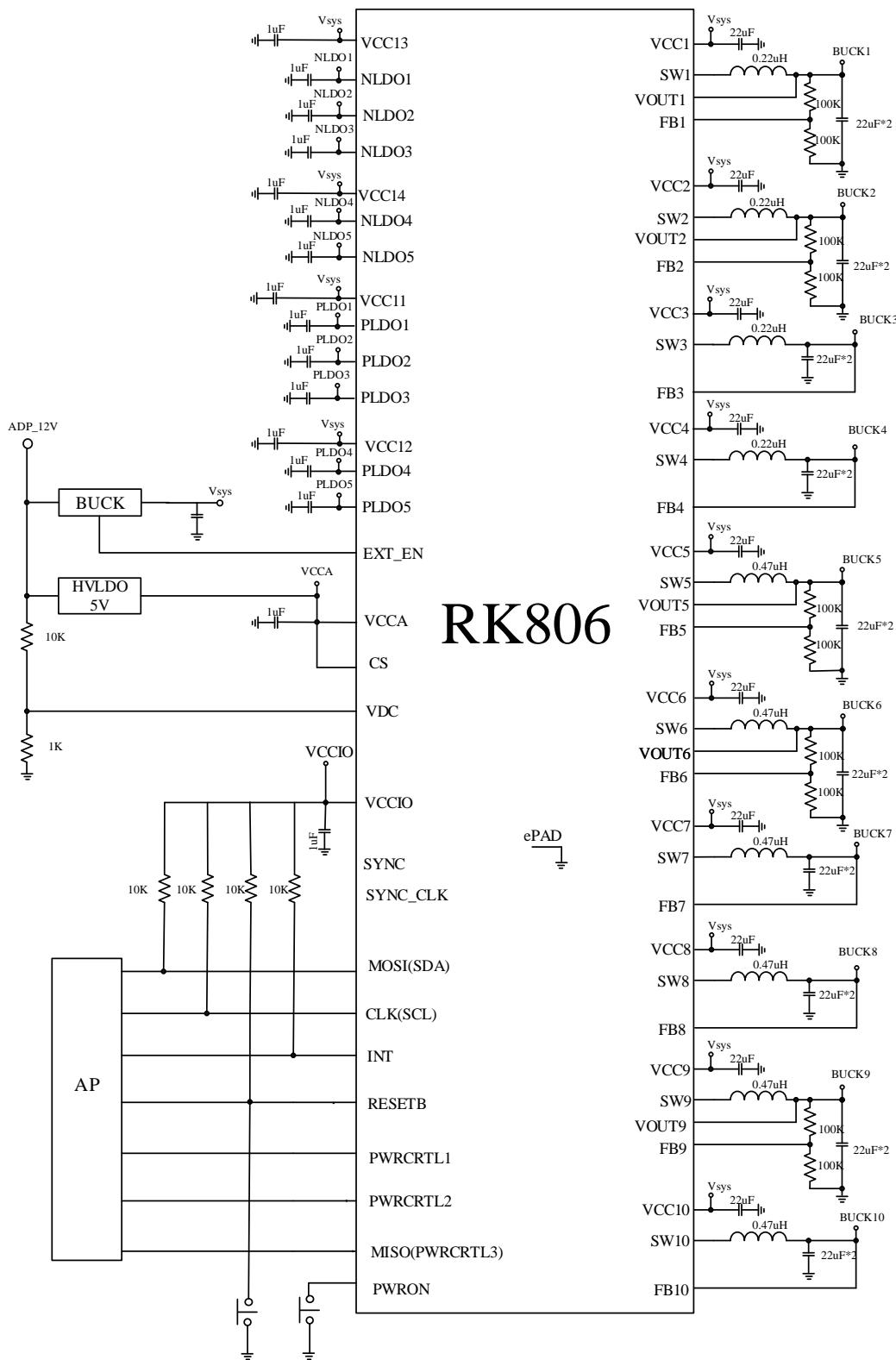


图 2-53 RK806 单芯片典型应用图

2.2.3.2 RK806 特征

- 输入范围: 2.7V-5.5V;
- 极低待机电流: 10uA;
- 支持 I2C 和 SPI 双通信协议;
- 支持双芯片协同工作;
- 纹波控制架构提供优异的瞬态响应;
- 可通过 I2C 或 SPI 编程的输出电平;
- 可选择的电源启动时序控制;
- 电源通道:
 - Buck1: 0.5V-3.4V 输出, 6.5A max;
 - Buck2/3/4: 0.5V-3.4V 输出, 5A max;
 - Buck5/6/7/8/9/10: 0.5V-3.4V 输出, 2.5A max;
 - NLDO1/2/5: 0.5V-3.4V 输出, 300mA max;
 - NLDO3/4: 0.5V-3.4V 输出, 500mA max;
 - PLDO1/4: 0.5V-3.4V 输出, 500mA max;
 - PLDO2/3/5/6: 0.5V-3.4V 输出, 300mA max。
- 外部 Buck 使能控制;
- 封装: 7mm x 7mm QFN68。

2.2.3.3 RK806 注意事项

- RK806-2 是可以双 PMIC 协同工作的, 用的时候需要把其中一颗设为主(EXT_EN 不接高电平-悬空或连接外部 BUCK 的 EN 脚), 另一颗设为从(EXT_EN 短接到 VCCA 来识别), 两颗芯片上电下电时序是靠 SYNC 和 SYNC_CLK 来同步的。使用时把两颗 PMIC 的 VDC、PWRON、RESET 短接在一起。

注: 单 PMIC 应用时, 通过 EXT_EN 把 PMIC 设为主模式, SYNC 和 SYNC_CLK 悬空即可。

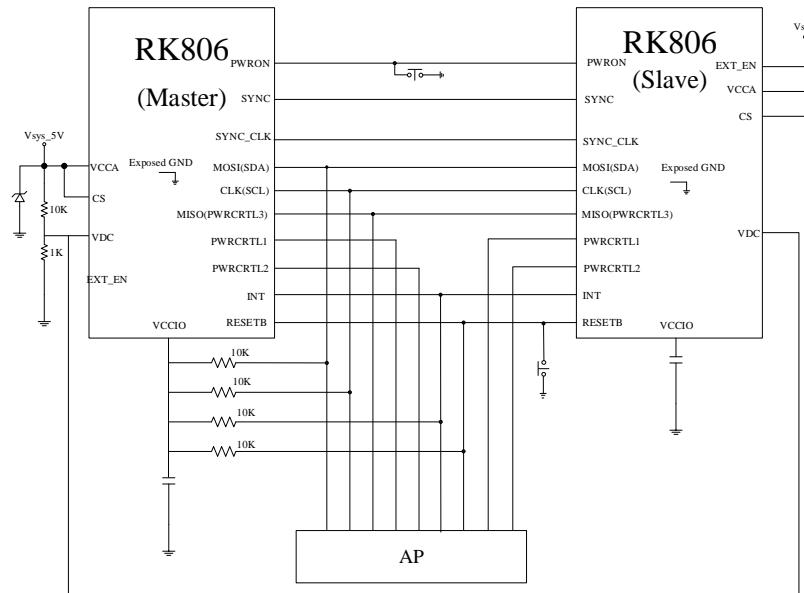


图 2-54 RK806 双芯片(I2C 模式)典型应用图

- RK806 有 I2C 和 SPI 两种工作模式, 上电时如果 CS 脚是接到 VCCA 的为 I2C 模式, 只要在 RK806 上电瞬间不给 CS 脚输入高电就是 SPI 模式, 下图给出 SPI 接法的双 PMIC 工作模式。

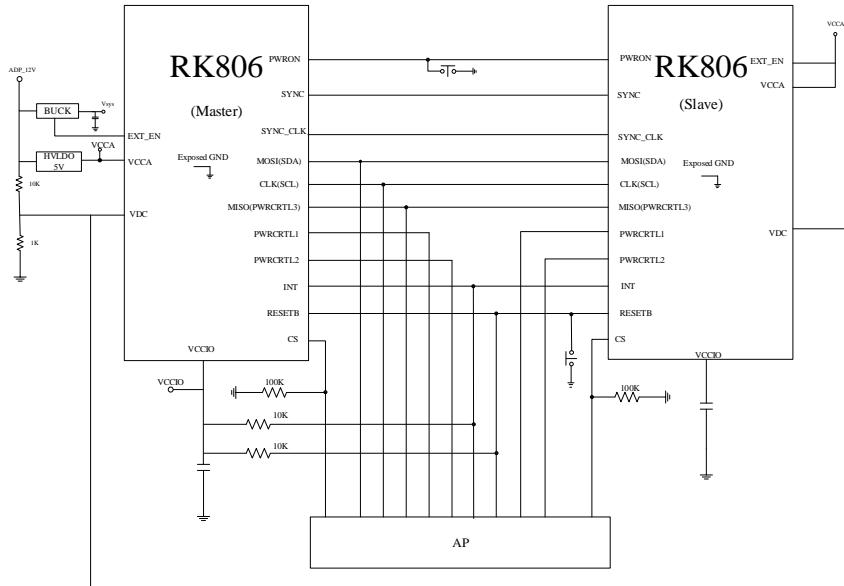


图 2-55 RK806 双芯片(SPI 模式)典型应用图

- RK806-2 协同工作: 两颗芯片的 SYNC_CLK 和 SYNC 互连, 主芯片提供 SYNC_CLK 时钟 (频率接近 32K) 从芯片接收, SYNC 提供同步信号, 产生同步脉冲用于实现: 开机、关机、复位、上电及下电时序。
 - **开机:** 主从的 PWRON、VDC 和 RESET 是分别接在一起的, 所以主从能收到同样的开机信号, 当开机信号有效后, 主机会给从机提供 SYNC_CLK 时钟并把 SYNC 拉高, 主从分别根据片内 OTP 烧好的主从时序, 以 SYNC_CLK 时钟为计数时钟, 大概 1ms 为一个步进, 按时序打开 LDO 或 BUCK;
 - **正常关机或重启:** RESET 保持高, SYNC 拉低 (3clk 以上大概 90us 左右) ;
 - **异常关机:** SYNC 和 RESET 在 22us 内同时拉低 (reset 线上电容不能大于 0.3uF) ;
 - **RESET 拉低复位:** SYNC 为高, RESET 拉低 (2clk 60us 左右) 。
- RK806 的 VCCA (Pin21) : 是 RK806 芯片内部数字逻辑、部份模拟控制的供电引脚, 该脚设计时要求供电电压必须是 RK806 所有供电脚中的最高电压或是大于 Vmax-0.3V, 所以 VCCA 必须最先上电, 或和其它电源一起上电, 不允许出现 VCCA 没电而其它电源先供电的情况。
- RK806 的 RESETB(Pin40): 是给主控的复位信号输出, 同时在复位拉高后还做为外部复位信号及双 PMIC 的同步关机信号输入。因为有输入功能所以应用时需要有 100nF 电容, 提高抗干扰能力。但线上总容量不能超过 0.3uF(因为 RESET 有同步关机功能, 当 RESET 线上电容太大时高电平上升速度会变慢, 导致双 PMIC 同步关机时序检测异常)。
- RK806 的 PLDO6 是给 CS\ MOSI(SDA)\ CLK(SCL)\ MISO(SLEEP3)\ SLEEP2\ SLEEP1 这些 io 的 VCCIO 供电的, 主控与这些 IO 相连的 GPIO 电源域最好也用该电源供电, 达到电平匹配及上下电同步等目的。
- RK806 的 pin32 (VDC) : 是用来外接电源自动开机的, VDC 脚的识别高电平为 0.8V, 推荐大于 1V 小于等于 VCCA 电压。当满足(VCCA\ VCC1\ VCC2 大于 3.0V)如果 VDC 检测到高电平, RK806 就会开机, 且当 VDC 为高期间 RK806 不能被关机 (如果要做插适配器开机, 需要给 VDC 脚做 RC 延时如下图) 。

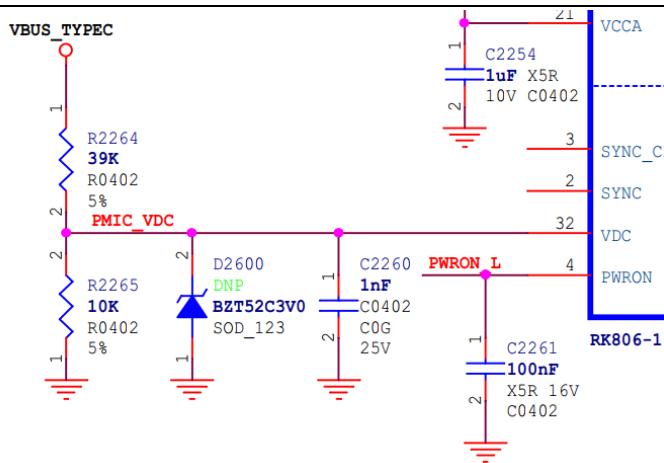


图 2-56 RK806 VDC 管脚

- RK806 的 pin4 (PWRON)：接开机按键，该脚内部有一个 45Kohm 电阻上拉到 VCCA 上，关机情况下拉低该引脚 20ms 如果电压满足开机条件就会开机(注：RK806-1 和 RK806-2 默认 20ms，如果开机状态下拉低 PWRON 会出短按\长按等中断给主控，如果拉低时间超过 6S 会强制关机 (6S\8S\10S\12S 软件可选))。
- RK806 有三个 PWRCTRL 脚，分别是 PIN16\61\62(PWRCTRL3\2\1)，除 PWRCTRL3 复用 MISO 外其余功能相同。这些引脚可以控制 RK806 进出 SLEEP 模式，也可以通过配置相应的寄存器用来控制 BUCK 或 LDO 进行快速调压或开关输出。
- RK806 BUCK 的 VOUT 脚：VOUT 既是 COT 架构 BUCK 的纹波检测输入，也是反馈电压输入脚，一般直接连到输出电容的正端 (VOUT 线要尽量避免被其它信号干扰)。
- RK806 BUCK 的 FB 脚：BUCK1\2\5\6\9 比其它 BUCK 多一个 FB 脚，带 FB 脚的 BUCK 可以选择电压反馈脚为 VOUT 脚或者 FB 脚。FB 参考电压为 0.5V，选用 FB 脚时分压电阻选择建议在 10K ohm 到 1M ohm 之间计算公式为 $V_{out} = (R1/R2 + 1) * 0.5V$ 。当使用外部分压电阻时，为了系统更优的瞬态响应，建议在上分压电阻两端并联 100pF 旁路电容。

注：FB 默认是否启用是 OTP 设的，一般只有默认电压需要改变的电源（如 VDD_DDR）才会用 FB 来调默认电压，开机后可以改寄存器实现动态切换。

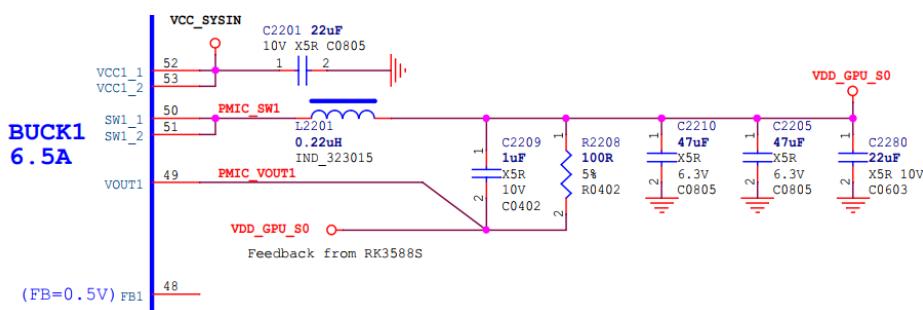


图 2-57 RK806 BUCK1

- RK806 的 BUCK1：最大输出满载电流为 6.5A，输入电容 22uF，输出电容 66uF，开关频率 2MHz (典型)，电感感量为 0.22uH。输入输出电容耐压建议选择工作电压的两倍，取电感电流纹波为满载纹波的 30% 左右 (饱和电流 9.1A 以上)，DCR 小于 20m ohm (为了达到更好的转换效率，建议选择 DCR 15m ohm 左右)。
- RK806 的 BUCK2\3\4：最大输出满载电流为 5A，输入电容 22uF，输出电容 66uF，开关频率 2MHz

(典型)，电感感量为 0.22uH。输入输出电容耐压建议选择工作电压的两倍，取电感电流纹波为满载纹波的 30%左右（饱和电流 7A 以上），DCR 小于 20m ohm（为了达到更好的转换效率，建议选择 DCR 15m ohm 左右）。

- RK806 的 BUCK5\6\7\8\9\10：最大输出满载电流为 2.A，输入电容 10uF，输出电容 44uF，开关频率 2MHz(典型)，电感感量为 0.47uH。输入输出电容耐压建议选择工作电压的两倍，取电感电流纹波为满载纹波的 30%左右（饱和电流 4.5A 以上），DCR 小于 40m ohm（为了达到更好的转换效率，建议选择 DCR 20m ohm 左右）。
- RK806 的 PLDO：RK806 除 PLDO6 外(VCCIO) 还提供了 3 个带载能力为 300mA 和 2 个带载能和为 500mA 的 PLDO(PLDO1\PLDO4)。PLDO 各输入输出电容保证容量为 1uF 以上，其中 VCC11 是 PLDO1\2\3 的供电输入脚，VCC12 是 PLDO4\5 的供电输入脚，要保证 PLDO 能够正常的起来稳压效率，VCC11 和 VCC12 最低输入电压为其下 LDO 中最高输出电压+0.2V，且最低输入电压不低于 2.0V。
- RK806 的 NLDO：NLDO 就是调整管采用 N 管的 LDO，其特点是调整管输入电压可以很低(无 PLDO 最低 2.0V 输入电压要求)只需满足输出电压+0.2V 即可，但是最高输出电压要比 VCCA (Pin21) 电压低 1.5V，NLDO 同样有两个供电脚分别是 VCC13 和 VCC14，也提供了 3 个带载能力为 300mA 和 2 个带载能和为 500mA(NLDO3\NLDO4)。NLDO 各输出电容保证容量为 2.2uF 以上，其中 VCC13 是 NLDO1\2\3 的供电输入脚，VCC14 是 NLDO4\5 的供电输入脚。
- RK806 开关机条件：
 - VDC 开机流程：
 - ◆ VCCA 有电；
 - ◆ VDC 脚高于 0.8V，推荐值为 1.0V 左右；
 - ◆ EXT_EN 输出高电平；
 - ◆ VCCA\VCC1\VCC2 在 EXT_EN 输出高电平的 100mS 内电压超过 VB_LO_SEL 电压 (RK806-1/RK806-2 值是 3.0V)，否则不开机；
 - ◆ 启动上电流程，各 DC/DC，LDO 按时序分别上电；
 - ◆ 开机后，VDC 可以拉低或保持高电平，不影响开机状态。
 - Power Key 开机流程：
 - ◆ VCCA 有电；
 - ◆ PWRON 脚电压从高电平（大于 VCCA*0.7）拉到低电平（小于 VCCA*0.3V），时间超过 20ms(20/500msOTP 设)；
 - ◆ EXT_EN 输出高电平；
 - ◆ VCCA\VCC1\VCC2 在 EXT_EN 输出高电平的 100mS 内电压超过 3.0V，否则不开机；
 - ◆ 启动上电流程，各 DC/DC，LDO 按时序分别上电。
 - 关机方式：
 - ◆ VCC9\VCC1\VCC2 电压低于欠压设定值 VB_UV_SEL 设置的电压；
 - ◆ VCC9\VCC1\VCC2 电压低于欠压设定值 VB_LO_SEL 设置的电压，并且 VB_LO_ACT=0；
 - ◆ I2C 或 SPI 命令写 DEV_OFF=1；
 - ◆ 超温保护关机（140 /160 度）；
 - ◆ PowerKey 长按超过 6 秒强制关机(6/8/10/12 可配)；
 - ◆ 另一颗 PMIC 拉低 SYNC 和 RESET 脚引发协同关机。
- RK806 具体设计说明，请参考 RK PMIC 相关设计文档《AN_RK806_V1.0》。

2.2.4 RK3588S 与 RK806-2 双 PMIC 电源方案介绍

2.2.4.1 RK3588S+RK806-2 Power Tree

Power Diagram

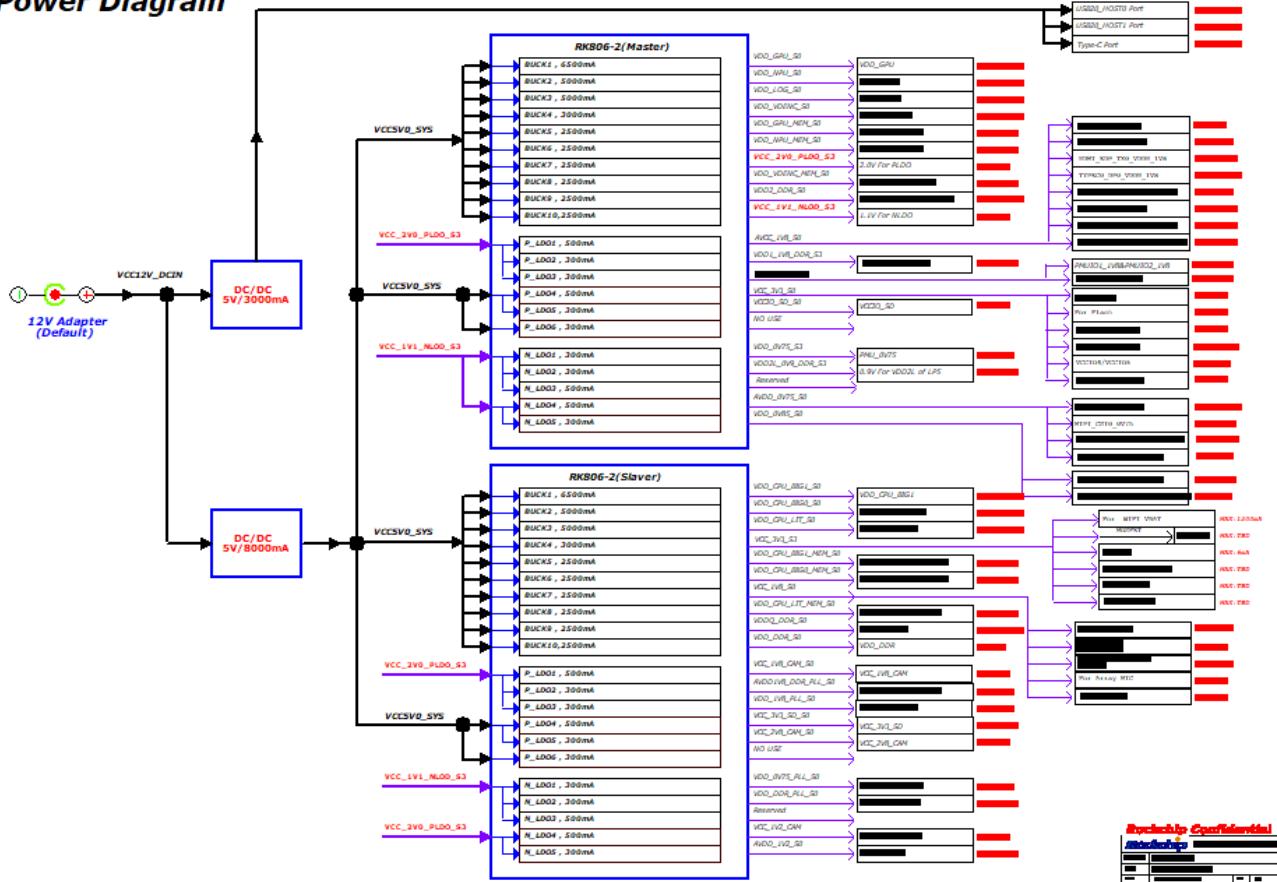


图 2-58 RK3588S+RK806-2 电源架构

2.2.4.2 RK806-2 上电时序

RK806-2 里面包含了 Master 和 Slave 两套上电时序，并且已经固化，不能用 RK806-1 等其它型号代替 RK806-2，同样使用单 PMIC 方案的 RK806-1 也不能用 RK806-2 来代替。

Master:

Power Supply	PMIC Channel	Supply Limit	Power Name	Time Slot	Default Voltage	Default ON/OFF	Sleep ON/OFF	Peak Current	Sleep Current
VCC4V0_SYS	PMIC1_BUCK1	6.5A	VDD_GPU_SO	Slot:1	0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK2	5A	VDD_NPU_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK3	5A	VDD_LOG_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK4	3A	VDD_VDENC_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK5	2.5A	VDD_GPU_MEM_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK6	2.5A	VDD_NPU_MEM_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK7	2.5A	VCC_2V0_PLDO_S3		2.0V	ON	ON	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK8	2.5A	VDD_VDENC_MEM_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK9	2.5A	VDD2_DDR_S3		1.1V	ON	ON	TBD	TBD
VCC4V0_SYS	PMIC1_BUCK10	2.5A	VCC_1V1_NLDO_S3		1.1V	ON	ON	TBD	TBD
VCC_2V0_PLDO	PMIC1_PLDO1	0.5A	AVCC_1V8_SO		1.8V	ON	OFF	TBD	TBD
	PMIC1_PLDO2	0.3A	VDD1_1V8_DDR_S3		1.8V	ON	ON	TBD	TBD
	PMIC1_PLDO3	0.3A	VCC_1V8_S3		1.8V	ON	ON	TBD	TBD
VCC4V0_SYS	PMIC1_PLDO4	0.5A	VCC_3V3_SO		3.3V	ON	OFF	TBD	TBD
	PMIC1_PLDO5	0.3A	VCCIO_SD_SO		1.8/3.3V	ON	OFF	TBD	TBD
VCC_1V1_NLDO	PMIC1_NLDO1	0.3A	VDD_0V75_S3		0.75V	ON	ON	TBD	TBD
	PMIC1_NLDO2	0.3A	VDD2L_0V9_DDR_S3		0.9V	ON	ON	TBD	TBD
	PMIC1_NLDO3	0.5A	Reserved		0.75V	ON	OFF	TBD	TBD
VCC_1V1_NLDO	PMIC1_NLDO4	0.5A	AVDD_0V75_SO		0.75V	ON	OFF	TBD	TBD
	PMIC1_NLDO5	0.3A	VDD_0V85_SO		0.85V	ON	OFF	TBD	TBD

Slave:

VCC4V0_SYS	PMIC2_BUCK1	6.5A	VDD_CPU_BIG1_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK2	5A	VDD_CPU_BIG0_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK3	5A	VDD_CPU_LIT_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK4	3A	VCC_3V3_S3		3.3V	ON	ON	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK5	2.5A	VDD_CPU_BIG1_MEM_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK6	2.5A	VDD_CPU_BIG0_MEM_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK7	2.5A	VCC_1V8_SO		1.8V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK8	2.5A	VDD_CPU_LIT_MEM_SO		0.75V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK9	2.5A	VDDQ_DDR_SO		0.6V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_BUCK10	2.5A	VDD_DDR_SO		0.85V	ON	OFF	TBD	TBD
VCC_2V0_PLDO	PMIC2_PLDO1	0.5A	VCC_1V8_CAM_SO		1.8V	OFF	OFF	TBD	TBD
	PMIC2_PLDO2	0.3A	AVDD1V8_DDR_PLL_SO		1.8V	ON	OFF	TBD	TBD
	PMIC2_PLDO3	0.3A	VDD_1V8_PLL_SO		0V	ON	OFF	TBD	TBD
VCC4V0_SYS	PMIC2_PLDO4	0.5A	VCC_3V3_SD_SO		3.3V	ON	OFF	TBD	TBD
	PMIC2_PLDO5	0.3A	VCC_2V8_CAM_SO		0V	OFF	OFF	TBD	TBD
VCC_1V1_NLDO	PMIC2_NLDO1	0.3A	VDD_0V75_PLL_SO		0.75V	ON	OFF	TBD	TBD
	PMIC2_NLDO2	0.3A	VDD_DDR_PLL_SO		0.85V	ON	OFF	TBD	TBD
	PMIC2_NLDO3	0.5A	Reserved		0.85V	ON	OFF	TBD	TBD
VCC_2V0_PLDO	PMIC2_NLDO4	0.5A	VCC_1V2_CAM_SO		0V	OFF	OFF	TBD	TBD
	PMIC2_NLDO5	0.3A	AVDD_1V2_SO		1.2V	ON	OFF	TBD	TBD

图 2-59 RK806-2 上电默认电压和时序

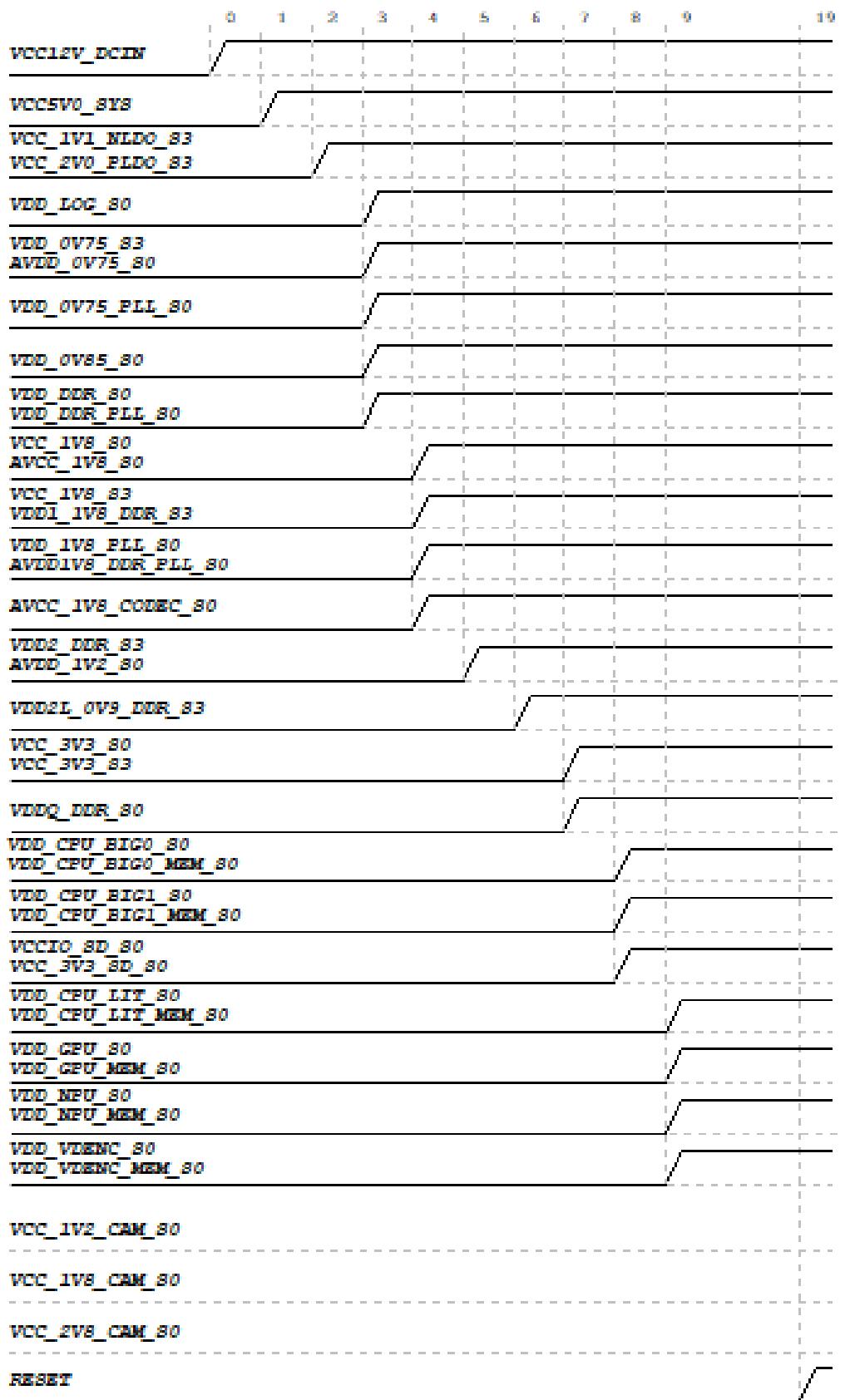


图 2-60 RK3588S+RK806-2 上电时序图

2.2.5 RK3588S 与 RK806-1 单 PMIC 电源方案介绍

2.2.5.1 RK3588S+RK806-1 Power Tree for 1-Cell (Tablet REF)

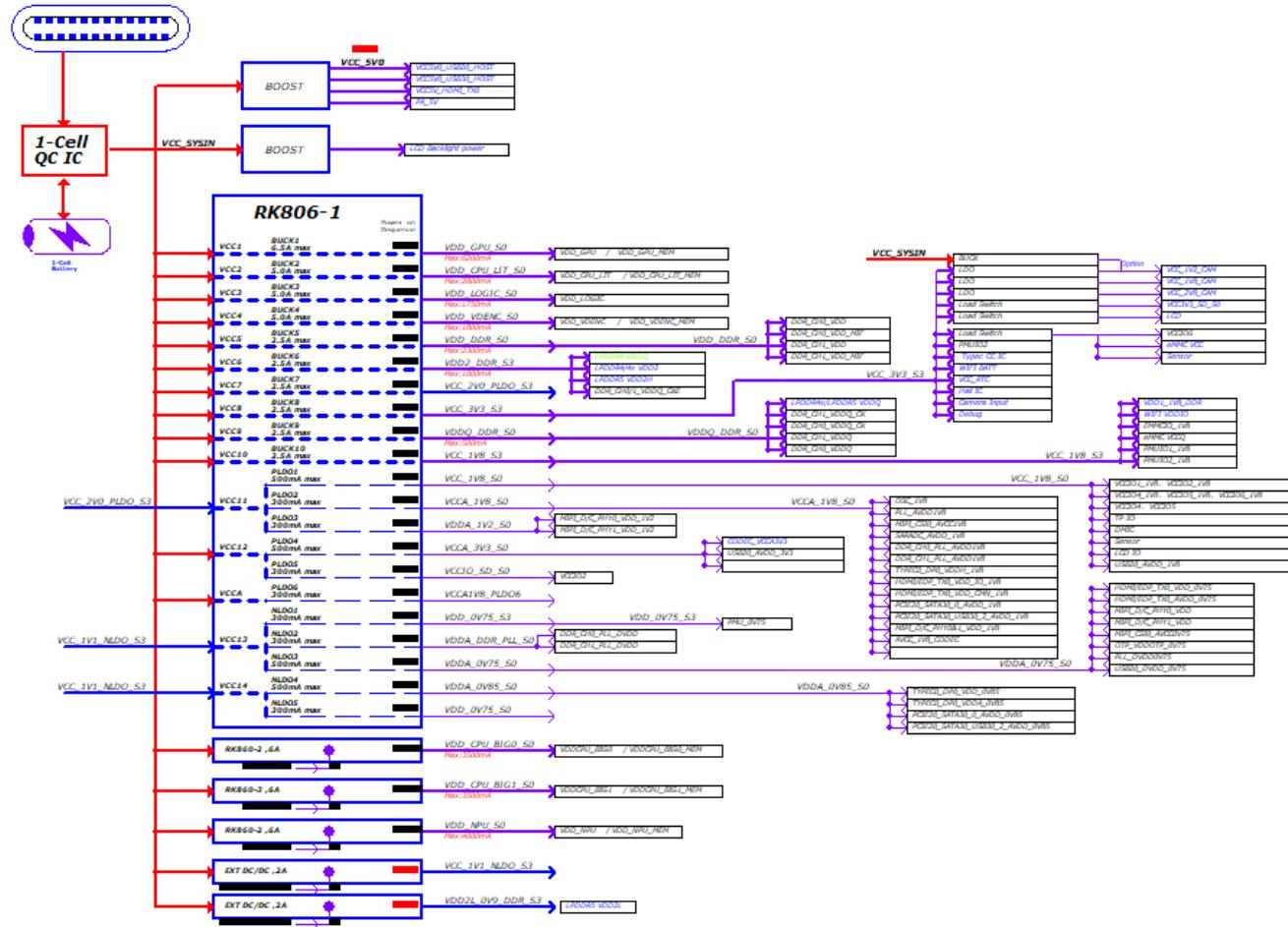


图 2-61 RK3588S+RK806-1 电源架构

2.2.5.2 RK3588S+RK806-1 Power Tree for 2-Cell (Tablet REF)

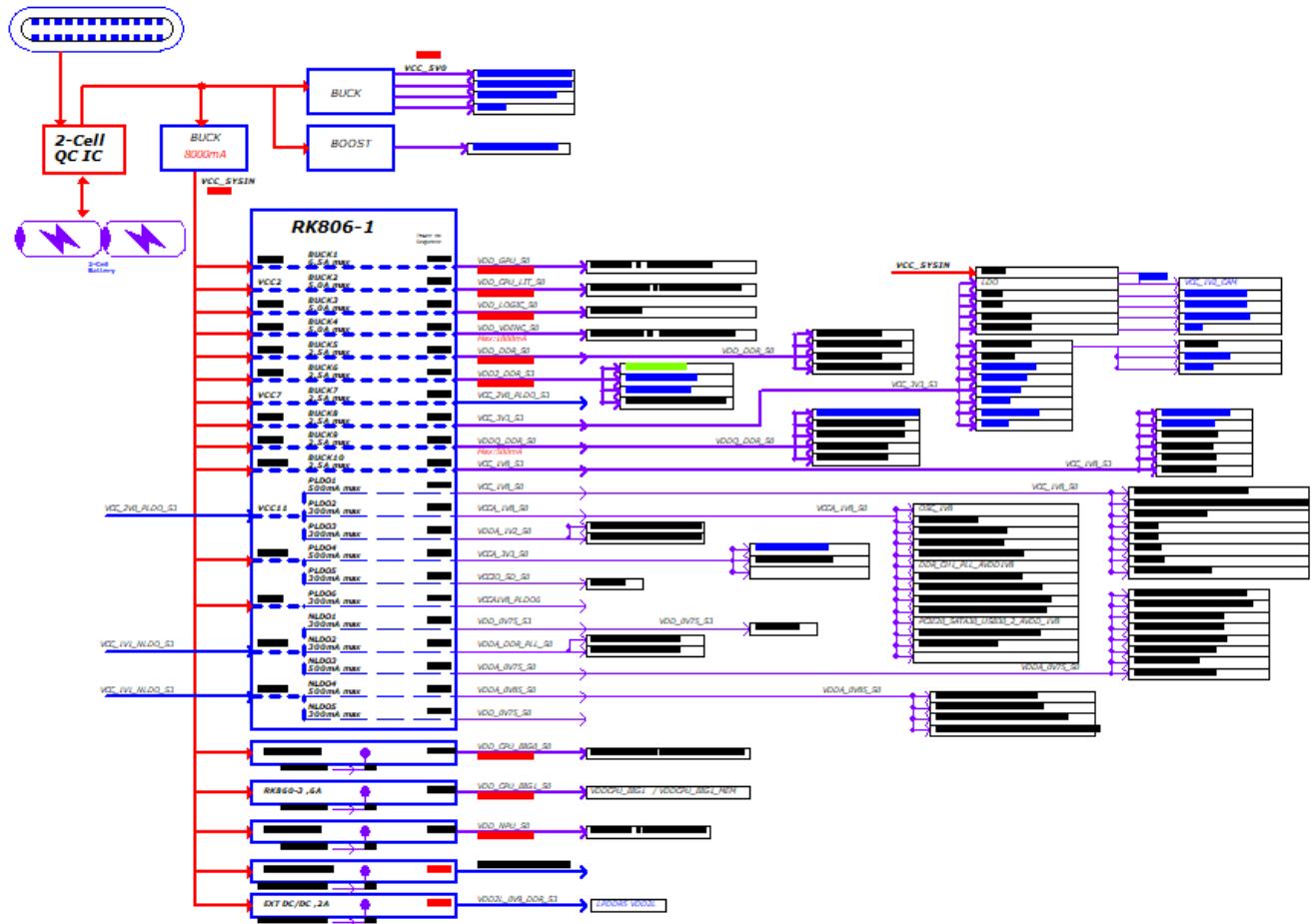


图 2-62 RK3588S+RK806-1 电源架构

2.2.5.3 RK806-1 上电时序

RK3588S 采用单 PMIC RK806-1 时，还需要外挂三颗 RK860 给 RK3588S 的 NPU 和两个 big CPU 辅助供电。三颗 RK860 的料号分别为 RK860-2/RK860-3/RK860-2（分别挂在两个 I2C 总线上）。三颗 RK860 的 EN 信号受 VCC_3V3_S3 电源控制，BIG0_CPU、BIG1_CPU、NPU（包括各自的 MEM 电源）要求开机默认供电。

<i>Power Supply</i>	<i>PMIC Channel</i>	<i>Supply Limit</i>	<i>Power Name</i>	<i>Time Slot</i>	<i>Default Voltage</i>	<i>Default ON/OFF</i>	<i>Sleep ON/OFF</i>	<i>Peak Current</i>	<i>Sleep Current</i>
VCC_SYSIN	RK806-1_BUCK1	6.5A	VDD_GPU_S0	Slot:5	0.75V	ON	OFF	TBD	TBD
VCC_SYSIN	RK806-1_BUCK2	5A	VDD_CPU_LIT_S0	Slot:3	0.75V	ON	OFF	TBD	TBD
VCC_SYSIN	RK806-1_BUCK3	5A	VDD_LOG_S0	Slot:2	0.75V	ON	OFF	TBD	TBD
VCC_SYSIN	RK806-1_BUCK4	3A	VDD_VDEC_S0	Slot:5	0.75V	ON	OFF	TBD	TBD
VCC_SYSIN	RK806-1_BUCK5	2.5A	VDD_DDR_S0	Slot:2	0.85V	ON	OFF	TBD	TBD
VCC_SYSIN	RK806-1_BUCK6	2.5A	VDD2_DDR_S3	Slot:4	ADJ FB=0.5V	ON	ON	TBD	TBD
VCC_SYSIN	RK806-1_BUCK7	2.5A	VCC_2V0_PLDO_S3	Slot:1	2.0V	ON	ON	TBD	TBD
VCC_SYSIN	RK806-1_BUCK8	2.5A	VCC_3V3_S3	Slot:6	3.3V	ON	ON	TBD	TBD
VCC_SYSIN	RK806-1_BUCK9	2.5A	VDDQ_DDR_S0	Slot:6	ADJ FB=0.5V	ON	OFF	TBD	TBD
VCC_SYSIN	RK806-1_BUCK10	2.5A	VCC_1V8_S3	Slot:3	1.8V	ON	ON	TBD	TBD
VCC_2V0_PLDO_S3	RK806-1_PLDO1	0.5A	VCC_1V8_S0	Slot:3	1.8V	ON	OFF	TBD	TBD
	RK806-1_PLDO2	0.3A	VCCA_1V8_S0	Slot:3	1.8V	ON	OFF	TBD	TBD
	RK806-1_PLDO3	0.3A	VDDA_1V2_S0	Slot:4	1.2V	ON	OFF	TBD	TBD
VCC_SYSIN	RK806-1_PLDO4	0.5A	VCCA_3V3_S0	Slot:6	3.3V	ON	OFF	TBD	TBD
	RK806-1_PLDO5	0.3A	VCCIO_SD_S0	Slot:6	3.3V	ON	OFF	TBD	TBD
	RK806-1_PLDO6	0.3A	VCCA1V8_PLDO6_S3	Slot:3	1.8V	ON	ON	TBD	TBD
VCC_1V1_NLDO_S3	RK806-1_NLDO1	0.3A	VDD_0V75_S3	Slot:2	0.75V	ON	ON	TBD	TBD
	RK806-1_NLDO2	0.3A	VDDA_DDR_PLL_S0	Slot:2	0.85V	ON	OFF	TBD	TBD
	RK806-1_NLDO3	0.5A	VDDA_0V75_S0	Slot:2	0.75V	ON	OFF	TBD	TBD
VCC_1V1_NLDO_S3	RK806-1_NLDO4	0.5A	VDDA_0V85_S0	Slot:2	0.85V	ON	OFF	TBD	TBD
	RK806-1_NLDO5	0.3A	VDD_0V75_S0	Slot:2	0.75V	ON	OFF	TBD	TBD
	BUCK_RK860-2	6A	VDD_CPU_BIG0_S0	Slot:6A	0.75V	ON	OFF	TBD	TBD
VCC_SYSIN	BUCK_RK860-3	6A	VDD_CPU_BIG1_S0	Slot:6A	0.75V	ON	OFF	TBD	TBD
VCC_SYSIN	BUCK_RK860-2	6A	VDD_NPU_S0	Slot:6A	0.75V	ON	OFF	TBD	TBD
VCC_SYSIN	EXT_BUCK	2A	VCC_1V1_NLDO_S3	Slot:1	1.1V	ON	ON	TBD	TBD
VCC_SYSIN	EXT_BUCK	2A	VDD2L_0V9_DDR_S3	Slot:5	0.9V	ON	ON	TBD	TBD
VCC_SYSIN	EXT_BUCK	2.5A	VCC_3V3_SD_S0	Slot:6A	3.3V	ON	OFF	TBD	TBD
VCC_SYSIN	EXT_BUCK or LDO	2A	VCC_1V2_CAM_S0	OFF	1.2V	OFF	OFF	TBD	TBD
VCC_SYSIN	LDO	0.5A	VCC_1V8_CAM_S0	OFF	1.8V	OFF	OFF	TBD	TBD
VCC_SYSIN	LDO	0.5A	VCC_2V8_CAM_S0	OFF	2.8V	OFF	OFF	TBD	TBD

图 2-63 RK3588S+RK806-1 上电时序表

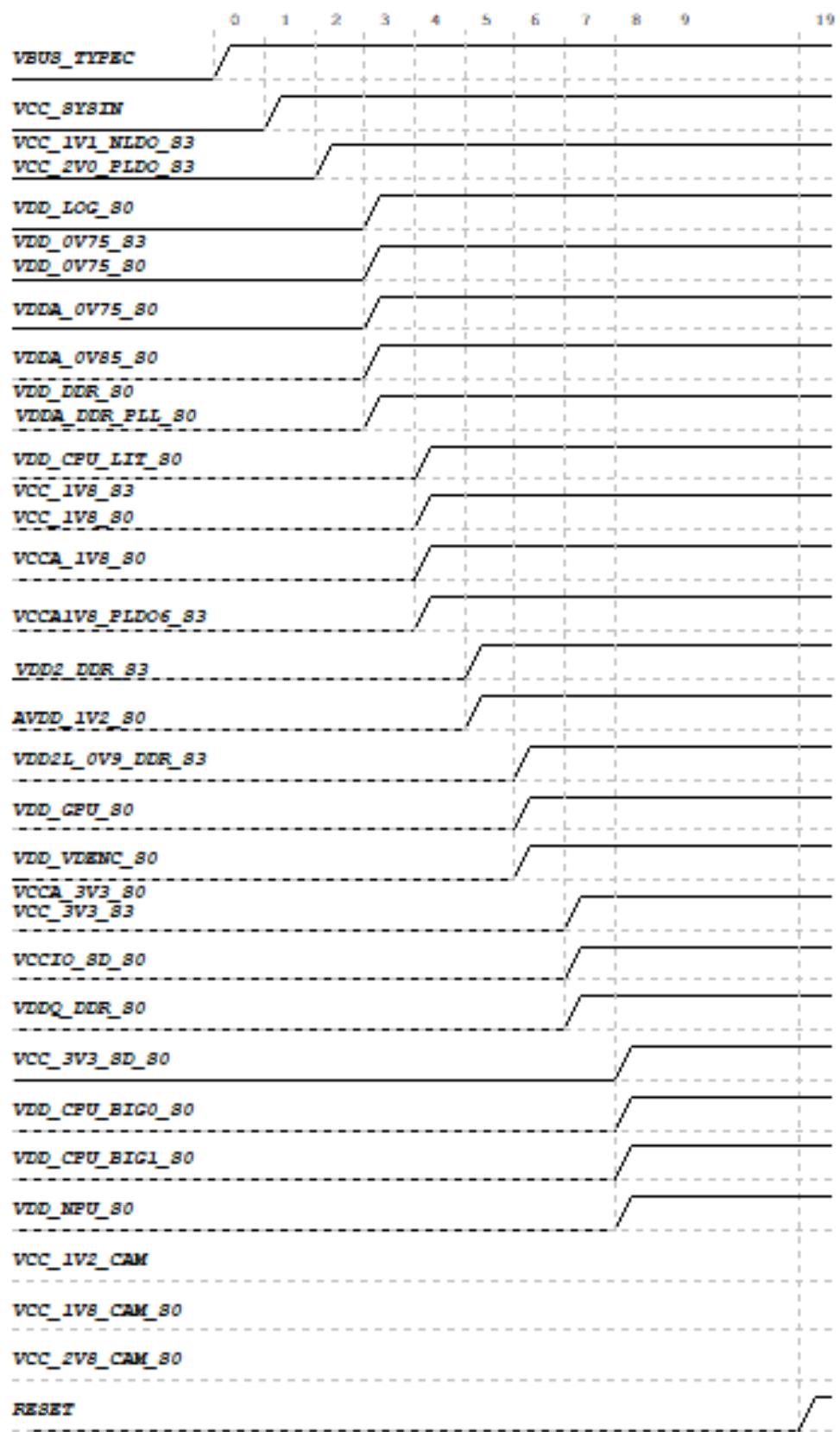


图 2-64 RK3588S+RK806-1 上电时序图

2.2.5.4 核心模块峰值电流表

以下数据为各核心模块工作的峰值电流，供评估电源方案和 PCB Layout 使用，仅供参考。

注意：不能简单的全部加起来算成 SOC 的峰值电流，要评估散热方案，请根据实际场景的工作平均电流进行。

表 2-12 RK3588S 峰值电流表

RK3588S 核心模块极限电流（高温）参考

测试条件：芯片结温 100°C；

散热情况：裸板，无散热片；

测试方法：开发板工作稳定后，运行 15 分钟记录；

运行场景：不同模块在运行各自极限场景环境下测试所得；

注意：以下数据为内部研发板上的测试数据，仅供设计参考，不代表芯片的最终能力。功耗与产品实际应用场景强相关，如需深度优化，可与技术支持人员进一步探讨；

核心模块 极限电流	电源网络	电压 (V)	峰值电流 (A)	峰值功率 (W)	备注
	VDD_CPU_BIG0_S0	0.980	4.00	3.92	频率 2400MHz
	VDD_CPU_BIG1_S0	0.980	4.00	3.92	频率 2400MHz
	VDD_CPU_LIT_S0	0.950	3.00	2.85	频率 1800MHz
	VDD_LOG_S0	0.750	2.50	1.88	
	VDD_GPU_S0	0.850	6.50	5.53	频率 1000MHz
	VDD_NPU_S0	0.850	4.00	3.40	频率 1000MHz
	VDD_VDENC_S0	0.775	2.50	1.94	频率 750MHz
	VDD_DDR_S0	0.870	2.50	2.18	频率 2112MHz

2.3 功能接口设计指南

2.3.1 SDMMC/SDIO

RK3588S 集成了 1 个 SDMMC 控制器和 1 个 SDIO 控制器，均可支持 SDIO3.0 协议，以及 MMC V4.51 协议。

4 线的数据总线宽度；支持 SDR104 模式，速率达到 150MHz。

2.3.1.1 SDMMC 接口

- SDMMC 接口复用在 VCCIO2 电源域；
- 支持 System Boot，默认分配接 SD 卡功能；
- SDMMC 与 JTAG 等功能复用在一起，默认通过 SDMMC_DET 状态进行功能选择，具体请参考 2.1.5 小节描述；

- VCCIO2 供电电源，需要外部提供 3.3V 或 1.8V 供电；
- 当接 SD 卡时：如果只要支持 SD2.0 模式：可直接供 3.3V 电源；如果要支持 SD3.0 模式兼容 SD2.0 模式：默认供 3.3V 电源，待和 SD 卡协商跑 SD3.0 模式后，供电电压需要切换成 1.8V 供电，RK806-2 或 RK806-1 的 PLDO5 单独给 VCCIO2 供电，可实现这个过程；
- 当接 SDIO 设备时：根据外设以及实际运行的模式供 1.8V 或 3.3V；

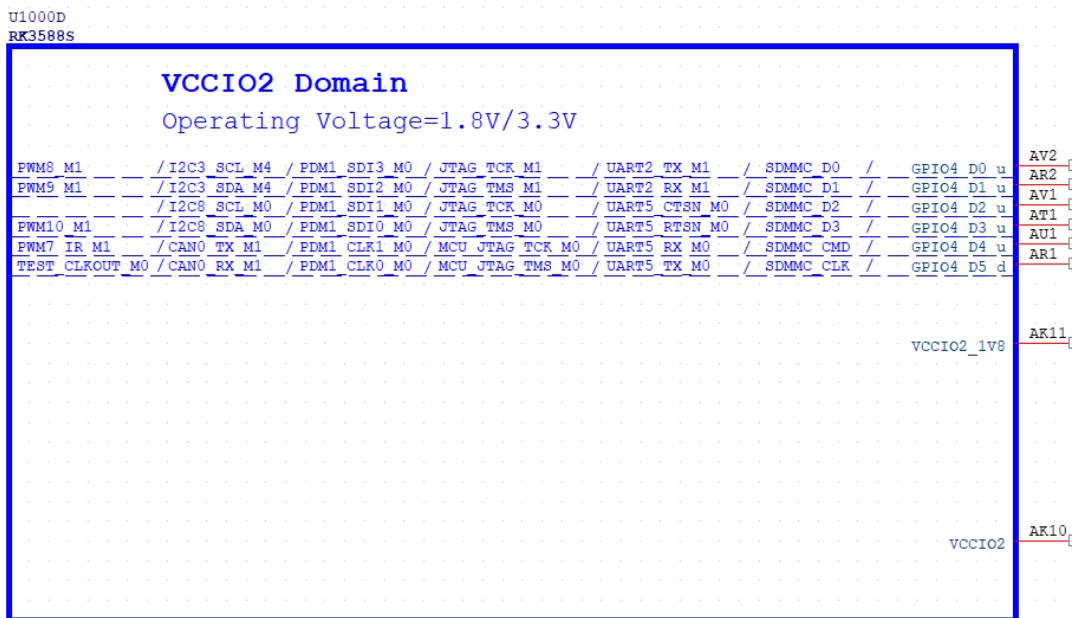


图 2-65 RK3588S SDMMC 接口管脚

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；
- 当接 SD 卡使用时，需要注意以下问题：
 - 1) SD 卡的 VDD 脚供电电压为 3.3V，去耦电容不得删减，布局时，要靠近卡座放置；
 - 2) SDMMC_D[3: 0], SDMMC_CMD, SDMMC_CLK 需串接 22ohm 电阻，SDMMC_DET 串接 100ohm 电阻；
 - 3) SDMMC_D[3: 0], SDMMC_CMD, SDMMC_CLK, SDMMC_DET 信号在 SD 卡位置需要放置 ESD 器件，需要支持 SD3.0 模式，ESD 器件的结电容必须小于 1pF，如只需支持 SD2.0 模式，ESD 器件的结电容可放宽到 9pF。

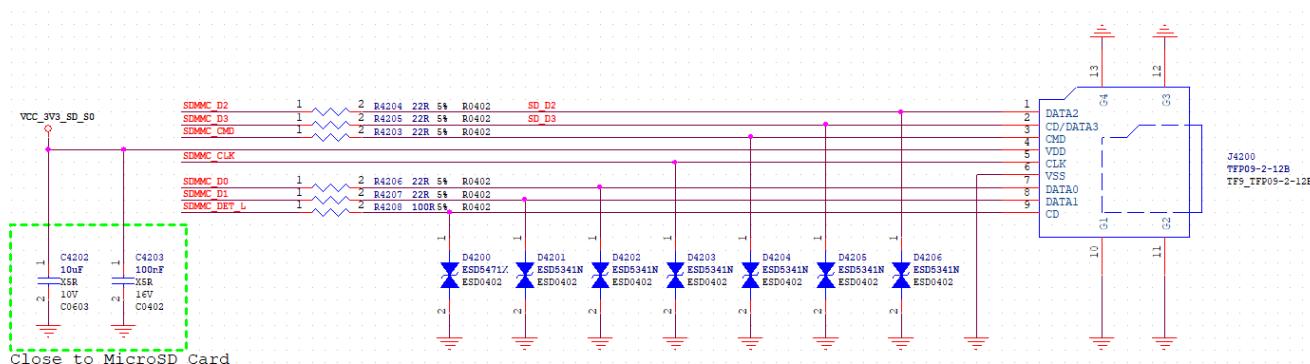


图 2-66 SD Card 接口电路

4) SDMMC0 接口上下拉和匹配设计推荐如表:

表 2-13 SDMMC0 接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
SDMMC0_D[3: 0]	上拉	串联 22ohm 电阻 使用对应 IO 内部上拉电阻	SD 数据发送/接收
SDMMC0_CLK	下拉	串联 22ohm 电阻	SD 时钟发送
SDMMC0_CMD	上拉	串联 22ohm 电阻 使用对应 IO 内部上拉电阻	SD 命令发送/接收
SDMMC0_DET	上拉	串联 100ohm 电阻 使用对应 IO 内部上拉电阻	SD 卡插入检测

2.3.1.2 SDIO 接口

- SDIO 接口只在 VCCIO5 电源域;
- 不支持 System Boot;
- VCCIO5 供电电源为 1.8V or 3.3V, 根据外设需要选择对应的电压, 需要注意和外设的 IO 保持一致。

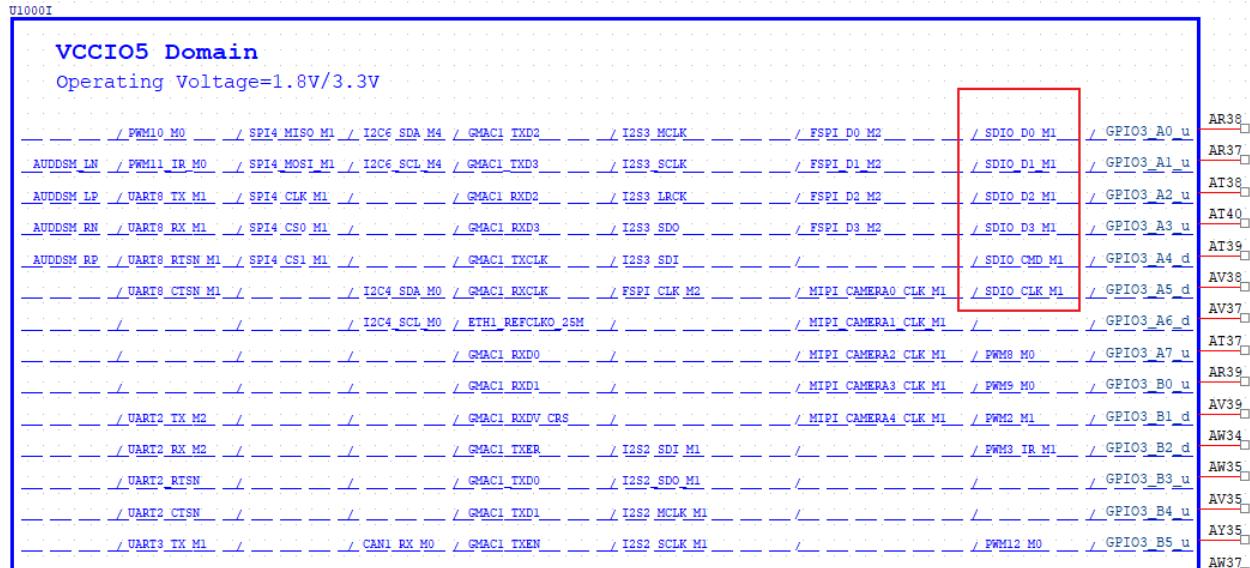


图 2-67 RK3588S SDIO 接口 M1 功能管脚

- SDIO 接口上下拉和匹配设计推荐如表:

表 2-14 SDIO 接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
SDIO_D[3: 0]	上拉	串联 0ohm 电阻, 走线较短时可删除 使用对应 IO 内部上拉电阻	SD 数据发送/接收
SDIO_CLK	下拉	串联 0ohm 电阻	SD 时钟发送
SDIO_CMD	上拉	串联 0ohm 电阻, 走线较短时可删除 使用对应 IO 内部上拉电阻	SD 命令发送/接收

当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.1.3 SDIO 接 WIFI 时注意点

- 请确保模组的 IO 电平与 CPU 的 IO 电平保持一致, 否则需要做电平匹配处理;
- 晶体负载电容请根据实际使用的晶体的 CL 电容值选择, 并控制常温下的频率容限在 10ppm 以内;
- 天线预留 π 型电路用于天线匹配调节;
- 确认 PCM 与 UART 接口的连接方向, 如 IN 和 OUT、TXD 和 RXD;
- 如果需要使用 32.768k 时钟输入的模组, 32.768k 需要上拉电阻且需要注意时钟幅度满足 WIFI 模组的参数。

2.3.2 SARADC 电路

RK3588S 集成了一个分辨率为 12bit 的 SARADC 控制器, 速度达到 1MS/s, 输入电压范围为 0-1.8V, 可提供 8 路 SARADC 输入。

SARADC_IN0_BOOT 专用于 SYSTEM BOOT 启动顺序的设置, 不能用于其它功能, 通过上下拉电阻分压采样得到的值, 用来判断从哪个接口进行 BOOT, 设置如下表: (Rup/Rdown 代表上、下拉电阻)

Item	Rup(ohm)	Rdown(ohm)	ADC	BOOT MODE
LEVEL1	DNP	100K	0	USB (Maskrom Mode)
LEVEL2	100K	20K	682	SD Card→USB
LEVEL3	100K	51K	1365	EMMC→USB
LEVEL4	100K	100K	2047	FSPI_M0→USB
LEVEL5	100K	200K	2730	/
LEVEL6	100K	499K	3412	FSPI_M2→USB
LEVEL7	100K	DNP	4095	FSPI_M2 → FSPI_M1 → FSPI_M0 →EMMC_SD Card→USB

若 Rup=DNP, Rdown=100K; RK3588S 设备连接好 USB 线, 此时上电, 系统可以直接进入 Maskrom。

SARADC_VIN1 当做按键的键值输入采样, 并复用为 Recovery 模式按键 (不可修改)。

SARADC_VIN1 通过 10Kohm 上拉电阻上拉到 VCCA_1V8_S0, 默认为高电平 (1.8V), 在没有按键动作且系统已经烧录固件的前提下, 上电直接进入系统; 若系统启动时 Recovery 模式按键处于按下状态, 即将 SARADC_VIN1 保持为低电平 (0V), 则 RK3588S 进入 Loader 烧写模式, 当 PC 识别到 USB 设备

时，松开按键使 SARADC_VIN1 恢复为高电平（1.8V），即可进行固件烧写。因此，在产品未有按键情况下，SARADC_VIN1 悬空时，会不定态，可能会影响开机，所以 SARADC_VIN1 的 10Kohm 上拉电阻必须保留，不可删减，保证默认的正常启动判断；为了方便开发，SARADC_VIN1 建议预留按键或预留测试点。

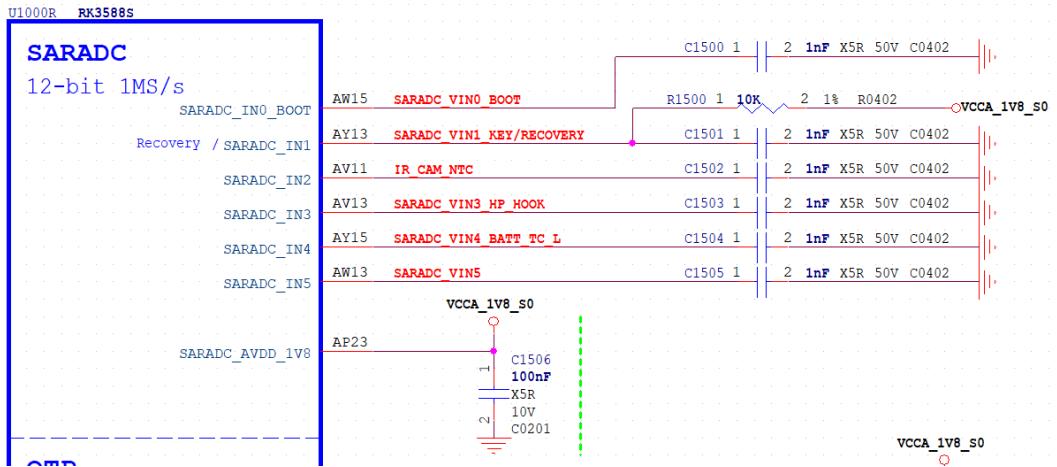


图 2-68 SARADC VIN0 接口

RK3588S 上，按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求；设计中建议任意两个按键键值必须大于 ± 35 ，即中心电压差必须大于 123mV。

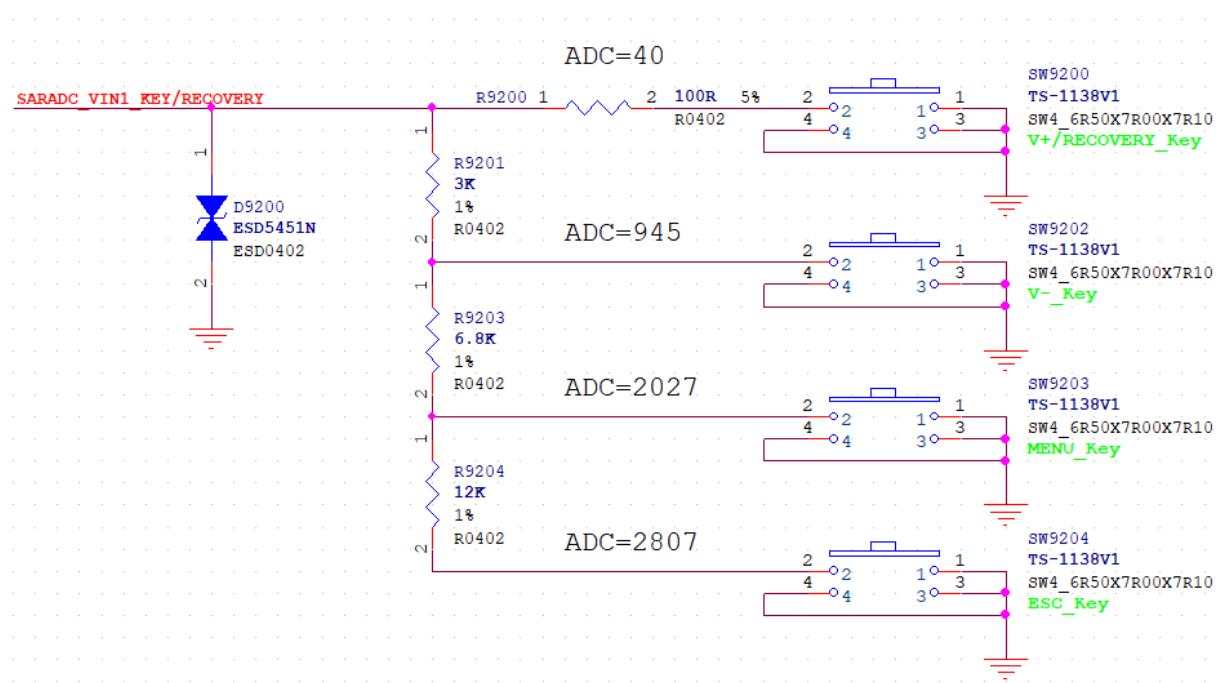


图 2-69 RK3588S SARADC 按键矩阵电路

RK3588S SARADC 设计注意点：

- SARADC_AVDD_1V8 电源的去耦电容不得删减，布局时，要靠近 RK3588S 管脚放置；
- SARADC_VIN[7: 0]有使用，靠近管脚必须增加 1nF 电容消抖；
- 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌能力（如果只有一个键时，ESD 必须靠近按键，先经过 ESD \rightarrow 100ohm 电阻 \rightarrow 1nF \rightarrow 芯片管脚）。

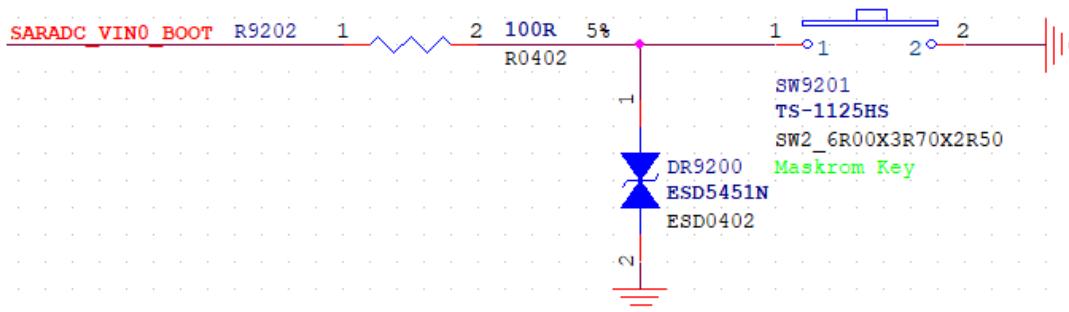


图 2-70 RK3588S SARADC 单按键电路

2.3.3 OTP 电路

RK3588S 内部有 32Kbit 空间和高位 4Kbit 的地址非安全空间用于编程。支持编写，读取以及空闲模式，这几个模式 OTP_VDDOTP_0V75 管脚都必须供电。

OTP_VDDOTP_0V75 电源的去耦电容不得删减，布局时，要靠近 RK3588S 管脚放置。

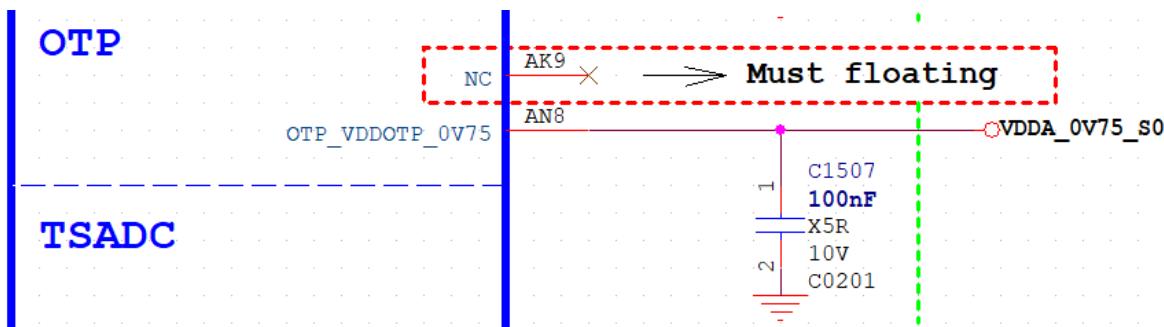


图 2-71 RK3588S OTP 电源管脚

2.3.4 USB2.0/USB3.0 电路

RK3588S 芯片内置 1 个 USB3.0 OTG 控制器（内嵌 1 个 USB2.0 OTG，下图绿色处），1 个 USB3.0 HOST 控制器，2 个 USB2.0 HOST 控制器。

这些控制器与 PHY 的内部复用图如下：

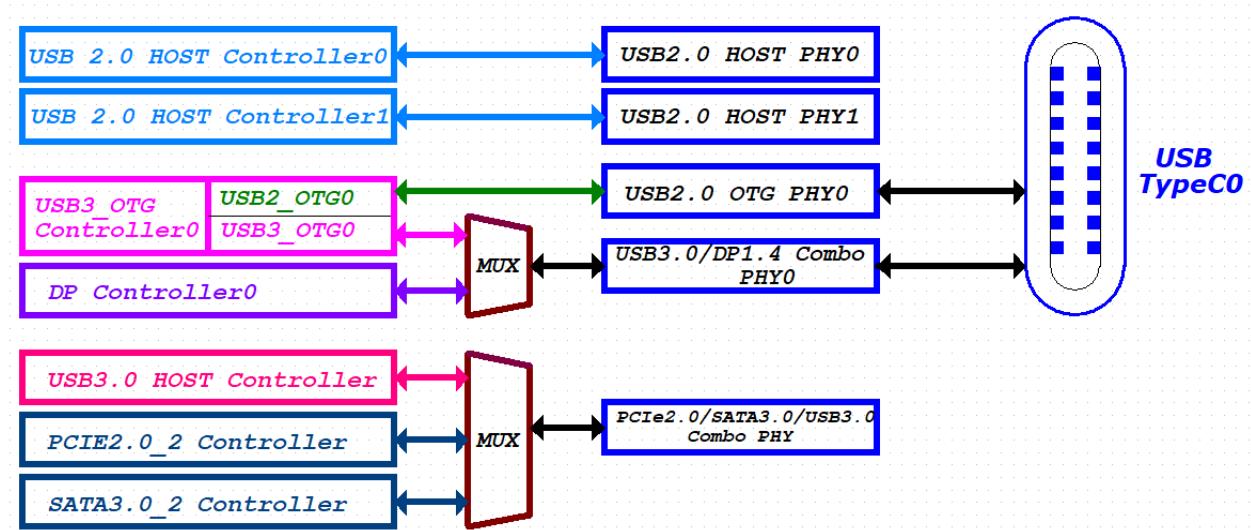


图 2-72 USB PHY 与 USB Controller 的内部复用关系

USB3.0 OTG0 控制器支持 SS/HS/FS/LS，内嵌的 USB2.0 (HS/FS/LS) 信号采用 USB2.0 OTG PHY，信号名见下图的红色方框内；RK3588S 目前仅此接口支持做 Firmware 的 Download，应用中请务必要预留此接口。

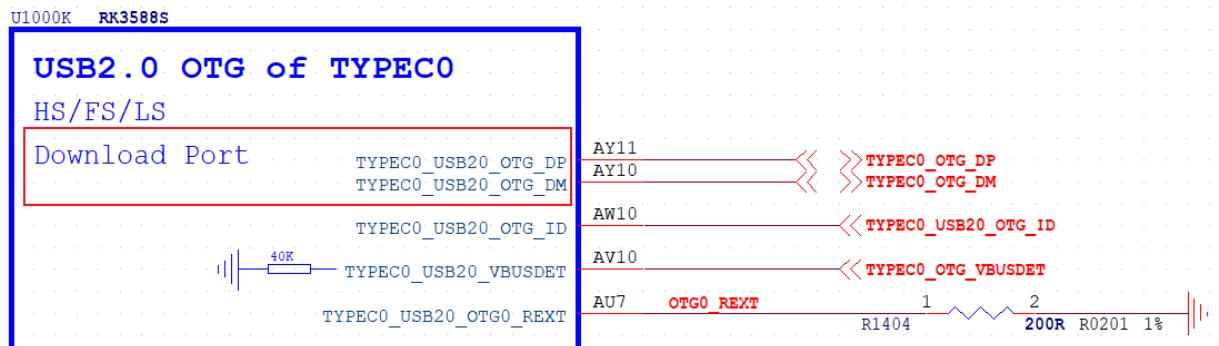


图 2-73 TYPEC0 USB2.0 OTG 管脚



注意

仅 TYPEC0_USB2.0_OTG0_DP/TYPEC0_USB2.0_OTG_DM 支持 Download Firmware，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，注意：USB3_OTG0_VBUSDET 也必须连接！

USB 3.0 的 SS 信号 (5Gbps) 与 DP1.4 复用，采用 USB/DP 的 Combo PHY；信号如下图的红色方框内。

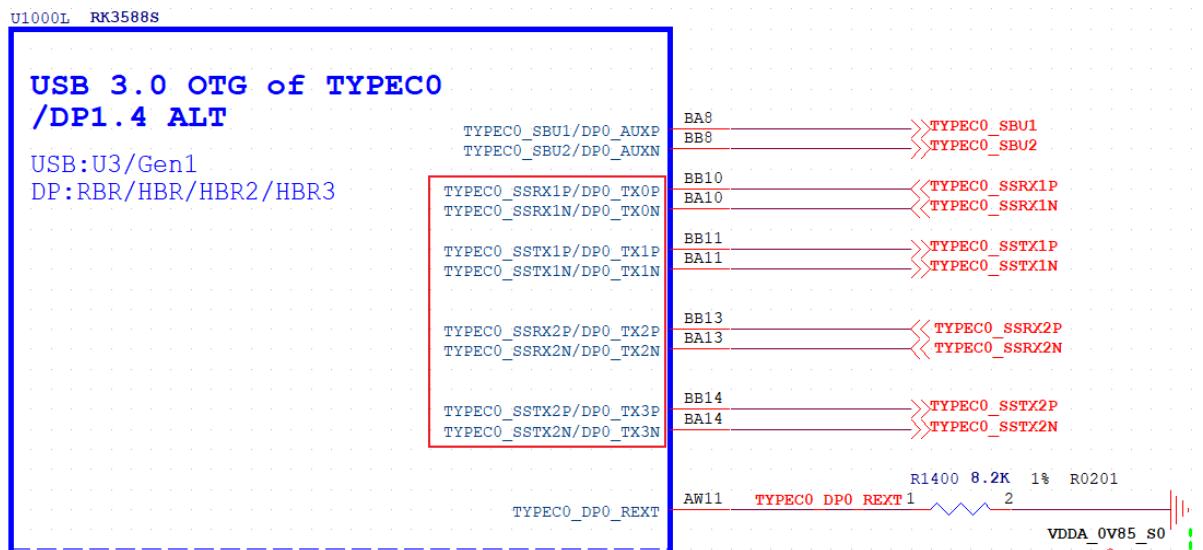


图 2-74 TYPEC0 USB3.0 OTG 与 DP 管脚

由于 USB3.0 的 OTG 和 USB2.0 的 OTG 是同一个 USB3.0 的控制器，因此 USB3.0 和 USB2.0 的 OTG 只能同时做 Device 或者做 HOST，不能 USB3.0 的 OTG 做 HOST，USB2.0 的 OTG 做 Device 或者 USB3.0 的 OTG 做 Device 而 USB2.0 的 OTG 做 HOST。

USB3.0 Controller0 和 DP1.4 Controller0 通过 USB3.0/DP1.4 的 Combo PHY0 组合成一个完整的 TYPEC 口，此 Combo PHY 支持 Display Alter mode，Lane0 和 Lane2 在 DP mode 下做 TX，在 USB mode 下做 RX；TX 和 RX 共享 Lane0 和 Lane2。

USB3.0 Controller1 和 DP1.4 Controller1 组成的 TYPEC1 口同 TYPEC0 口一样，不再做重复描述。

这个 USB3.0/DP1.4 的 Combo PHY 支持 Lane 间的交换（SWAP），因此一个 TYPEC 标准口可以有如下五种的配置：

- 配置一：Type-C 4Lane(with DP function)

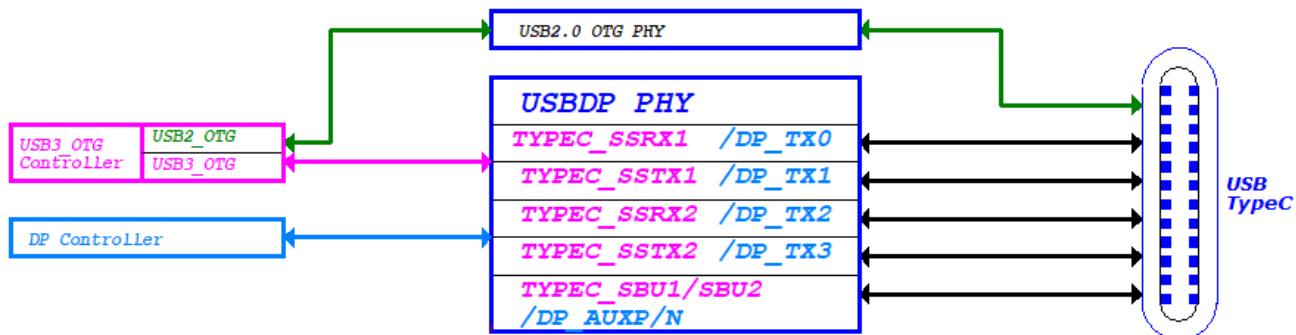


图 2-75 TYPEC0 4Lane 与 DP 的连接框图

- 配置二：USB2.0 OTG+DP 4Lane (Swap OFF)

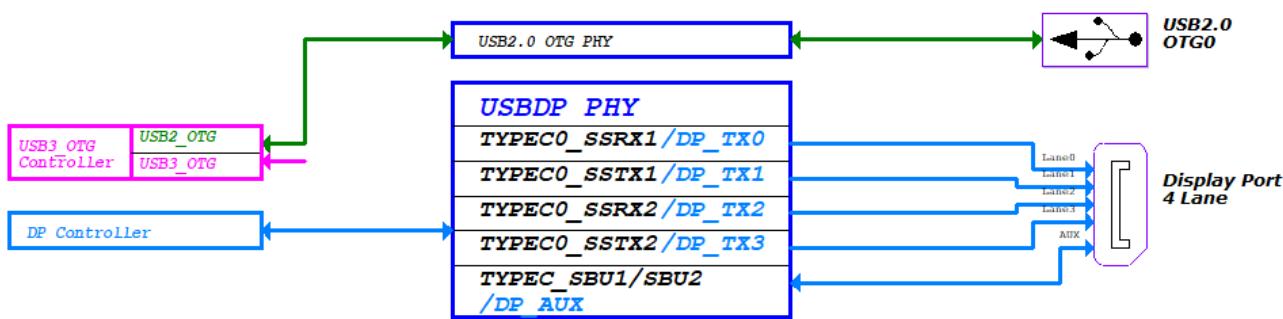


图 2-76 USB2.0 OTG+DP 4Lane 的连接框图

- 配置三：USB2.0 OTG+DP 4Lane(Swap ON)

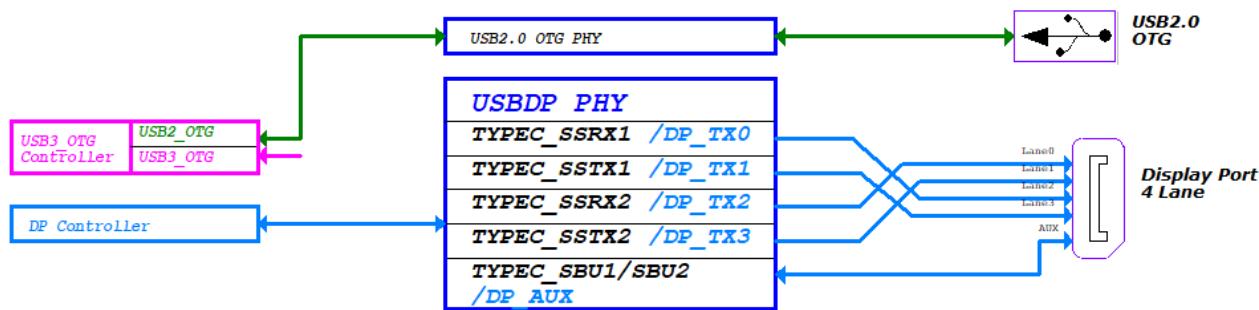


图 2-77 USB2.0 OTG+DP 4Lane (Swap ON) 的连接框图

- 配置四：USB3.0 OTG0+DP 2Lane (Swap OFF)

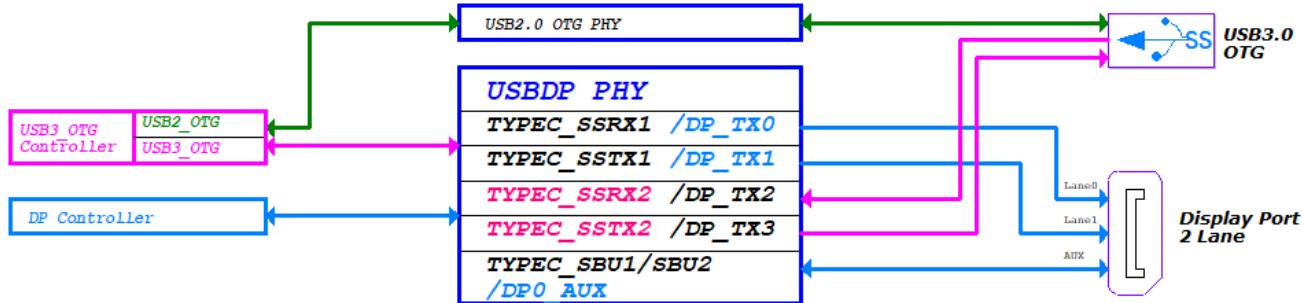


图 2-78 USB3.0 OTG0+DP 2Lane (Swap OFF) 的连接框图

- 配置五：USB3.0 OTG+DP 2Lane (Swap ON)

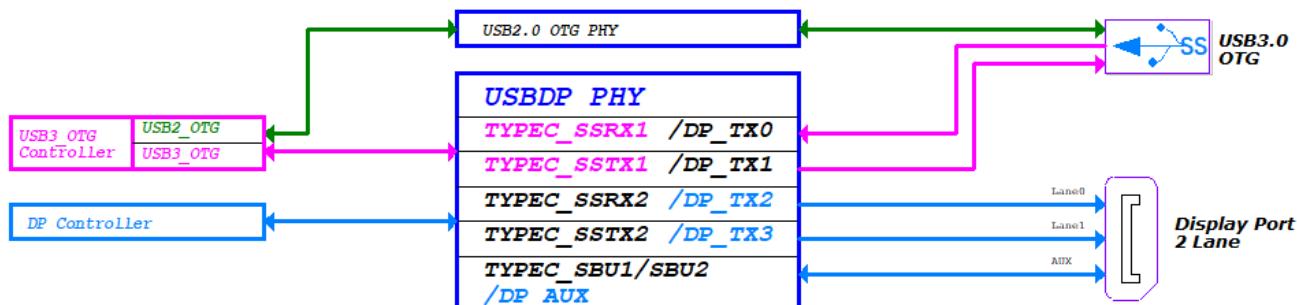


图 2-79 USB3.0 OTG0+DP 2Lane (Swap ON) 的连接框图

以上几种配置的管脚分配，详见 EVB 原理图的 PAGE 07。

USB3.0 HOST 控制器由于只有 USB3.0 的 HOST，没有内嵌 USB2.0，若需要组成一个完整的 USB3.0 HOST 接口，需要同 USB2.0 HOST Controller1（配置一）或者 USB2.0 HOST Controller0（配置二）组合成一个标准的 USB3.0 HOST。内部连接框图如下：

- 配置一：USB3.0 HOST2+USB2.0 HOST1

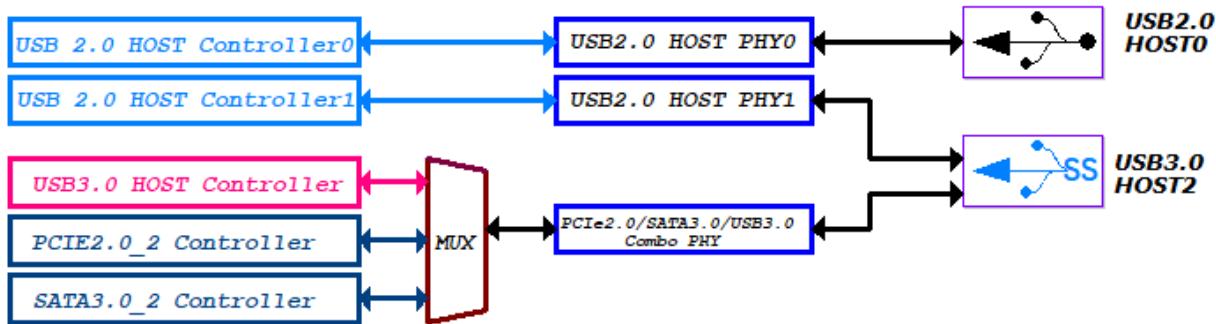


图 2-80 USB3.0 HOST2+USB2.0 HOST1 的连接框图

- 配置二：USB3.0 HOST2+USB2.0 HOST0

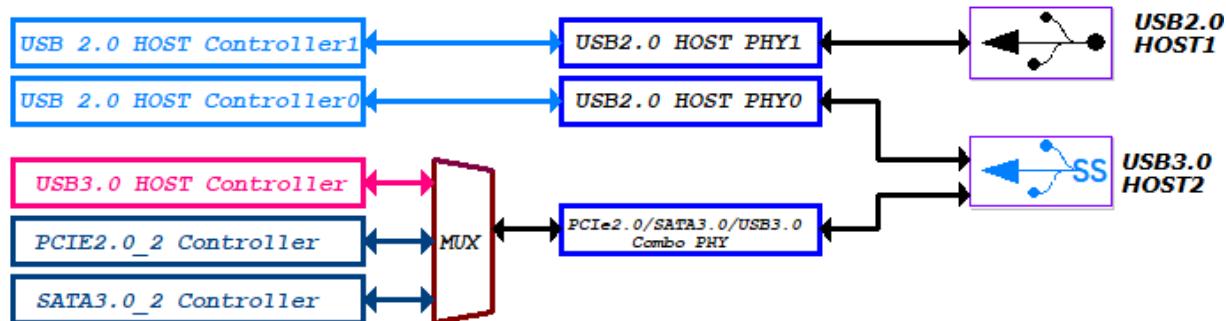


图 2-81 USB3.0 HOST2+USB2.0 HOST0 的连接框图

USB2.0 HOST0 控制器，使用 USB2.0 HOST0 PHY，下图方框内信号组成 USB2.0 HOST0 接口：

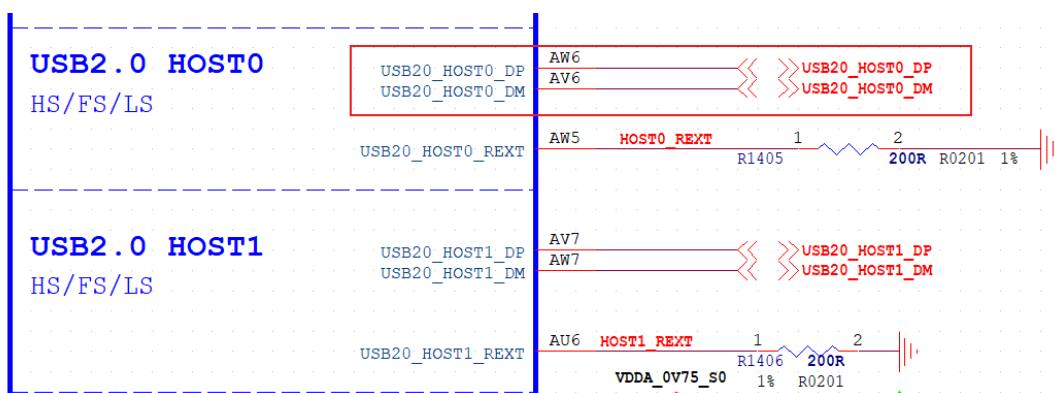


图 2-82 USB2.0 HOST0 管脚

USB2.0 HOST1 控制器，使用 USB2.0 HOST1 PHY，下图框内信号组成 USB2.0 HOST1 接口：

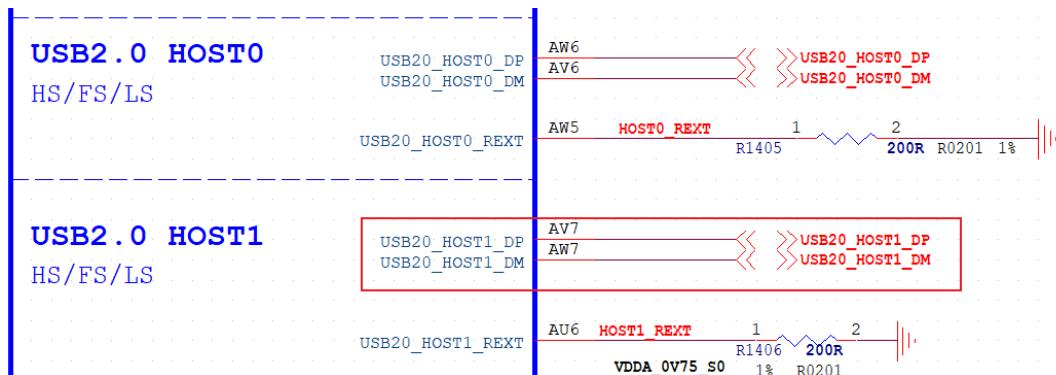


图 2-83 USB2.0 HOST1 管脚

USB2.0 Controller 和 PHY 的内部连接框图如下：

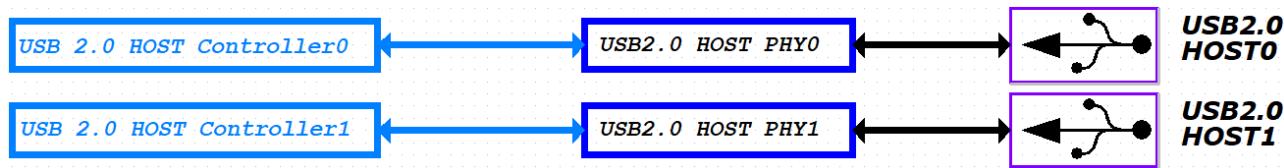


图 2-84 USB2.0 Controller 和 PHY 的连接框图

USB2.0/USB3.0 设计中请注意：

- TYPEC0_USB20_OTG_DP/TYPEC0_USB20_OTG_DM 是系统固件烧写口，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，不然会无法调试及生产烧写固件；
- TYPEC_USB20_OTG0_ID 内部有大概 200Kohm 电阻上拉到 USB20_AVDD_1V8；
- TYPEC_USB20_VBUSDET 是 OTG 和 Device 模式检测脚，高有效，2.7-3.3V，TYP: 3.0V，建议在管脚放置一个 100nF 电容。

OTG 模式可以设置以下三种模式：

- OTG 模式：根据 ID 脚状态自动切换是 device 模式或 HOST 模式，ID 高为 device，ID 拉低为 HOST，处在 device 模式时，还会判断 VBUSDET 脚是否为高（大于 2.3V），如果为高，才会拉高 DP，开始枚举；
- Device 模式：设置为这个模式时，无需 ID 脚，只需判断 VBUSDET 脚是否为高（大于 2.3V），如果为高，才会拉高 DP，开始枚举；
- HOST 模式：设置为这个模式时，ID 和 VBUSDET 状态都无需要关心。（如果产品只需要 HOST 模式，但是由于仅 TYPEC0_USB20_OTG_DP/TYPEC0_USB20_OTG_DM 是系统固件烧写口，在调试与生产过程都需要用这个口，烧写和 adb 调试时，需要设置成 device 模式，因此 TYPEC_USB20_VBUSDET 信号也必须接）。

在 uboot 起来前默认为 device 模式，进 uboot 后，可根据实际需求配置这三种模式。

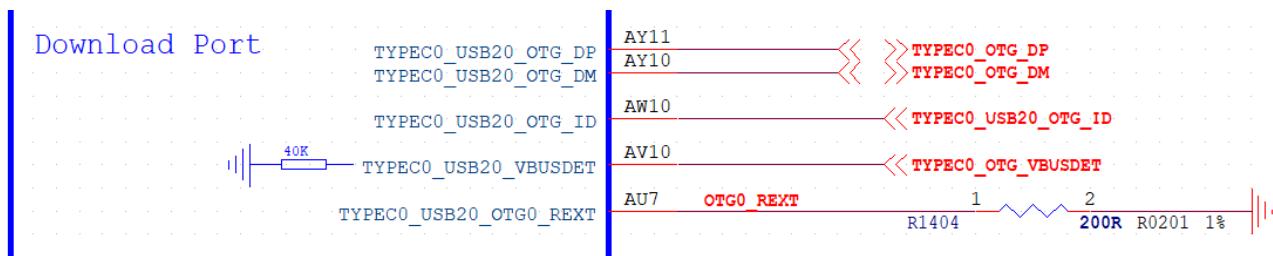


图 2-85 RK3588S TYPEC0_USB20_OTG 电路

若采用 TYPEC 接口，Pin “TYPEC0_USB20_VBUSDET” 通过一个 4.7K 上拉电阻接到 3.3V 即可；若采用 Micro USB2.0 接口，采用如下电路：

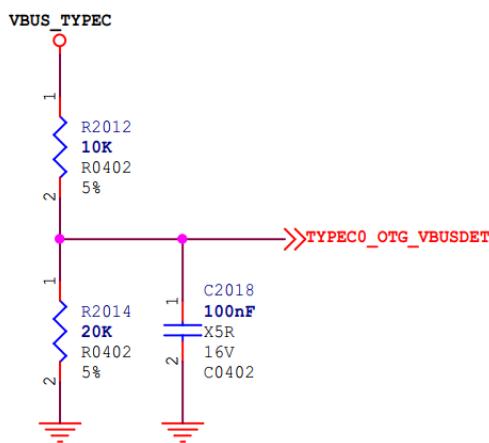


图 2-86 TYPEC0_USB20_VBUSDET 检测电路

- 为提高 USB 性能，PHY 各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- 为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，USB2.0 信号的 ESD 寄生电容不得超过 3pF，另外 USB2.0 信号的 DP/DM 串接 2.2ohm 电阻，加强抗静电浪涌能力，不得删减，见下图，举例 USB20_HOST0_DP/DM，其它 USB2.0 接口也需要同样处理；

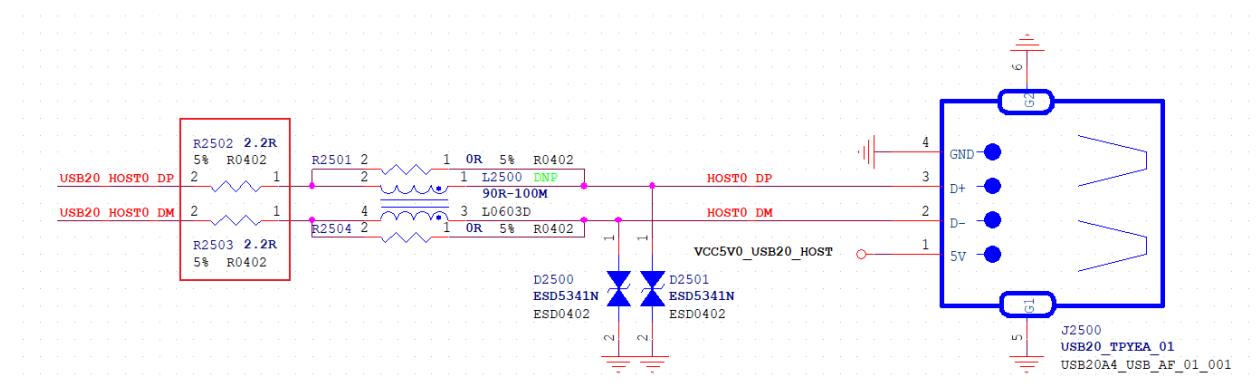


图 2-87 USB2.0 信号串接 2.2ohm 电阻电路

- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感，见下图，举例 USB20_HOST0_DP/DM，其它 USB2.0 接口也需要同样处理。

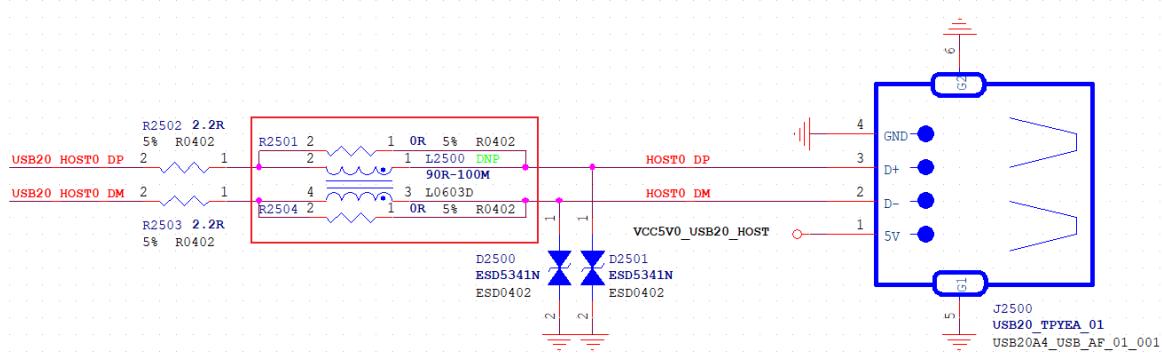


图 2-88 USB2.0 信号串共模电感电路

如果有用 TYPEC_USB20_OTG0/1_ID 信号，为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，而且串接 100ohm 电阻，不得删减，见下图：

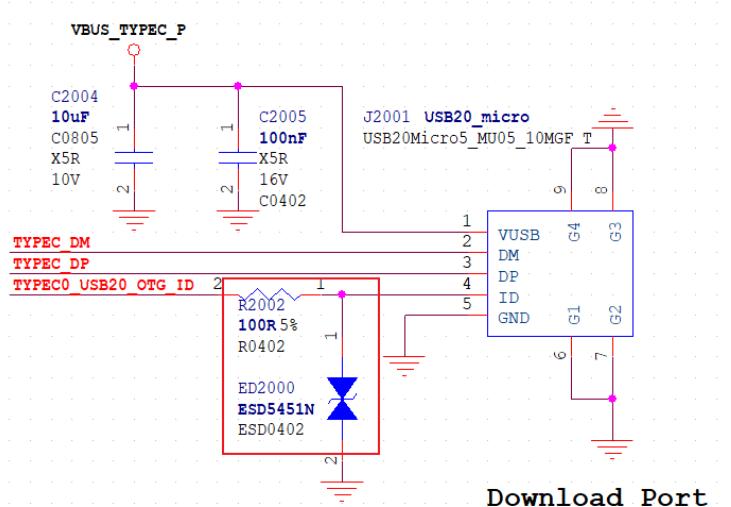


图 2-89 TYPEC_USB20_OTG0/1_ID 脚电路

当 HOST 功能时，5V 电源建议增加限流开关，限流大小根据应用需要可调整，限流开关使用 3.3V 的 GPIO 控制，建议 5V 电源增加 22uF 和 100nF 以上的电容滤波；若 USB 口可能接移动硬盘，建议滤波增加电容到 100uF 以上。

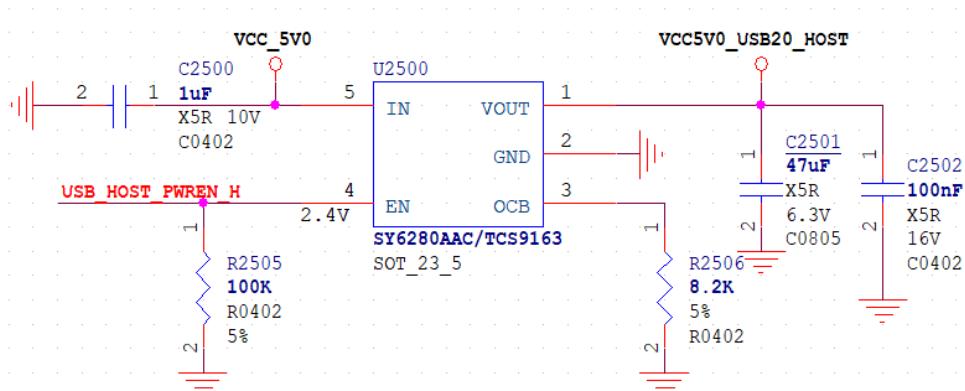


图 2-90 USB 5V 限流电路

TYPEC 协议要求在 SSTXP/N 线上增加 100nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化。

TYPEC 座子所有信号都必须增加 ESD 器件，布局时靠近 USB 连接器放置。对于 SSTXP/N, SSRXP/N 信号，ESD 寄生电容不得超过 0.3pF。

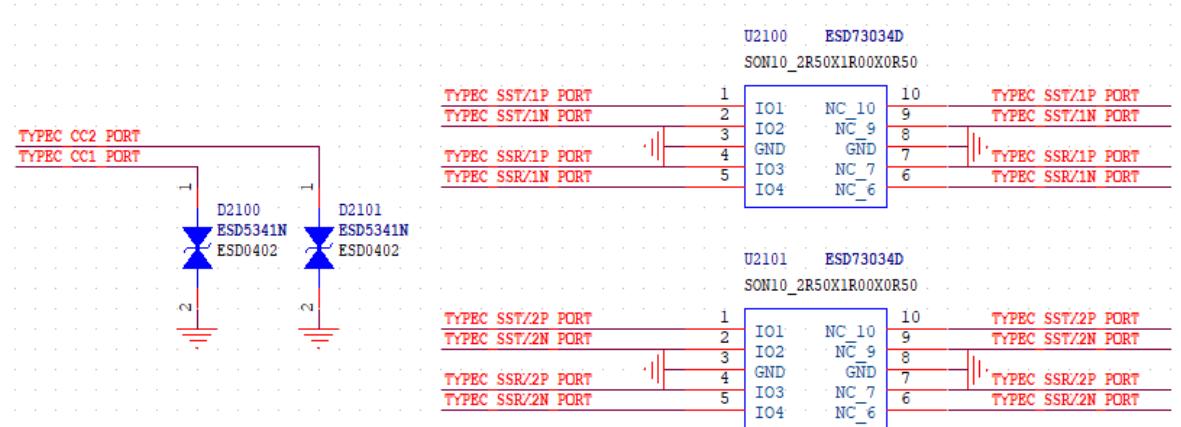


图 2-91 TYPEC 座子 ESD 电路

USB2.0/USB3.0 接口匹配设计推荐如下表所示：

表 2-15 RK3588S USB2.0/USB3.0 接口设计

信号	连接方式	说明
TYPEC0_USB20_OTG_DP/DM	串接 2.2ohm 电阻	USB HS/FS/LS 模式的数据输入/输出
TYPEC_SSTXP/SSTXN	串接 100nF 电容（建议 0201 封装）	USB SS 模式的数据输出
TYPEC_SSRXP/SSRXN	串接 0ohm 电阻	USB SS 模式的数据输入
TYPEC_USB20_OTG_ID	串接 100ohm 电阻（外部要加强上电，电源需要接到和 USB20_AVDD_1V8 同一个电源上）	USB OTG ID 识别，Micro-USB 接口时需要使用
TYPEC_USB20_VBUSDET	电阻分压检测	USB OTG 插入检测
USB30_2_SSTXP/SSTXN	串接 100nF 电容（建议 0201 封装）	USB SS 模式的数据输出
USB30_2_SSRXP/SSRXN	串接 0ohm 电阻	USB SS 模式的数据输入
HOST0_DP/DM	串联 2.2ohm 电阻	USB HS/FS/LS 模式的数据输入/输出
HOST1_DP/DM	串联 2.2ohm 电阻	USB HS/FS/LS 模式的数据输入/输出

2.3.5 SATA3.0 电路

RK3588S 芯片拥有 2 个 SATA3.0 控制器，和 PCIe 以及 USB3_0TG2 控制器复用 PIPE PHY0/2，具体路径请见下图。

- 支持 SATA PM 功能，每个 port 可以支持 5 个设备；
- 支持 SATA 1.5Gb/s, SATA 3.0Gb/s, SATA 6.0Gb/s speeds；
- 支持 eSATA。

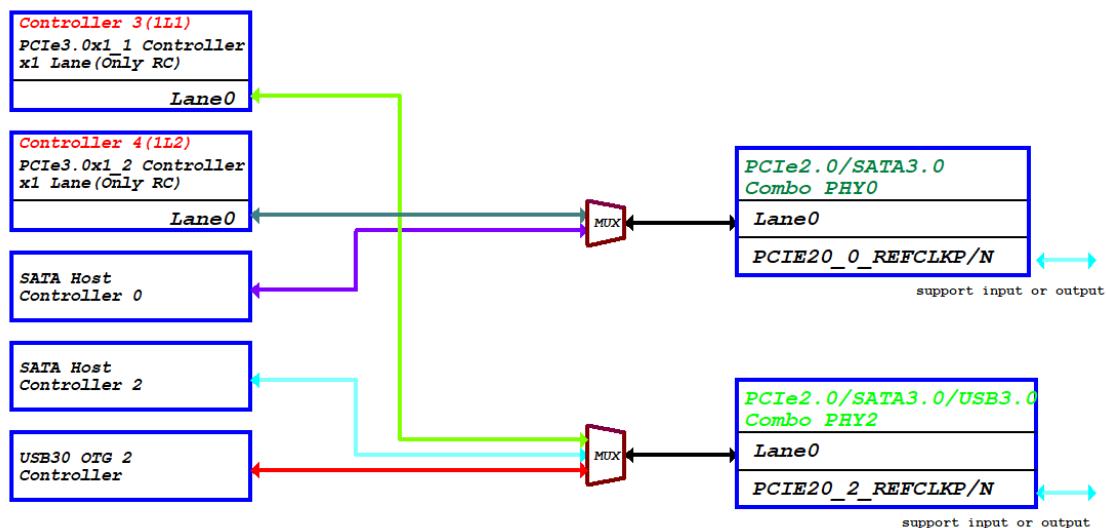
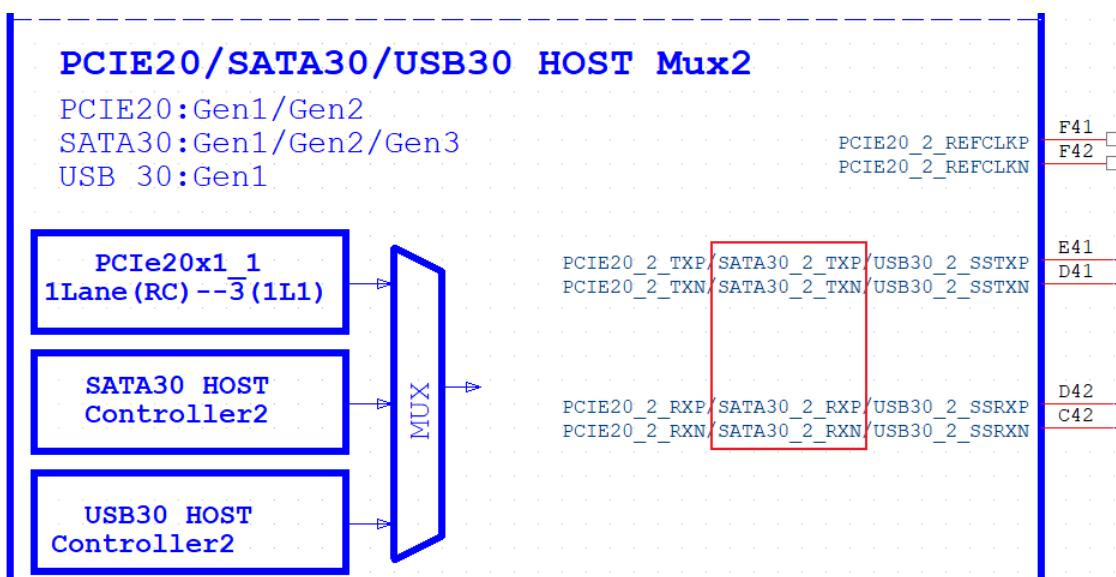


图 2-92 PIPE_PHY0/2 和 SATA3.0 控制器复用关系

SATA0 控制器使用 PIPE_PHY0（与 PCIe3.0x1_2 Controller 控制器复用）。

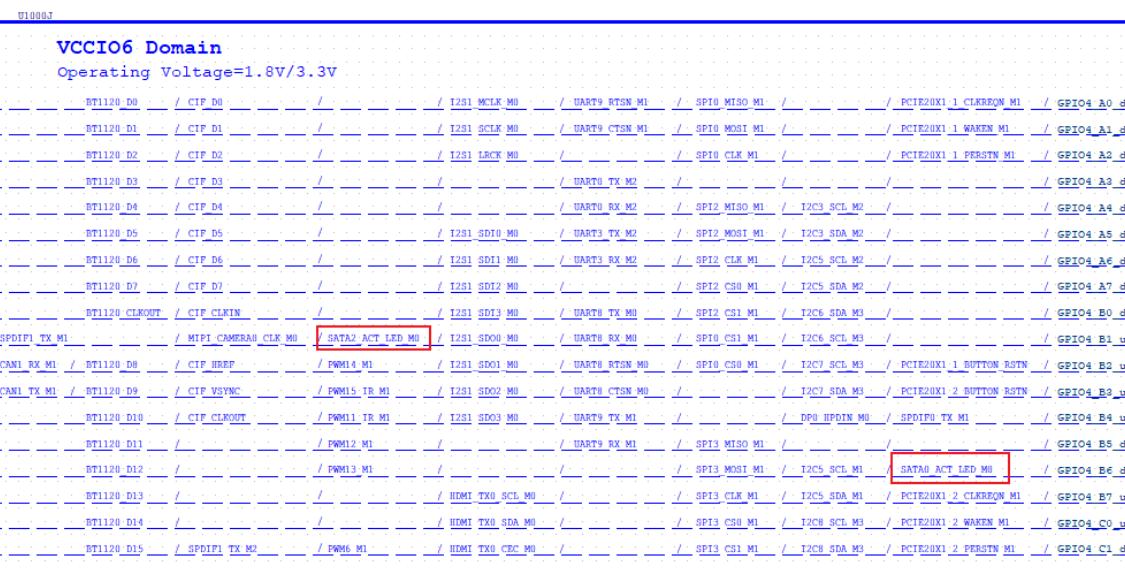
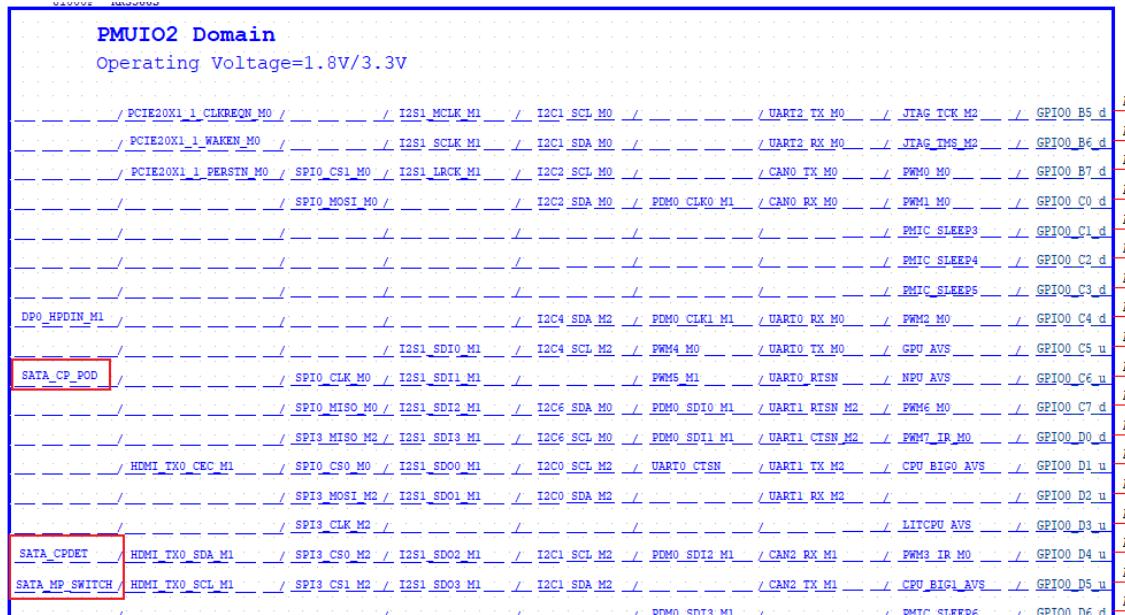


SATA2 控制器使用 PIPE_PHY2（与 PCIe3.0x1_1 Controller 控制器以及 USB30 HOST2 Controller 控制器复用）。



SATA0/2 控制器相关控制 IO 有

- SATA0_ACT_LED: SATA0 接口有数据传输时 LED 闪烁控制输出;
- SATA2_ACT_LED: SATA2 接口有数据传输时 LED 闪烁控制输出;
- SATA_CP_DET: SATA 热拔插设备的插拔检测输入;
- SATA_MP_SWITCH: SATA 热拔插设备的开关检测输入;
- SATA_CP_POD: SATA 控制热拔插设备电源开关输出;
- 其中 SATA_CP_DET、SATA_MP_SWITCH、SATA_CP_POD 是 SATA0/2 共用接口，可通过寄存器配置是 SATA0 或是 SATA2，在 PMUIO2 电源域;
- 其中 SATA0_ACT_LED、SATA2_ACT_LED 复用到两个位置，一个在 VCCIO6 电源域，一个在 VCCIO4 电源域。



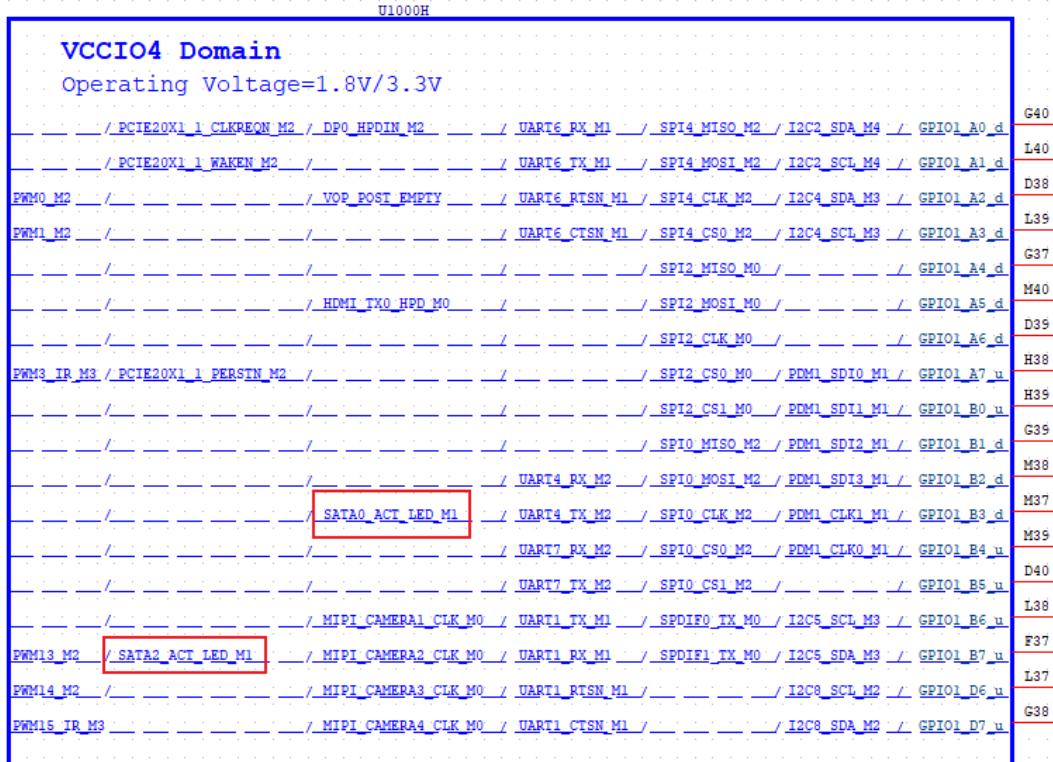
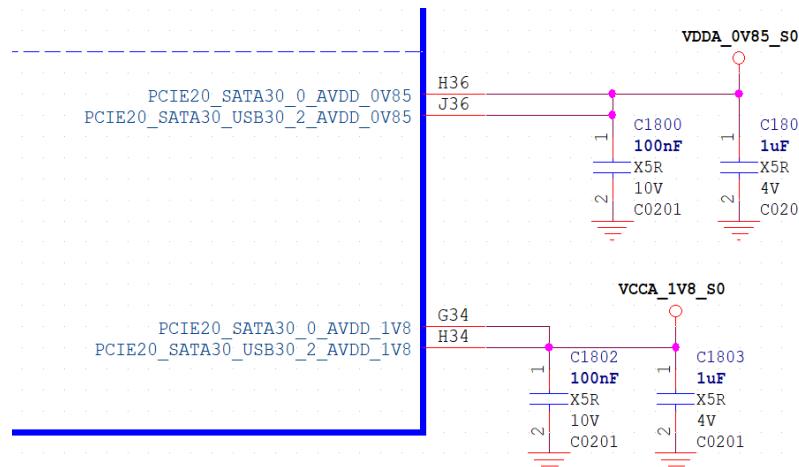


图 2-93 SATA0/2 相关控制 IO 管脚

SATA 设计中请注意：

- Slot 设计时，外围电路及电源需要满足 Spec 要求；
- PCIE20_SATA30_0_AVDD_0V85/PCIE20_SATA30_USB30_2_AVDD_0V85 这两路 0.85V 合并供电，需放置 1x1uF+1x100nF 去耦电容，布局时，靠近 RK3588S 管脚放置。
- PCIE20_SATA30_0_AVDD_1V8/PCIE20_SATA30_USB30_2_AVDD_1V8 三路 1.8V 合并供电，需放置 1x1uF+1x100nF 去耦电容，布局时，靠近 RK3588S 管脚放置。



- SATA 接口的 TXP/N, RXP/N 差分信号上串接的 10nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化；
- eSATA 接口座子所有信号都必须增加 ESD 器件，布局时靠近座子放置，ESD 寄生电容不得超过 0.4pF；

SATA 接口匹配设计推荐如下表所示：

表 2-16 RK3588S SATA 接口设计

信号	连接方式	说明
SATA30_0_TXP/TXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输出
SATA30_0_RXP/RXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输入
SATA30_2_TXP/TXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输出
SATA30_2_RXP/RXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输入

2.3.6 PCIe2.0 电路

2 个 PCIe2.0 Combo PHY，数据位 1Lane，PCIe2.0/SATA3.0 Combo PHY0 和 PCIe2.0/SATA3.0/USB3.0 HOST Combo PHY2。

Controller 和 PHY 之间的映射关系图：

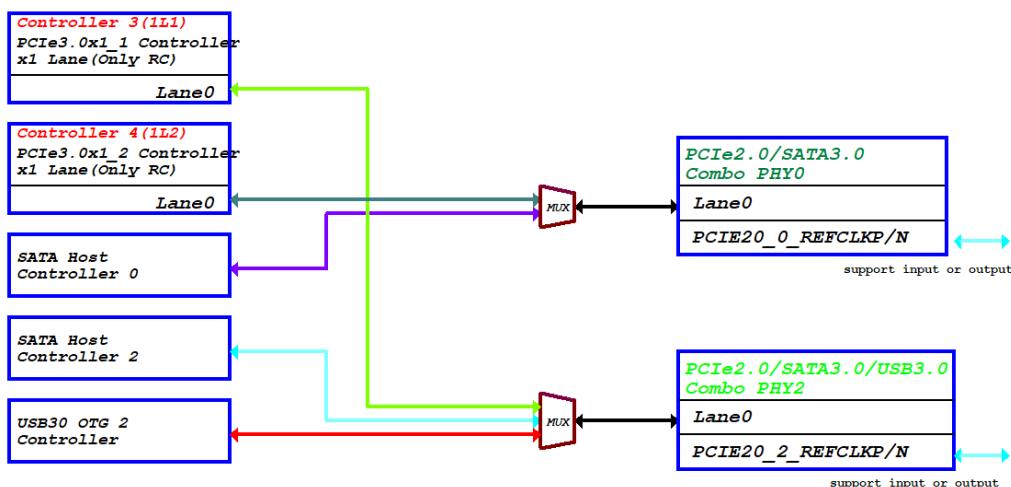


图 2-94 RK3588S PCIe 2 个 Controller 和 2 个 PHY 映射关系图

- Controller 4(1L2))+ PCIe2.0/SATA3.0 Combo PHY0，组成 1Lane 的 PCIe2.0 X1Lane RC 模式；
■ 此模式对应的信号为：

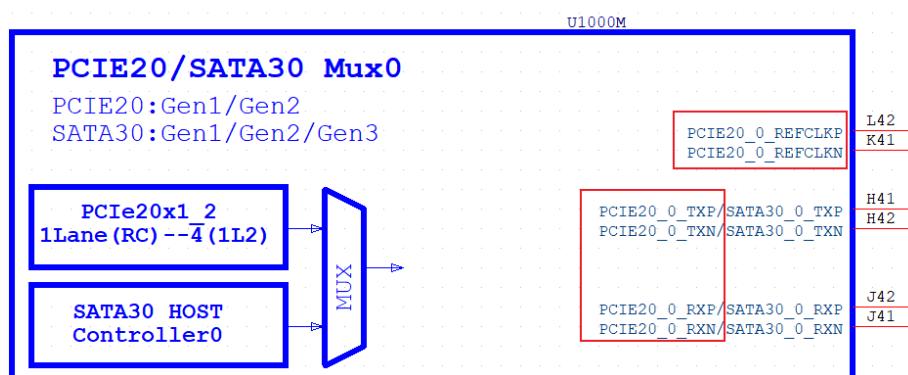
RK3588S PCIE Signal	PCIe2.0 X1Lane RC
PCIe2.0/SATA3.0 Combo PHY0	PCIE20_0_TXP/N
	PCIE20_0_RXP/N
	PCIE20_0_REFCLKP/N

- Controller 3(1L1)+ PCIe2.0/SATA3.0/USB3.0 HOST Combo PHY2 组成 PCIe2.0 X1Lane RC 模式，所以这两种模式无法同时使用。
■ 此模式下的 PCIe2.0 X1Lane RC 模式对应的信号为：

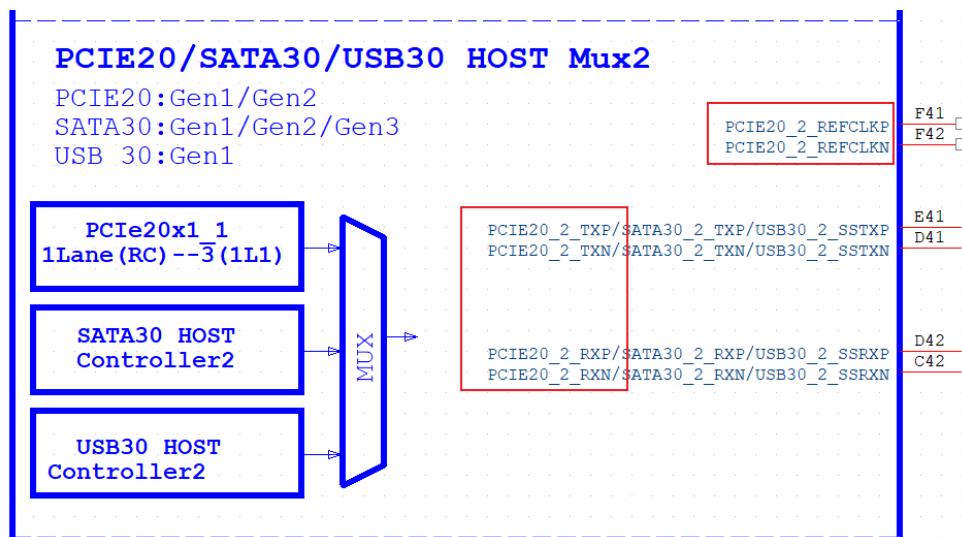
RK3588S PCIE Signal	PCIe2.0 X1Lane RC
PCIe2.0/SATA3.0/USB HOST Combo PHY2	PCIE20_2_TXP/N
	PCIE20_2_RXP/N
	PCIE20_2_REFCLKP/N

PCIe Controller 和 PHY 之间组合在原理图模块上的体现:

- PCIe3.0 控制器 Controller 4(1L2)与 SATA30 HOST Controller0 控制器复用 PCIe2.0/SATA3.0 Combo PHY0。



- PCIe3.0 控制器 Controller 3(1L1)、SATA30 HOST Controller2、USB30 OTG Controller2 控制器复用 PCIe2.0/SATA3.0/USB3.0 HOST Combo PHY2。



PCIe2.0 设计中请注意:

- Slot 设计时，外围电路及电源需要满足 Spec 要求；
- PCIe2.0 接口的 TXP/N 差分信号上串接的 100nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化；
- PCIE2.0_CLKREQn 和 PCIE20_WAKEn 必须使用功能脚，不能用 GPIO 替代，特别说明：选择时，必须都是选择_M0 或_M1 或_M2，不能一个_M0 一个_M1；
- PCIE20_PERSTn 可以选择功能脚也可以使用 GPIO 替代，选择功能脚时，必须和 PCIE20_CLKREQn 和 PCIE20_WAKEn 同一组_Mx；
- 标准的 PCIe Slot：PCIE20_CLKREQn, PCIE20_WAKEn, PCIE20_PERSTn 为 3.3V 电平；
- PCIE20_PRSNT 为 Add In Card 插入检测脚，可以使用 GPIO；
- 使用 PCIE20 功能时候，复用的 SATA/USB30 功能无法使用，SATA/USB30 对应的功能模块说明；
- PCIe2.0 功能模块没有使用，数据线 PCIE20_TXP/TEN、PCIE20_RXP/RXN 和参考时钟线 PCIE20_REFCLKP/REFCLKN 悬空即可；
- PCIe2.0 接口匹配设计推荐如下表所示：

表 2-17 RK3588S PCIe2.0 接口设计

信号	连接方式	说明
PCIE20_0/2_TXP/TXN	串接 100nF 电容 (建议 0201 封装)	PCIe 数据输出
PCIE20_0/2_RXP/RXN	直连	PCIe 数据输入
PCIE20_0/2_REFCLKP/CLKN	直连	PCIe 参考时钟
PCIE20_CLKREQn	串接 0ohm 电阻	PCIe 参考时钟请求输入 (RC 模式)
PCIE20_WAKEn	串接 0ohm 电阻	PCIe 唤醒输入 (RC 模式)
PCIE20_PERSTn	串接 0ohm 电阻	PCIe 全局复位输出 (RC 模式)
PCIE20_PRSNT	串接 0ohm 电阻	Add In Card 插入检测输入 (RC 模式)

- PCIE20_CLKREQn, PCIE20_WAKEn, PCIE20_PERSTn, PCIE20X1_BUTTON_RSTN 控制信号和控制器的对应关系如下图：

PCIe Controller Configure Table

Controller Name	Data & Clk Lane Configure		Control GPIO
	CLK LANE	DATA LANE	
PCIE20X1_1 RC	PCIE20_2_REFCLKP PCIE20_2_REFCLKN	PCIE20_2_TX PCIE20_2_RX	PCIE20X1_1_CLKREQ_M* PCIE20X1_1_WAKEN_M* PCIE20X1_1_PERSTN_M* PCIE20X1_1_BUTTON_RSTN
PCIE20X1_2 RC	PCIE20_0_REFCLKP PCIE20_0_REFCLKN	PCIE20_0_TX PCIE20_0_RX	PCIE20X1_2_CLKREQ_M* PCIE20X1_2_WAKEN_M* PCIE20X1_2_PERSTN_M* PCIE20X1_2_BUTTON_RSTN

图 2-95 PCIe Controller 和控制信号匹配关系

表 2-18 PCIe 控制信号复用情况和对应的电源域分布

PCIe 控制信号	复用情况	复用电源域
PCIE20X1_1_CLKREQ_M* PCIE20X1_1_WAKEN_M* PCIE20X1_1_PERSTN_M*	M0, M1, M2	M0: PMUIO2 M1: VCCIO6 M2: VCCIO4
PCIE20X1_2_CLKREQ_M* PCIE20X1_2_WAKEN_M* PCIE20X1_2_PERSTN_M*	M1, M2,	M1: VCCIO6 M2: VCCIO5

在原理图上的分布：

- PMUIO2 电源域上有 3 个 IOMUX：

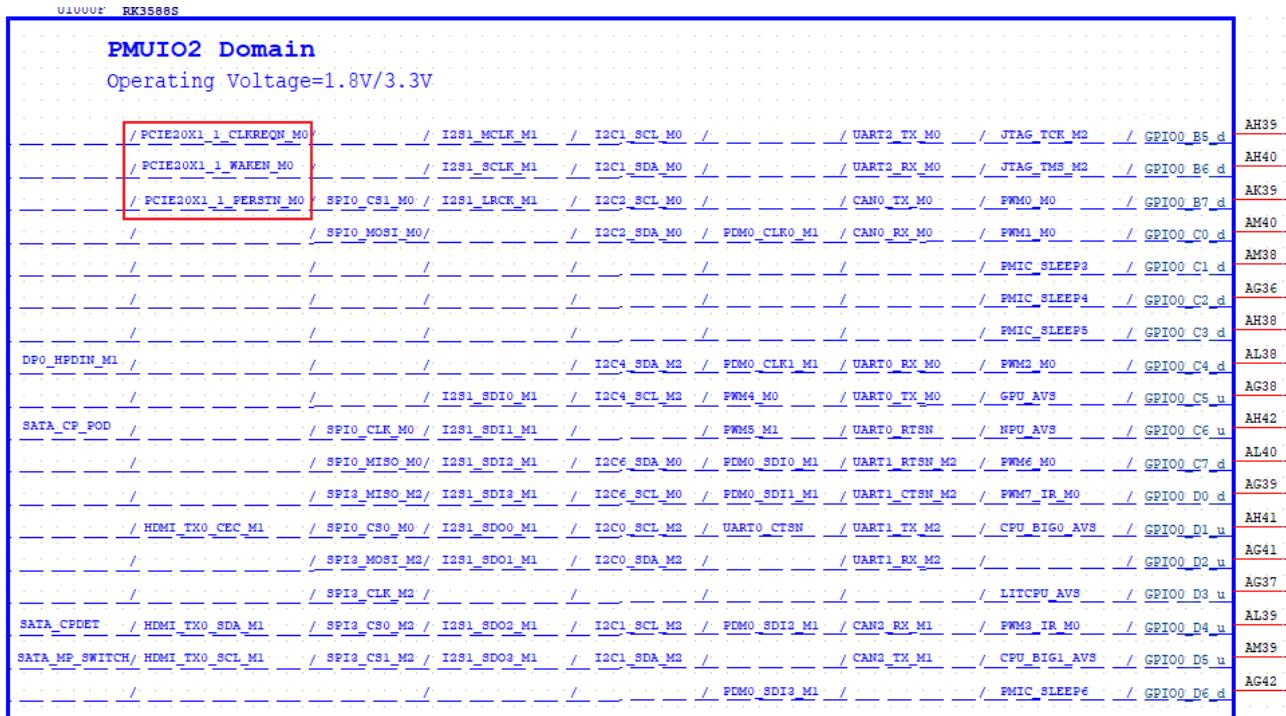


图 2-96 PMUIO2 上面的 PCIE 控制信号管脚

- VCCIO4 电源域上有 3 个 IOMUX：

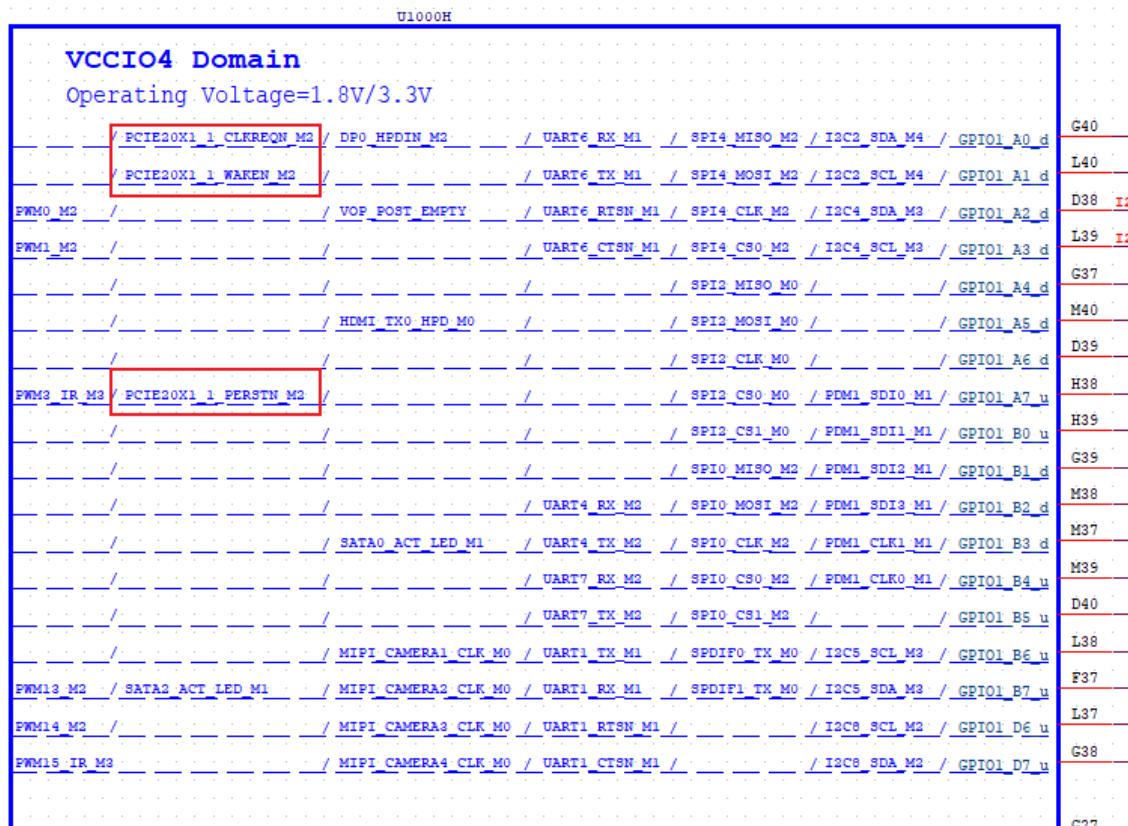


图 2-97 VCCIO4 上面的 PCIE 控制信号管脚

- VCCIO6 电源域上有 6 个 IOMUX:

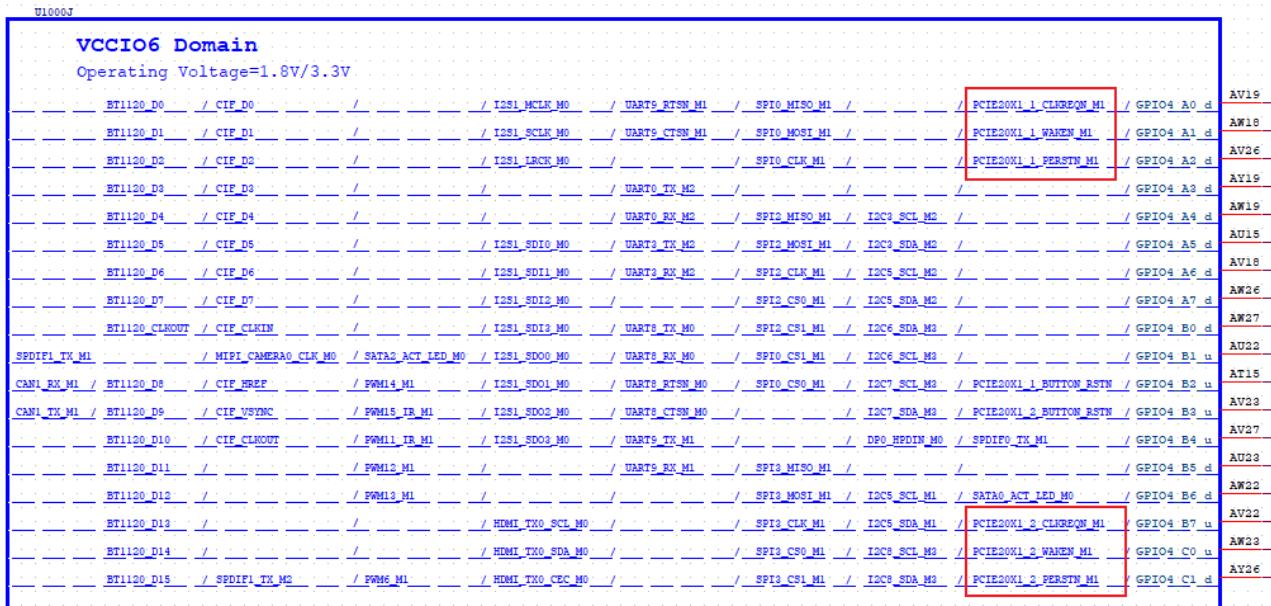


图 2-98 VCCIO6 上面的 PCIE 控制信号管脚

2.3.7 视频输入接口电路

2.3.7.1 MIPI DPHY CSI RX 接口

RK3588S 有 1 个 MIPI DPHY CSI RX, 都支持 MIPI V1.2 版本, 每个通道最大数据传输速率为 2.5Gbps。

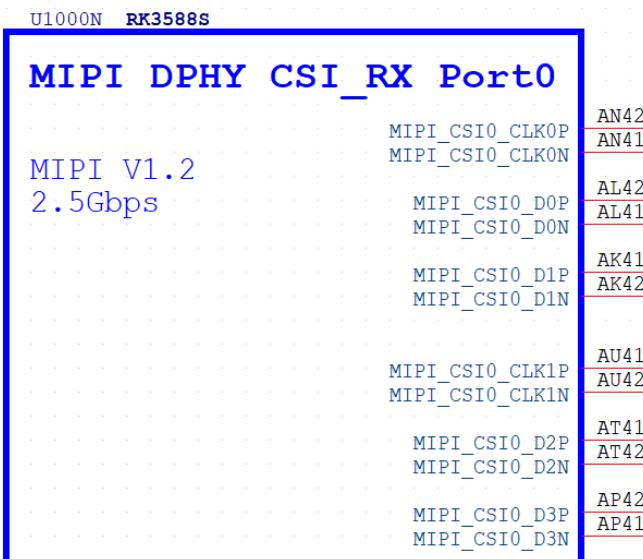


图 2-99 RK3588S MIPI DPHY CSI0 RX 信号管脚

MIPI DPHY CSI0 RX 接口模式支持情况:

- 支持 x4Lane 模式, MIPI_CSI0_D[3: 0]数据参考 MIPI_CSI0_CLK0;
- 支持 x2Lane+x2Lane 模式:

- MIPI0_CSI_D[1: 0]数据参考 MIPI_CSI0_CLK0;
- MIPI0_CSI_D[3: 2]数据参考 MIPI_CSI0_CLK1。

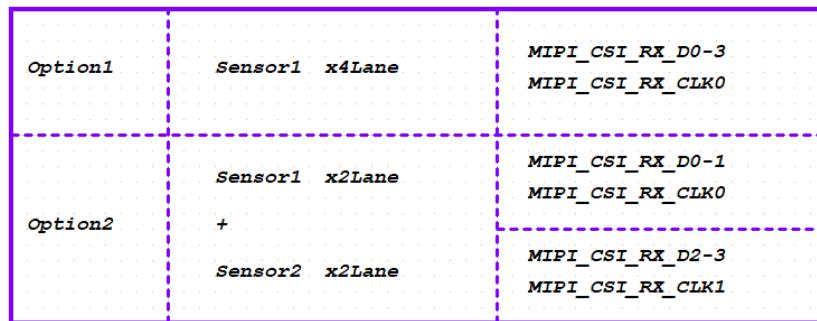


图 2-100 RK3588S MIPI CSI0 工作模式与数据、时钟分配

MIPI CSI0 RX 设计中请注意：

- 为提高 MIPI CSI0 RX 性能，PHY 各路电源的去耦电容不得删除，布局时请靠近管脚放置；

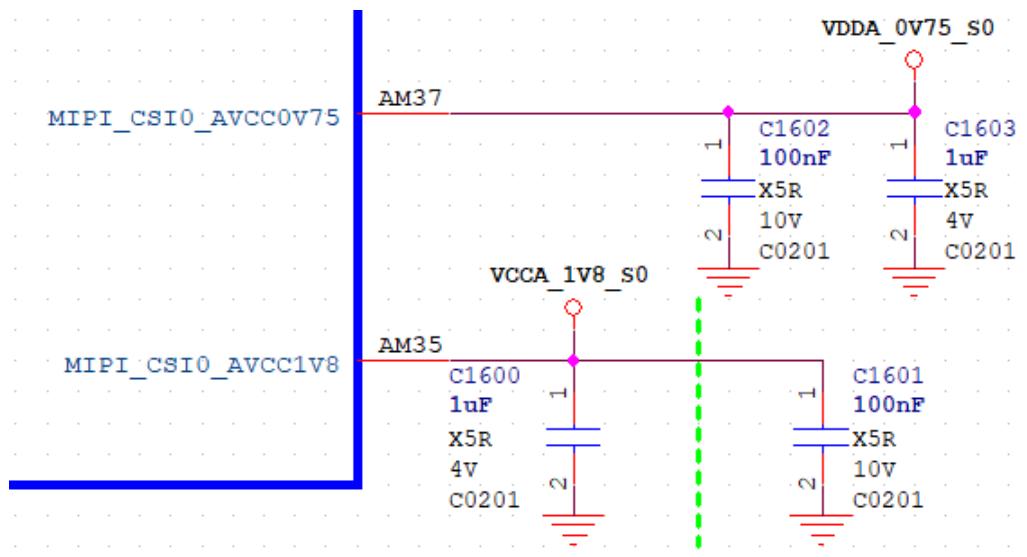


图 2-101 MIPI DPHY CSI0 RX PHY 电源去耦电容

- MIPI DPHY CSI0 RX 接口匹配设计推荐如下表所示：

表 2-19 RK3588S MIPI DPHY CSI0/1 RX 接口设计

信号	连接方式	说明
MIPI_CSI0_D0P/D0N	直连	MIPI CSI0 数据 Lane0 输入
MIPI_CSI0_D1P/D1N	直连	MIPI CSI0 数据 Lane1 输入
MIPI_CSI0_D2P/D2N	直连	MIPI CSI0 数据 Lane2 输入
MIPI_CSI0_D3P/D3N	直连	MIPI CSI0 数据 Lane3 输入
MIPI_CSI0_CLK0P/CLK0N	直连	MIPI CSI0 时钟 0 输入
MIPI_CSI0_CLK1P/CLK1N	直连	MIPI CSI0 时钟 1 输入

2.3.7.2 MIPI_D/CPHY_RX 接口

RK3588S 有两个 MIPI D-PHY/C-PHY CSI RX Combo 的 PHY，支持 V1.2 版本，D-PHY 模式有 0/1/2/3 Lane，每个 Lane 2 根线，最高传输速率 2.5Gbps/Lane；

1. 建议使用 1 Lane or 2Lane 模式。
 2. 不支持 Skew calibration 功能，mipi bitrate $\geq 1.5\text{Gbps/lane}$ 的情况下，PCB 对于各 data lane 与 clk lane 之间的 skew 影响需要考虑更严格。
 3. 非必要时不建议使用 4Lane 模式，若一定要使用，对 Camera 的时序有严格要求，必须满足以下条件：
 $T_{\text{lane}0} = T_{\text{lane}1} = T_{\text{lane}2} = T_{\text{lane}3}$ 或者 $(T_{\text{lane}0} = T_{\text{lane}1}) \geq (T_{\text{lane}2} = T_{\text{lane}3})$
- $T_{\text{lane}*}$ 以下图中箭头处时间点为参考：

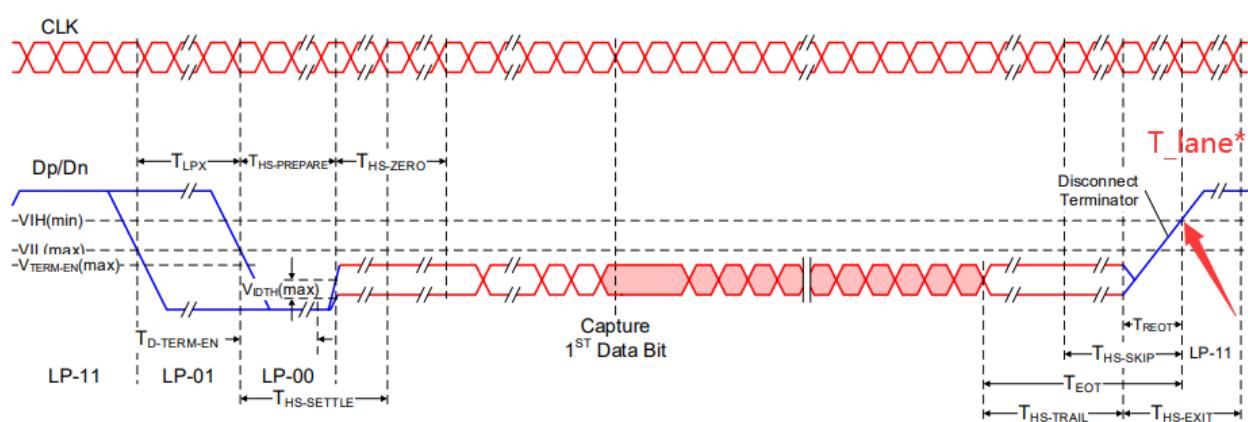


图 2-102 High-Speed Data Transmission in Bursts

- C-PHY 支持 V1.1 版本，C-PHY 模式有 0/1/2 Trio，每个 Trio A/B/C 3 根线，最大数据传输速率为 5.7Gbps/Trio (2.5Gps)。

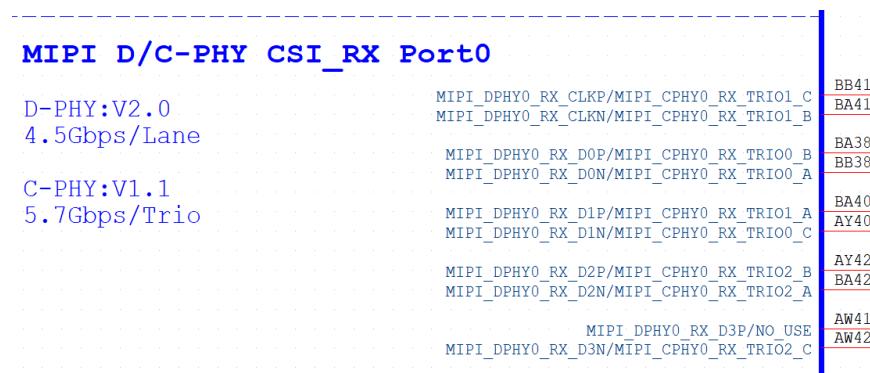


图 2-103 RK3588S MIPI D/C-PHY0 RX 信号管脚

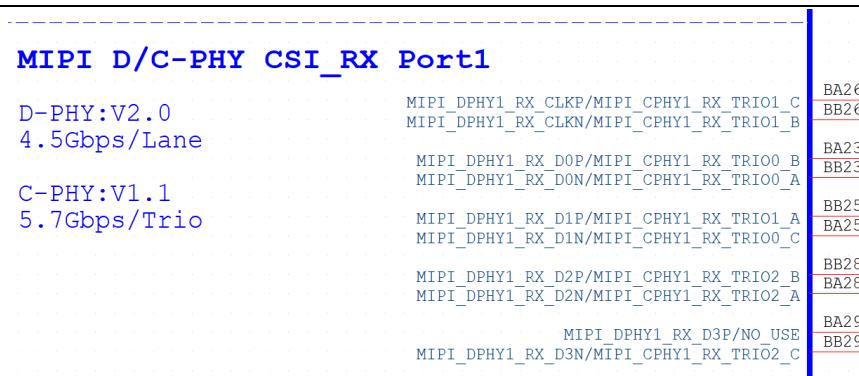


图 2-104 RK3588S MIPI D/C-PHY1 RX 信号管脚

DPHY 和 CPHY 配置支持情况:

- MIPI D-PHY/C-PHY Combo PHY0 的 TX 和 RX 只能支持同时配置成 DPHY0 TX, DPHY0 RX 模式, 或同时配置成 CPHY0 TX, CPHY0 RX 模式, 不支持一个配置成 DPHY0 TX, 一个配置成 CPHY0 RX
- MIPI D-PHY/C-PHY Combo PHY1 的 TX 和 RX 只能支持同时配置成 DPHY1 TX, DPHY1 RX 模式, 或同时配置成 CPHY1 TX, CPHY1 RX 模式, 不支持一个配置成 DPHY1 TX, 一个配置成 CPHY1 RX

MIPI D/C-PHY0 工作在 D-PHY 时模式支持情况:

- 支持 x4Lane 模式 (不建议使用), MIPI_DPHY0_RX_D[3: 0]数据参考 MIPI_DPHY0_RX_CLK;
- 不支持拆分成 x2Lane+x2Lane 模式。

MIPI D/C-PHY0 工作在 C-PHY 时模式支持情况:

- 支持 0/1/2 Trio, 每个 Trio A/B/C 3 根线, MIPI_CPHY0_RX_TRI0[2 : 0]_A , MIPI_CPHY0_RX_TRI0[2: 0]_B, MIPI_CPHY0_RX_TRI0[2: 0]_C。

MIPI D/C-PHY1 工作在 D-PHY 时模式支持情况:

- 支持 x4Lane 模式 (不建议使用), MIPI_DPHY1_RX_D[3: 0]数据参考 MIPI_DPHY1_RX_CLK;
- 不支持拆分成 x2Lane+x2Lane 模式。
- 注意: 在 MIPI 接口够用的情况下, 建议优先使用 MIPI DPHY CSI RX 接口。

MIPI D/C-PHY1 工作在 C-PHY 时模式支持情况:

- 支持 0/1/2 Trio, 每个 Trio A/B/C 3 根线, MIPI_CPHY1_RX_TRI0[2 : 0]_A , MIPI_CPHY1_RX_TRI0[2: 0]_B, MIPI_CPHY1_RX_TRI0[2: 0]_C。

MIPI D-PHY/C-PHY CSI RX Combo PHY0/1 设计中请注意:

- 为提高 MIPI D-PHY/C-PHY CSI RX Combo PHY0/1 性能, PHY 各路电源的去耦电容不得删除, 布局时请靠近管脚放置(注意 MIPI D-PHY/C-PHY CSI RX 和 MIPI D-PHY/C-PHY DS1 TX 电源合并同一路);

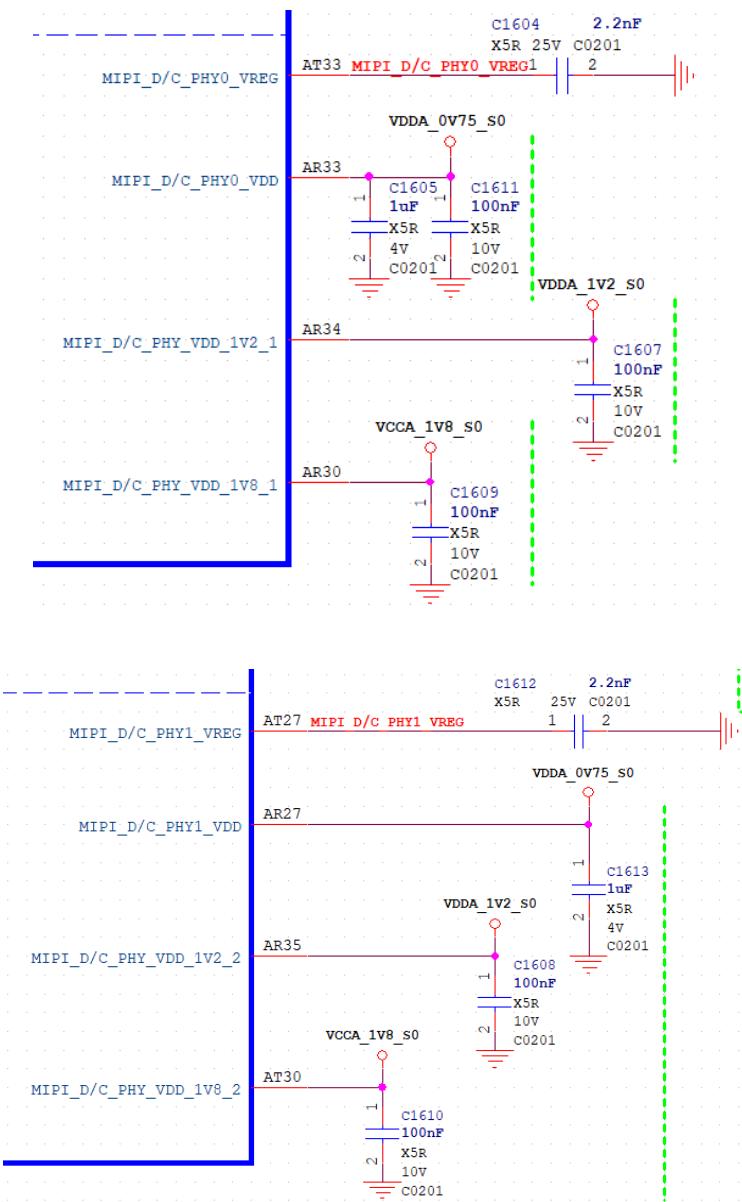


图 2-105 MIPI D-PHY/C-PHY CSI RX Combo PHY0/1 电源去耦电容

- MIPI_D/C_PHY0_VREG 和 MIPI_D/C_PHY1_VREG 2.2nF 电容不可删除，布局时，必须靠近对应管脚放置；
- MIPI D-PHY/C-PHY Combo PHY0/1 RX 匹配设计推荐如下表所示：

表 2-20 RK3588S MIPI D-PHY/C-PHY CSI RX Combo PHY0/1 接口设计

信号	连接方式	说明
MIPI_DPHY0_RX_D0P/D0N	直连	MIPI_DPHY0_RX 数据 Lane0 输入
MIPI_DPHY0_RX_D1P/D1N	直连	MIPI_DPHY0_RX 数据 Lane1 输入
MIPI_DPHY0_RX_D2P/D2N	直连	MIPI_DPHY0_RX 数据 Lane2 输入
MIPI_DPHY0_RX_D3P/D3N	直连	MIPI_DPHY0_RX 数据 Lane3 输入
MIPI_DPHY0_RX_CLKP/CLKN	直连	MIPI_DPHY0_RX 时钟输入
MIPI_CPHY0_RX_TRIO0_A/B/C	直连	MIPI_CPHY0_RX_TRIO0 输入
MIPI_CPHY0_RX_TRIO1_A/B/C	直连	MIPI_CPHY0_RX_TRIO1 输入

信号	连接方式	说明
MIPI_CPHY0_RX_TRIO2_A/B/C	直连	MIPI_CPHY0_RX_TRIO2 输入
MIPI_DPHY1_RX_D0P/D0N	直连	MIPI_DPHY1_RX 数据 Lane0 输入
MIPI_DPHY1_RX_D1P/D1N	直连	MIPI_DPHY1_RX 数据 Lane1 输入
MIPI_DPHY1_RX_D2P/D2N	直连	MIPI_DPHY1_RX 数据 Lane2 输入
MIPI_DPHY1_RX_D3P/D3N	直连	MIPI_DPHY1_RX 数据 Lane3 输入
MIPI_DPHY1_RX_CLKP/CLKN	直连	MIPI_DPHY1_RX 时钟输入
MIPI_CPHY1_RX_TRIO0_A/B/C	直连	MIPI_CPHY1_RX_TRIO0 输入
MIPI_CPHY1_RX_TRIO1_A/B/C	直连	MIPI_CPHY1_RX_TRIO1 输入
MIPI_CPHY1_RX_TRIO2_A/B/C	直连	MIPI_CPHY1_RX_TRIO2 输入

2.3.7.3 CIF 接口

CIF 接口分布在两个电源域上，分别为 VCCIO5、VCCIO6，实际产品设计中，需要根据产品 Camera 的实际 IO 供电要求（1.8V or 3.3V），选择对应的供电（两个电源域需同步），同时 I2C 上拉电平必须与其保持一致，否则会造成 Camera 工作异常或无法工作。

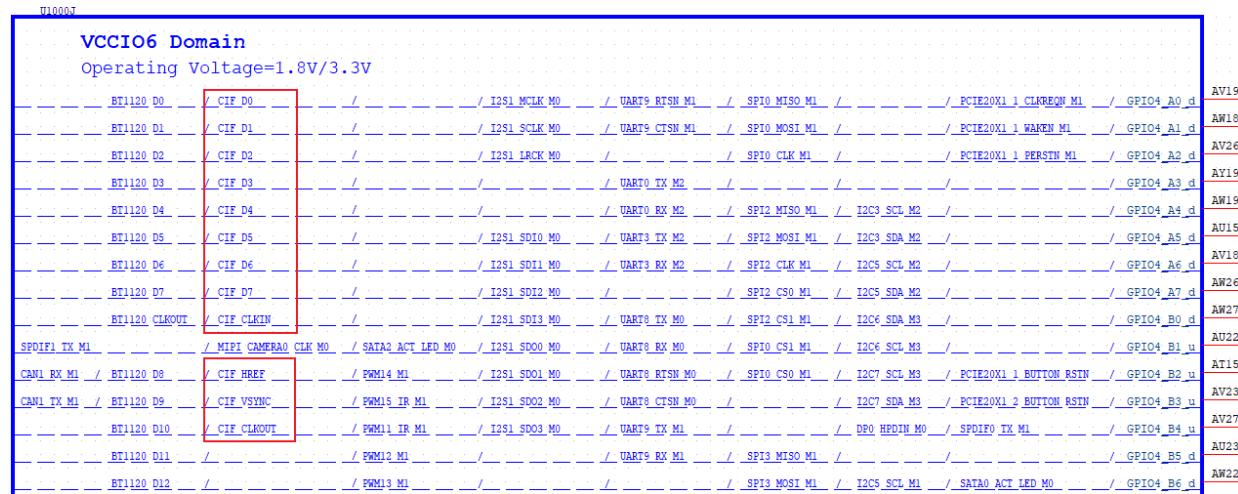
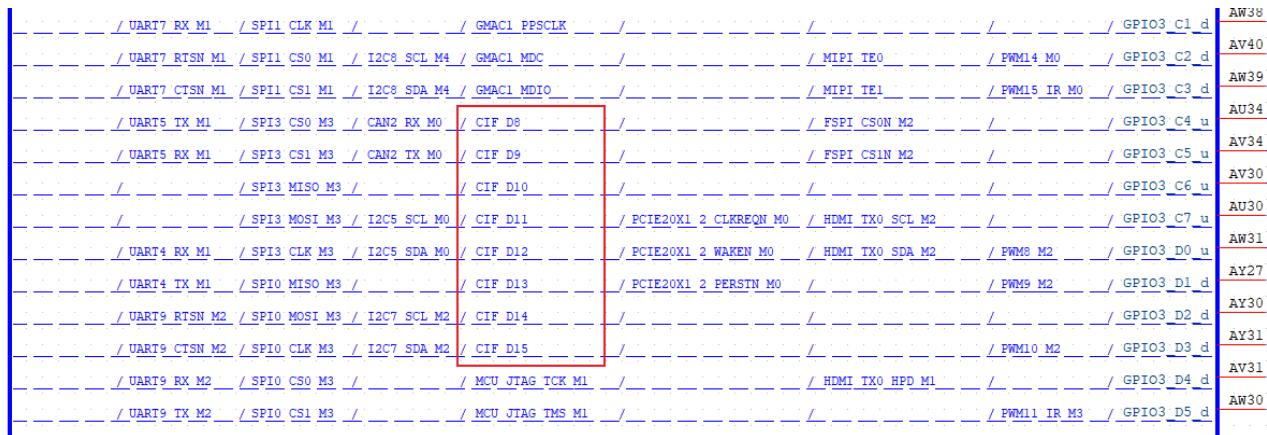


图 2-106 RK3588S CIF 功能管脚

CIF 接口支持以下格式：

- 支持 BT601 YCbCr 422 8bit input;
- 支持 BT656 YCbCr 422 8bit input;
- 支持 RAW 8/10/12bit input;
- 支持 BT1120 YCbCr 422 8/16bit input, single/dual-edge sampling;
- 支持 2/4 mixed BT656/BT1120 YCbCr 422 8/16bit input;
- 支持 YUYV 顺序配置。

CIF[15: 0]的 8/10/12/16bit 数据对应关系如下表，采用高位对齐。

Mode	16bit	12bit	10bit	8bit
CIF_D0	D0	--	--	--
CIF_D1	D1	--	--	--
CIF_D2	D2	--	--	--
CIF_D3	D3	--	--	--
CIF_D4	D4	D0	--	--
CIF_D5	D5	D1	--	--
CIF_D6	D6	D2	D0	--
CIF_D7	D7	D3	D1	--
CIF_D8	D8	D4	D2	D0
CIF_D9	D9	D5	D3	D1
CIF_D10	D10	D6	D4	D2
CIF_D11	D11	D7	D5	D3
CIF_D12	D12	D8	D6	D4
CIF_D13	D13	D9	D7	D5
CIF_D14	D14	D10	D8	D6
CIF_D15	D15	D11	D9	D7

图 2-107 RK3588S CIF 数据对应关系

BT1120 16bit 模式数据对应关系，支持 YC Swap。

表 2-21 RK3588S BT1120 16bit 模式数据对应关系表

Pin Name	默认模式		Swap 打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
CIF_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
CIF_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
CIF_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
CIF_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
CIF_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
CIF_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
CIF_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
CIF_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
CIF_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
CIF_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
CIF_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
CIF_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
CIF_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
CIF_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
CIF_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
CIF_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

CIF 接口上下拉和匹配设计推荐如表：

表 2-22 RK3588S CIF 接口设计

信号	内部上下拉	连接方式	描述（芯片端）
CIF_D[15: 0]	下拉	直连，建议靠近设备端预留串接电阻	CIF 数据输入
CIF_HREF	下拉	直连，建议靠近设备端预留串接电阻	CIF 行同步输入
CIF_VSYNC	下拉	直连，建议靠近设备端预留串接电阻	CIF 场同步输入
CIF_CLKIN	下拉	串接 22ohm 电阻，靠近设备端	CIF 时钟输入
CIF_CLKOUT	下拉	串接 22ohm 电阻，靠近芯片端	CIF 时钟输出，可提供给设备当 MCLK 工作时钟

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

MIPI CSI RX/CIF 设计时注意点：

- Camera 的 DVDD 供电有 1.2V/1.5V/1.8V 等不同情况，请根据 Camera 的规格书提供准确的电源，参考电路默认是 1.2V；
- 有些 Camera 的 DVDD 电流比较大，超过 100mA 建议使用 DCDC 供电；
- Camera 的几路电源有上电时序要求，请根据 Camera 的规格书相应调整上电时序，参考图默认上电时序为：1.8V-->1.2V-->2.8V；
- 使用 CIF 接口的 Camera 时，要注意 Camera 的 DOVDD (IO 电源) 与 VCCIO5、VCCIO6 供电必

须用相同的电压；

- 使用两个 Camera 时，可根据需求实际情况电源分开或合并，参考图默认是分开；
- 若 Camera 带 AF 功能，则 VCC2V8_AF 需要单独供电；或是与 AVCC2V8_DVP 共用，必须用磁珠隔离；
- Camera 的所有电源的去耦电容不得删减，必须保留，靠近座子放置；
- Camera 的 PWDN 信号必须使用 GPIO 控制，GPIO 电平必须和 Camera IO 电平匹配；
- Camera 的 Reset 信号建议使用 GPIO 控制，GPIO 电平必须和 Camera IO 电平匹配，Reset 信号的 100nF 电容不得删除，靠近座子放置，加强抗静电能力；
- Camera 的 MCLK 可以从以下获取：
 - 1) CIF_CLKOUT
 - 2) MIPI_CAMERA0_CLK
 - 3) MIPI_CAMERA1_CLK
 - 4) MIPI_CAMERA2_CLK
 - 5) MIPI_CAMERA3_CLK
 - 6) MIPI_CAMERA4_CLK

注意：时钟的电平必须和 Camera IO 电平匹配，若不匹配，必须电平转换或电阻分压使电平匹配；

- 如果两个 Camera 同型号，要注意 I2C 地址是否一样，如果地址也一样，那么需要两个 I2C 总线。

2.3.8 视频输出接口电路

RK3588S 芯片的 VOP 控制器，有四个 Port 输出，支持 DP0/HDMI0/eDP0/MIPI DSI0/MIPI DSI1/BT656/BT1120 视频接口输出。最多允许 4 屏异显，如 4K+4K+4K+2K，如果要支持 8K，那么只支持 8K+4K+2K（其中 8K 通过 Post Process0+ Post Process1 合并实现）。

VOP 和视频接口输出路径图：

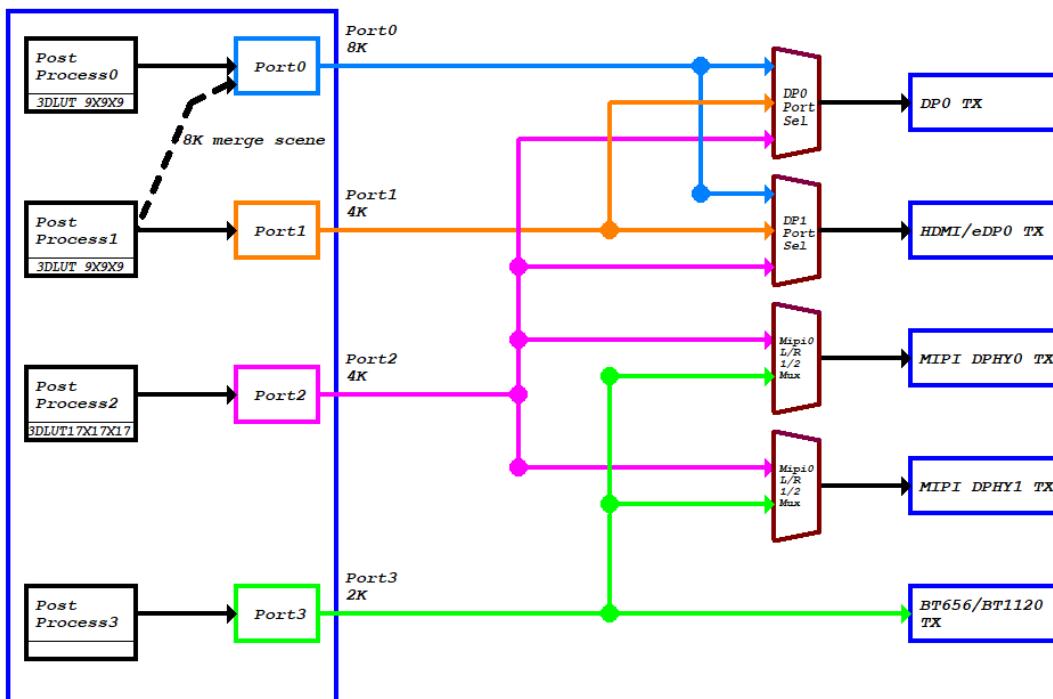


图 2-108 RK3588S VOP 和视频接口输出路径图

2.3.8.1 HDMI2.1/eDP TX 接口

RK3588S 内置一个 HDMI/eDP TX Combo PHY

HDMI/eDP TX Combo PHY 支持以下两个模式：

- HDMI TX 模式：最大分辨率支持 8K@60Hz，支持 RGB/YUV444/YUV420(Up to 10bit)格式；
- eDP TX 模式：最大分辨率支持 4K@60Hz，支持 RGB/YUV422(Up to 10bit)格式。

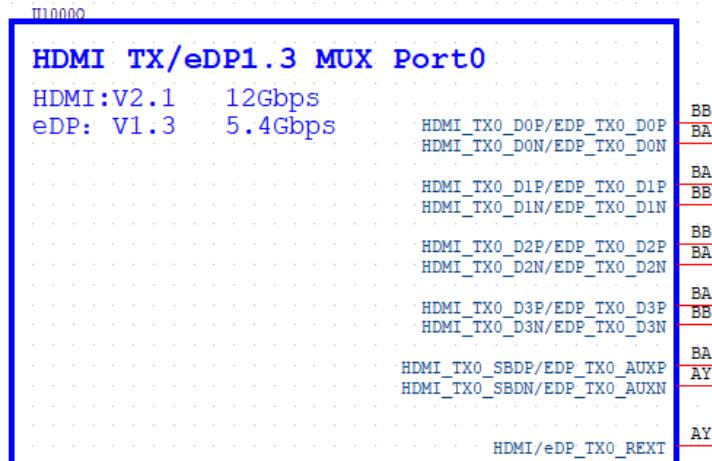


图 2-109 RK3588S HDMI/eDP Combo PHY0 管脚

HDMI/eDP Combo PHY0 电源管脚需放置 4.7uF, 1uF 及 100nF 去耦电容，不得删减，布局时，靠近 RK3588S 管脚放置。

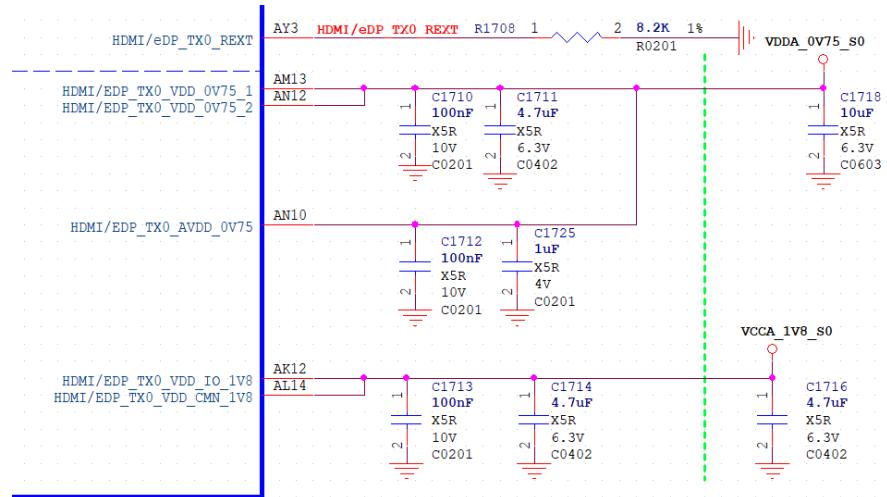


图 2-110 HDMI/eDP Combo PHY0 电源去耦电容

HDMI/EDP_TX0_REXT 是 HDMI/eDP Combo PHY0 的外置参考电阻管脚，外接对地 8200ohm 精度为 1% 的电阻，不得更改电阻值，布局时靠近 RK3588S 芯片管脚放置。

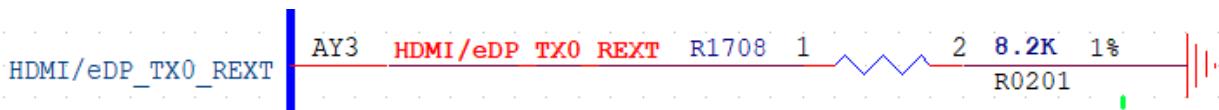


图 2-111 RK3588S HDMI/EDP_TX0_REXT/HDMI/EDP_TX1_REXT 管脚

- HDMI2.1 TX 模式

RK3588S 支持 HDMI2.1 并向下 HDMI2.0, HDMI1.4 兼容，由于 HDMI2.1 工作在 FRL 模式，切换到 HDMI2.0 及以下模式时，工作在 TMDS 模式，因采用 AC 耦合电压模式驱动器。

如下图所示，AC 耦合电容容值采用 220nF，不得随意更改，交流耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化。

以 HDMI TX0 举例，HDMI TX1 和 HDMI TX0 一致。

工作在 HDMI2.1 模式，HDMI0_TX_ON_H 配置为低电平，Q5002, Q5003, Q5004, Q5005 不导通。

工作在 HDMI2.0 及以下模式时，HDMI0_TX_ON_H 配置为高电平，Q5002, Q5003, Q5004, Q5005 导通，对地 590ohm 电阻与 Sink 端上拉 50ohm 电阻形成一个直流偏置，大约 3V。

HDMI0_TX2P	C5000 1	2 220nF X5R 10V C0201	HDMI0_TX2P_PORT
HDMI0_TX2N	C5001 1	2 220nF X5R 10V C0201	HDMI0_TX2N_PORT
HDMI0_TX1P	C5002 1	2 220nF X5R 10V C0201	HDMI0_TX1P_PORT
HDMI0_TX1N	C5003 1	2 220nF X5R 10V C0201	HDMI0_TX1N_PORT
HDMI0_TX0P	C5004 1	2 220nF X5R 10V C0201	HDMI0_TX0P_PORT
HDMI0_TX0N	C5005 1	2 220nF X5R 10V C0201	HDMI0_TX0N_PORT
HDMI0_TX3P	C5006 1	2 220nF X5R 10V C0201	HDMI0_TX3P_PORT
HDMI0_TX3N	C5007 1	2 220nF X5R 10V C0201	HDMI0_TX3N_PORT

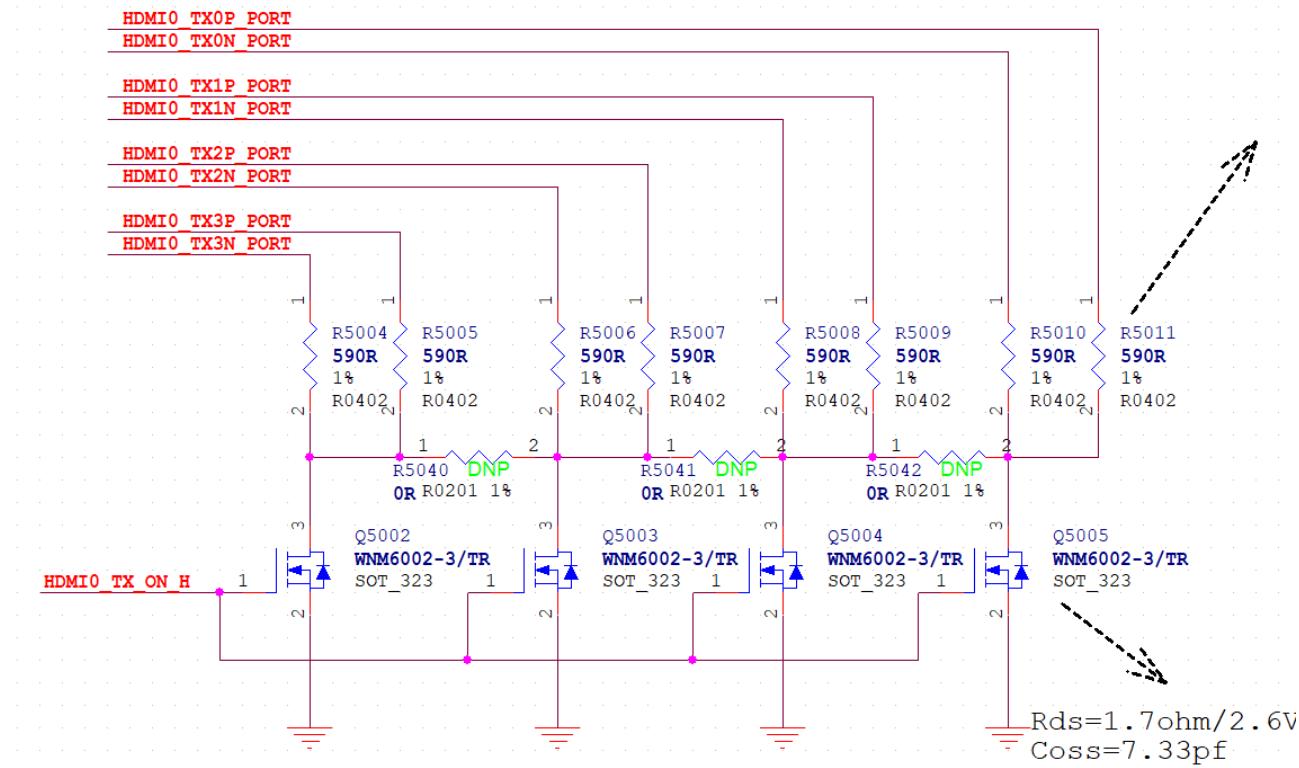


图 2-112 RK3588S HDMI TX 模式外围电路



注意

- 1: 如果只需要支持HDMI2.0及以下模式时, Q5007, Q5004, Q5005, Q5006 也不能省掉, 需要保证机器在未开机时, 管子不能导通, 因为HDMI CTS Test ID 7-3 TMDS Voff 测试项目要求在DUT未上电, Voff 电压必须在AVcc+-10mV 以内, 否则这个测试项无法通过。
- 2: 控制MOS管Coss 不能过大, 否则会影响信号质量, 建议按参考图型号或相应的Coss值。

FRL 模式: 在传统的 TMDS 架构下, 是利用一个独立的通道来传送 Clock, 但在 FRL 的架构中, 将 Clock 嵌入在 Data 的通道中, 在 Sink 端透过 Clock Recovery 解析出 Clock。

表 2-23 FRL 速率与通道关系

通道速率	通道数
3Gbps	3
6Gbps	3
6Gbps	4
8Gbps	4
10Gbps	4
12Gbps	4

支持 ARC/eARC 通过 HDMI0_TX_SBDP/HDMI0_TX_SBDN 信号到 RK3588S 内部解析出音频数据。

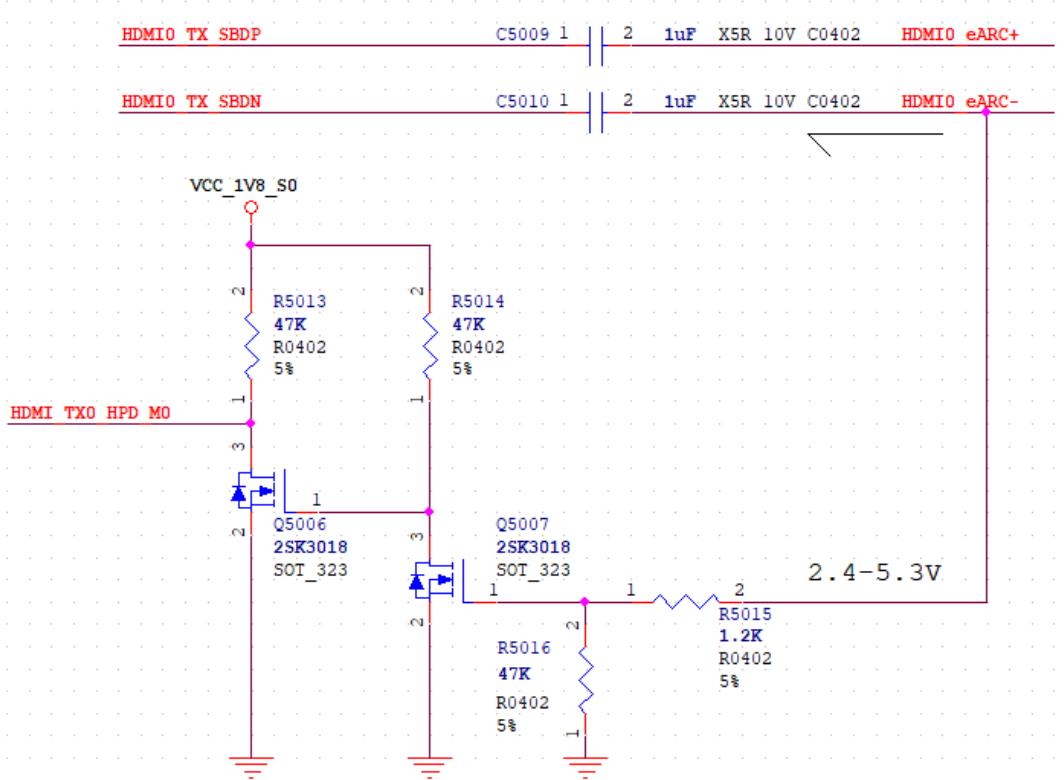


图 2-113 RK3588S HDMI TX0 eARC/HPD 电路

HDMI_TX0_HPD 是 HDMI TX 控制器复用到普通 GPIO 上功能，电平随所在电源域电压，电源域供电电压有更改，外围电路的上拉电阻电源也必须同步调整。

HDMI_TX0_HPD 分别复用在两个不同的电源域，一个在 VCCIO4 电源域的 IO 上面，一个在 VCCIO5 电源域的 IO 上面。

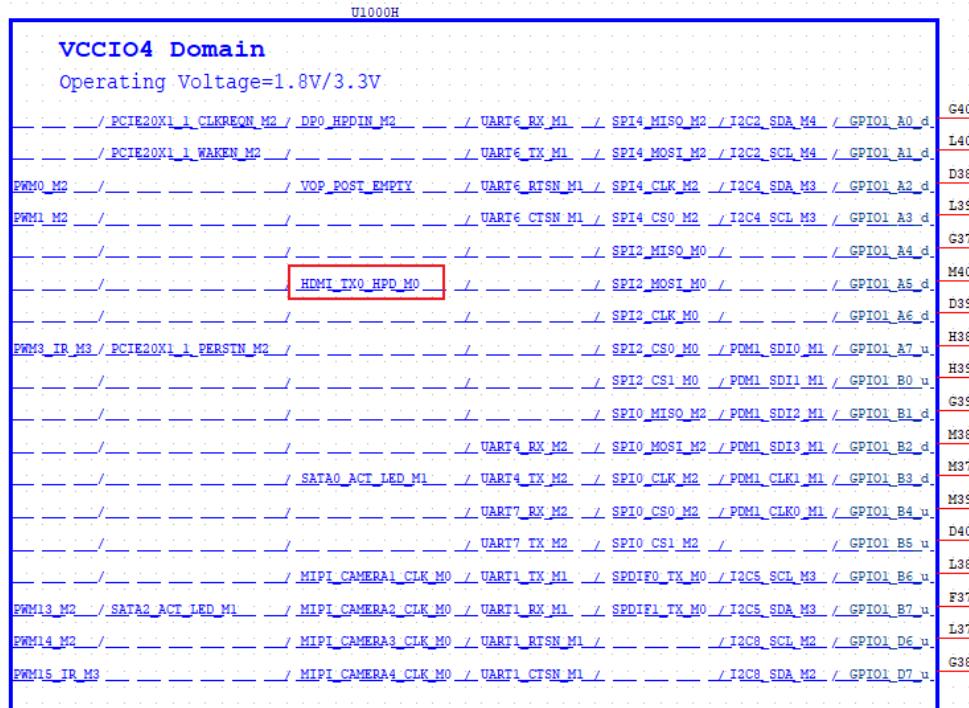


图 2-114 RK3588S HDMI_TX0_HPD M0 功能管脚

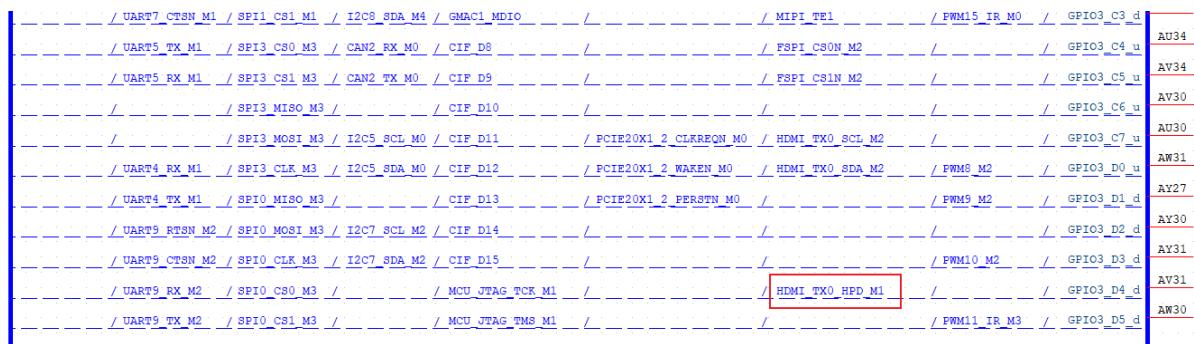


图 2-115 RK3588S HDMI_TX0_HPD M1 功能管脚

HDMI_TX0_CEC 是 HDMI 控制器 CEC 功能复用到普通 GPIO 上功能，电平随所在电源域电压，电源域供电电压有更改，外围电路的上拉电阻电源也必须同步调整。

HDMI_TX0_CEC 分别复用两个位置，一个在 VCCIO6 电源域的 IO 上面，一个在 PMUIO2 电源域的 IO 上面。

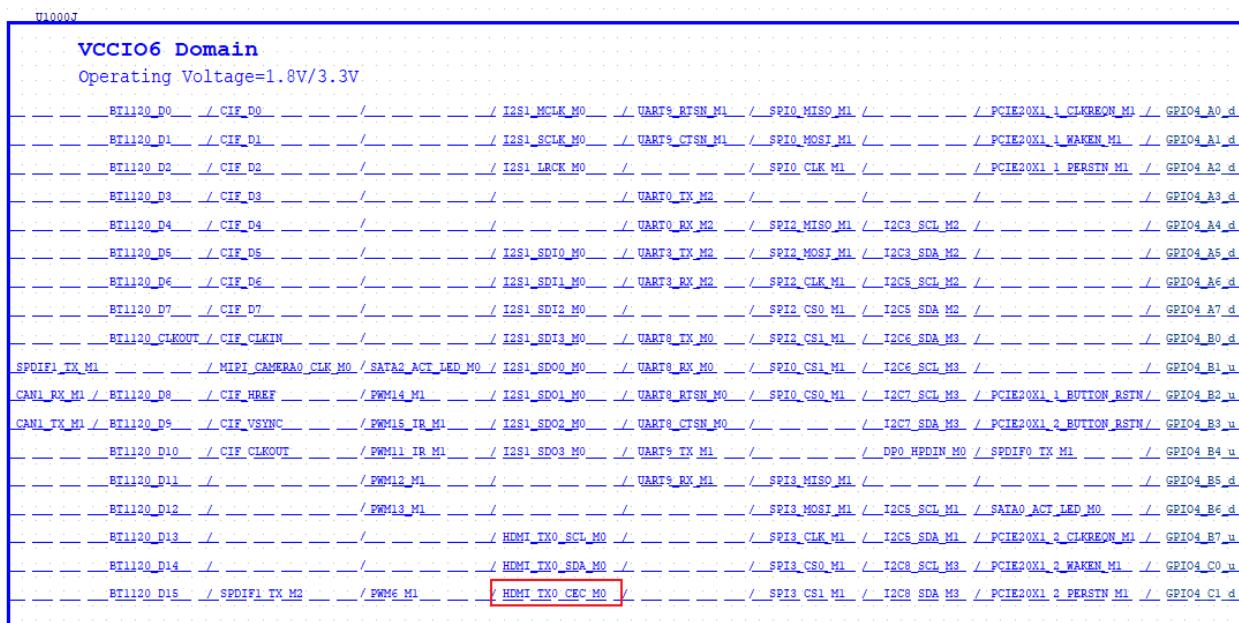


图 2-116 RK3588S HDMI_TX0_CEC_M0 功能管脚

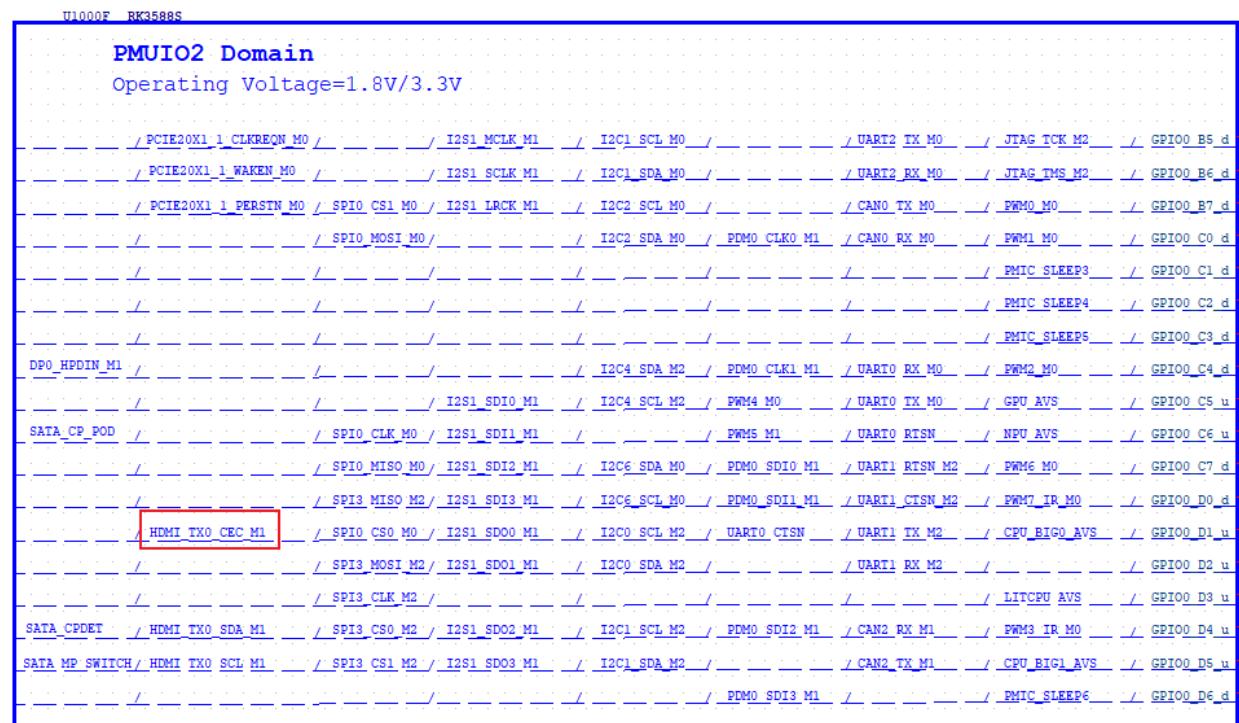


图 2-117 RK3588S HDMI_TX0_CEC_M1 功能管脚

CEC 协议规定是 3.3V 电平，但是协议要求，往 CEC 管脚通过 27K 电阻加 3.3V 电压，漏电不允许超过 1.8uA。

Test ID 7-15: CEC Line Degradation

Reference	Requirement
[HDMI: Table 4-40] CEC line Electrical Specifications for all Configurations	A device with power removed (from the CEC circuitry) shall not degrade communication between other CEC devices (e.g. the line shall not be pulled down by the powered off device). Maximum CEC line leakage current must be $\leq 1.8\mu A$

图 2-118 HDMI CEC 协议要求

RK3588S IO Domain 在未上电时，如果 IO 上有电压，IO 会存在漏电，比如 RK3588S 已经断电了，然后 HDMI 线还连接着 Sink 端(电视或显示器)，此时 Sink 端的 CEC 有电，会通过 HDMI 线漏电到 RK3588S IO 上，会造成 CEC 漏电超过 1.8uA，因此外部需要增加一个隔离电路，R5017 阻值不得随意修改，需要使用 27Kohm，Q5008 默认选择 2SK3018，如果要换其它型号，结电容必须相当，如果用结电容过大，不仅会影响工作，认证也会过不了。

HDMI TX CEC

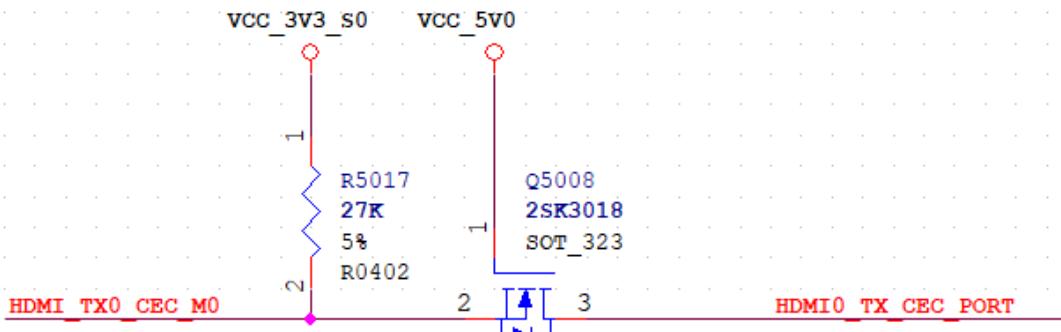


图 2-119 HDMI TX CEC 隔离电路

HDMI_TX0_DDC_SCL/DDC_SDA 是 HDMI TX0 控制器的 I2C/DDC 总线，功能复用到 VCCIO5，VCCIO6，PMUIO2 电源域的 IO 上面，电平随所在电源域电压，电源域供电电压有更改，外围电路的上拉电阻电源也必须同步调整。

DDC_SCL/DDC_SDA 协议规定是 5V 电平，RK3588S IO 不支持 5V 电平，必须增加电平转换电路，不得删减，默认使用 MOS 管电平转换，MOS 型号默认选择 2SK3018，如果要换其它型号，结电容必须相当，如果用结电容过大，不仅影响工作，认证也会过不了。

上拉电阻建议参考照默认值，不要随意修改。

D5000 二极管不得删减，用来防止 Sink 端漏电到 VCC_5V0。

SDA 信号电平转换的 MOS 栅极和电源之间串拉 1K 旧版本，MOS 栅极和源极之间并一个 100pF 改善时序，不得删除。

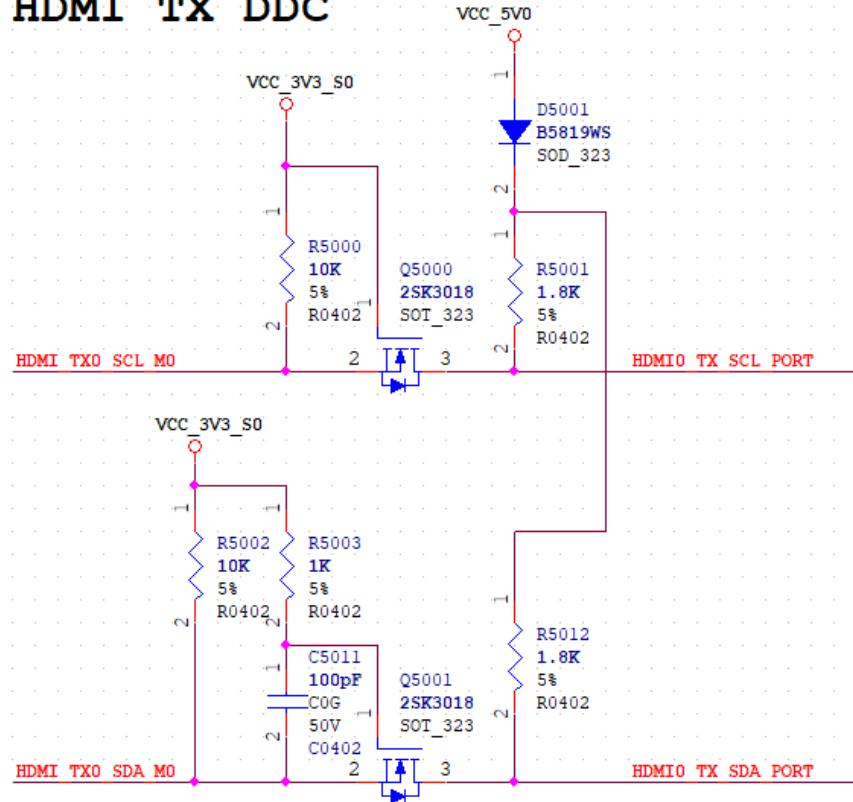
HDMI TX DDC

图 2-120 HDMI TX DDC 电平转换电路

HDMI 座子的 Pin18 电压需保证在 4.8-5.3V 之间，管脚需放置 1uF 去耦电容，不得删减，布局时，靠近 HDMI 座子管脚放置。

为加强抗静电能力，信号上必须预留 ESD 器件，HDMI2.1 信号的 ESD 寄生电容不得超过 0.2pF，其它信号的 ESD 寄生电容建议使用不超过 1pF。

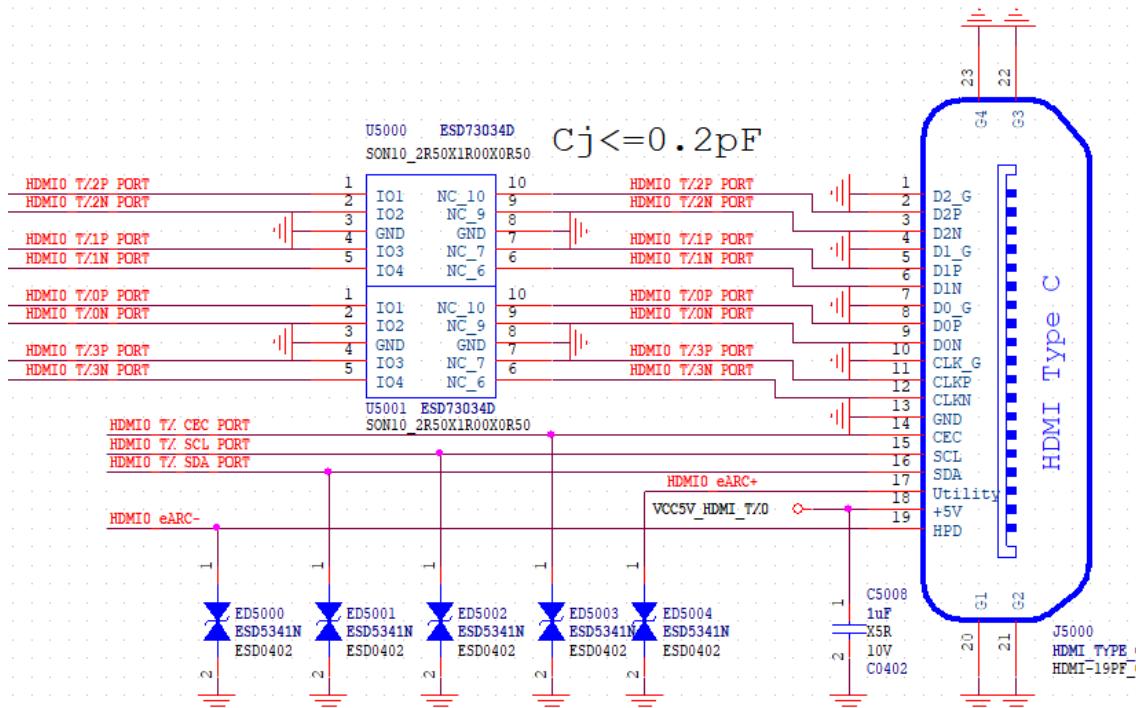


图 2-121 HDMI TX 座子 ESD 电路

HDMI TX 接口匹配设计推荐如下表所示。

表 2-24 RK3588S HDMI TX 接口设计

信号	连接方式	说明
HDMI_TX0_D0P/D0N	串联 220nF 电容（0201 封装），对地 499ohm 电阻	RFL 模式 Lane0/TMDS 数据 Lane0 输出
HDMI_TX0_D1P/D1N	串联 220nF 电容（0201 封装），对地 499ohm 电阻	RFL 模式 Lane1/TMDS 数据 Lane1 输出
HDMI_TX0_D2P/D2N	串联 220nF 电容（0201 封装），对地 499ohm 电阻	RFL 模式 Lane2/TMDS 数据 Lane2 输出
HDMI_TX0_D3P/D3N	串联 220nF 电容（0201 封装），对地 499ohm 电阻	RFL 模式 Lane3/TMDS 时钟输出
HDMI_TX0_SBDP/SBDN	串联 1uF 电容（0201 封装）	ARC/eARC 通道
HDMI/EDP_TX0_REXT	对地 8200 ohm 精度为 1% 的电阻	HDMI/EDP_TX0 PHY 的外置参考电阻
HDMI_TX0_HPD	三极管转换	HDMI 插入检测
HDMI_TX0_CEC	MOS 隔离转换	HDMI CEC 信号
HDMI_TX0_SCL	MOS 电平转换	HDMI DDC 时钟
HDMI_TX0_SDA	MOS 电平转换	HDMI DDC 数据输入输出

● eDP TX 模式

支持 eDP V1.3 版本，总共 4Lane，eDP TX 最大输出分辨率可达 4K@60Hz

- 每个 Lane 速率可支持 1.62/2.7/5.4Gbps；
- 支持 1Lane 或 2Lane 或 4Lane 模式；
- 支持 AUX 通道，速率可达 1Mbps。

eDP_TX0_D0P/D0N、eDP_TX0_D1P/D1N、eDP_TX0_D2P/D2N、eDP_TX0_D3P/D3N 需要串接的 220nF 交流耦合电容，交流耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化，布局时，靠近 RK3588S 管脚放置。

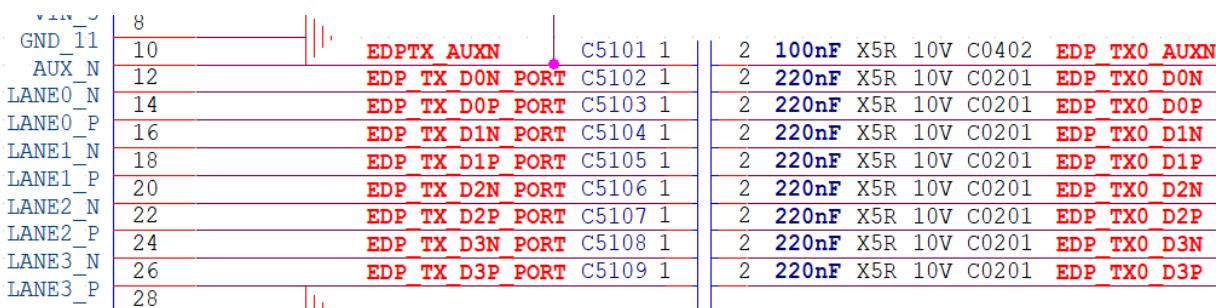


图 2-122 RK3588S eDP TX0 信号交流耦合电容

eDP_TX0_AUXP/AUXN 需要靠近接口端串接 100nF 交流耦合电容，AUXP 需要预留对地 100Kohm 电阻，AUXN 预留 100K 电阻上拉到 3.3V。

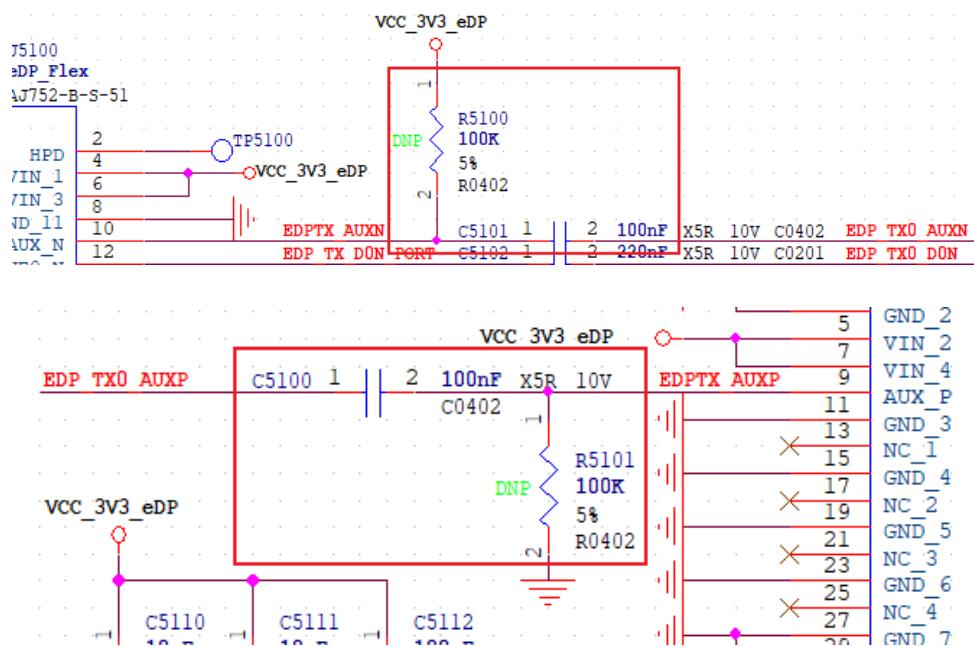


图 2-123 RK3588S eDP TX0 AUX 信号交流耦合电容

eDP TX0/1 PHY 接口匹配设计推荐如下表所示：

表 2-25 RK3588S eDP TX0/1 PHY 接口设计

信号	连接方式	说明
eDP_TX0_D0P/DON	串接 220nF 电容（建议 0201 封装）	eDP 数据 Lane0 输出
eDP_TX0_D1P/D1N	串接 220nF 电容（建议 0201 封装）	eDP 数据 Lane1 输出
eDP_TX0_D2P/D2N	串接 220nF 电容（建议 0201 封装）	eDP 数据 Lane2 输出
eDP_TX0_D3P/D3N	串接 220nF 电容（建议 0201 封装）	eDP 数据 Lane3 输出
eDP_TX0_AUXP/AUXN	串接 100nF 电容	eDP AUX 通道

2.3.8.2 MIPI_D/CPHY_TX 接口

RK3588S 有两个 MIPI D-PHY/C-PHY Combo PHY TX：

- D-PHY 支持 V2.0 版本，D-PHY 模式有 0/1/2/3 Lane，最大数据传输速率为 4.5Gbps；
- C-PHY 支持 V1.1 版本，C-PHY 模式有 0/1/2 Trio，每个 Trio A/B/C 3 根线，最大数据传输速率为 5.7Gbps/Trio (2.5Gbps)。

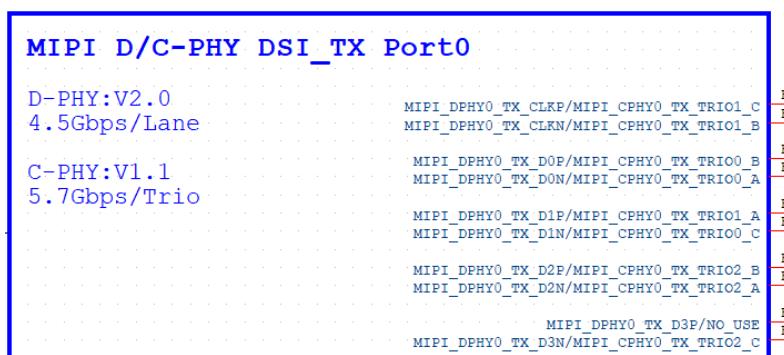


图 2-124 RK3588S MIPI D/CPHY0 TX 信号管脚

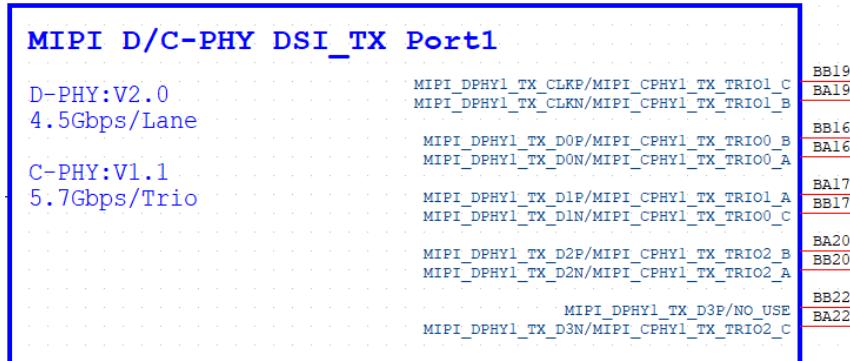


图 2-125 RK3588S MIPI D/C-PHY1 TX 信号管脚

DPHY 和 CPHY 配置支持情况:

- MIPI D-PHY/C-PHY Combo PHY0 的 TX 和 RX 只能支持同时配置成 DPHY0 TX, DPHY0 RX 模式, 或同时配置成 CPHY0 TX, CPHY0 RX 模式, 不支持一个配置成 DPHY0 TX, 一个配置成 CPHY0 RX
- MIPI D-PHY/C-PHY Combo PHY1 的 TX 和 RX 只能支持同时配置成 DPHY1 TX, DPHY1 RX 模式, 或同时配置成 CPHY1 TX, CPHY1 RX 模式, 不支持一个配置成 DPHY1 TX, 一个配置成 CPHY1 RX

MIPI D/C-PHY0 工作在 D-PHY 时模式支持情况:

- 支持 x4Lane 模式, MIPI_DPHY0_TX_D[3: 0]数据参考 MIPI_DPHY0_TX_CLK。

MIPI D/C-PHY0 工作在 C-PHY 时模式支持情况:

- 支持 0/1/2 Trio , 每个 Trio A/B/C 3 根线 , MIPI_CPHY0_TX_TRIO[2 : 0]_A , MIPI_CPHY0_TX_TRIO[2: 0]_B, MIPI_CPHY0_TX_TRIO[2: 0]_C。

MIPI D/C-PHY1 工作在 D-PHY 时模式支持情况:

- 支持 x4Lane 模式, MIPI_DPHY1_TX_D[3: 0]数据参考 MIPI_DPHY1_TX_CLK。

MIPI D/C-PHY1 工作在 C-PHY 时模式支持情况:

- 支持 0/1/2 Trio , 每个 Trio A/B/C 3 根线 , MIPI_CPHY1_TX_TRIO[2 : 0]_A , MIPI_CPHY1_TX_TRIO[2: 0]_B, MIPI_CPHY1_TX_TRIO[2: 0]_C。

MIPI D-PHY/C-PHY Combo PHY0/1 TX 设计中请注意:

- 为提高 MIPI D-PHY/C-PHY Combo PHY0/1 RX 性能, PHY 各路电源的去耦电容不得删除, 布局时请靠近管脚放置(RX 和 TX 是 Combo PHY, 电源为同一路)。

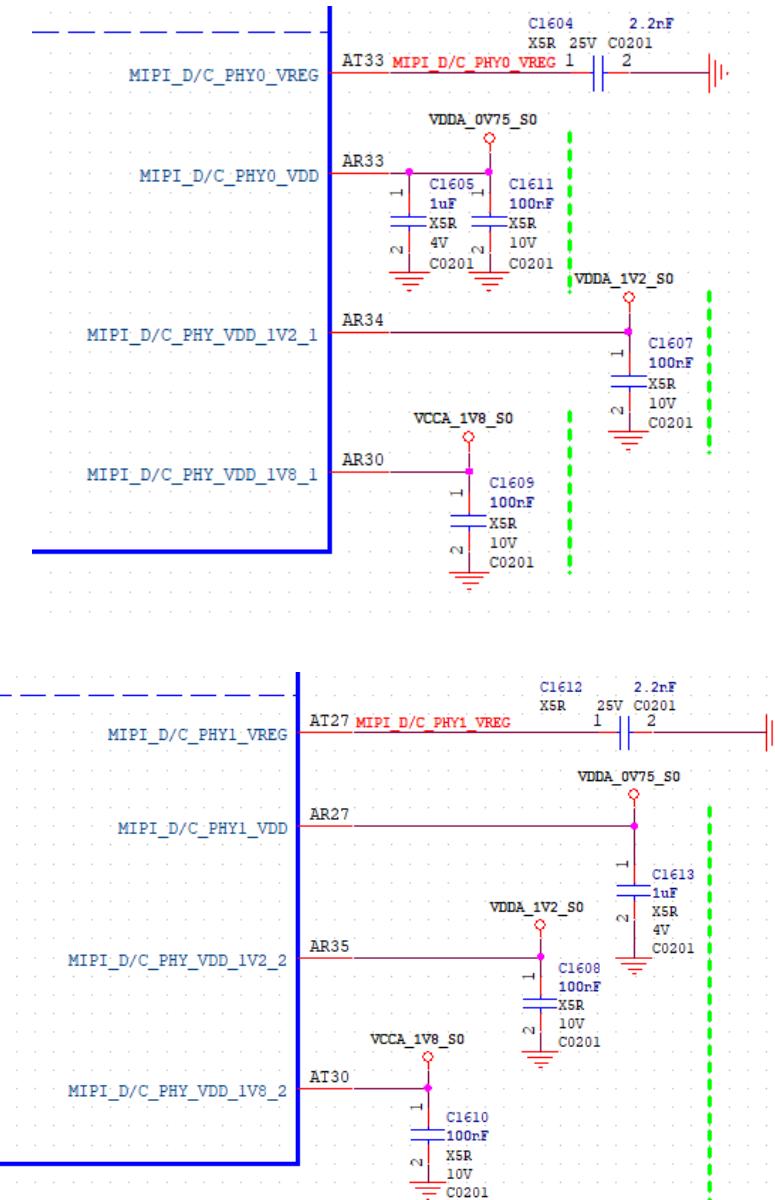


图 2-126 MIPI D-PHY/C-PHY Combo PHY0/1 TX 电源去耦电容

- MIPI D-PHY/C-PHY Combo PHY0/1 TX 匹配设计推荐如下表所示：

表 2-26 RK3588S MIPI D-PHY/C-PHY Combo PHY0/1 TX 接口设计

信号	连接方式	说明
MIPI_DPHY0_TX_D0P/D0N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY0_TX 数据 Lane0 输出
MIPI_DPHY0_TX_D1P/D1N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY0_TX 数据 Lane1 输出
MIPI_DPHY0_TX_D2P/D2N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY0_TX 数据 Lane2 输出
MIPI_DPHY0_TX_D3P/D3N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY0_TX 数据 Lane3 输出
MIPI_DPHY0_TX_CLKP/CLKN	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY0_TX 时钟输出
MIPI_CPHY0_TX_TRIO0_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY0_TX_TRIO0 输出
MIPI_CPHY0_TX_TRIO1_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY0_TX_TRIO1 输出
MIPI_CPHY0_TX_TRIO2_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY0_TX_TRIO2 输出
MIPI_DPHY1_TX_D0P/D0N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY1_TX 数据 Lane0 输出

信号	连接方式	说明
MIPI_DPHY1_TX_D1P/D1N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY1_TX 数据 Lane1 输出
MIPI_DPHY1_TX_D2P/D2N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY1_TX 数据 Lane2 输出
MIPI_DPHY1_TX_D3P/D3N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY1_TX 数据 Lane3 输出
MIPI_DPHY1_TX_CLKP/CLKN	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY1_TX 时钟输出
MIPI_CPHY1_TX_TRIO0_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY1_TX_TRIO0 输出
MIPI_CPHY1_TX_TRIO1_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY1_TX_TRIO1 输出
MIPI_CPHY1_TX_TRIO2_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY1_TX_TRIO2 输出

2.3.8.3 DP TX 接口

RK3588S 支持一个 DP1.4 TX PHY（和 USB3.0 Combo），最大输出分辨率可达 8K@30Hz

- 每个 Lane 速率可支持 1.62/2.7G/5.4/8.1Gbps;
- 支持 1Lane 或 2Lane 或 4Lane 模式;
- 支持 RGB/YUV (Up to 10bit) 格式;
- 支持 Single Stream Transport(SST)。

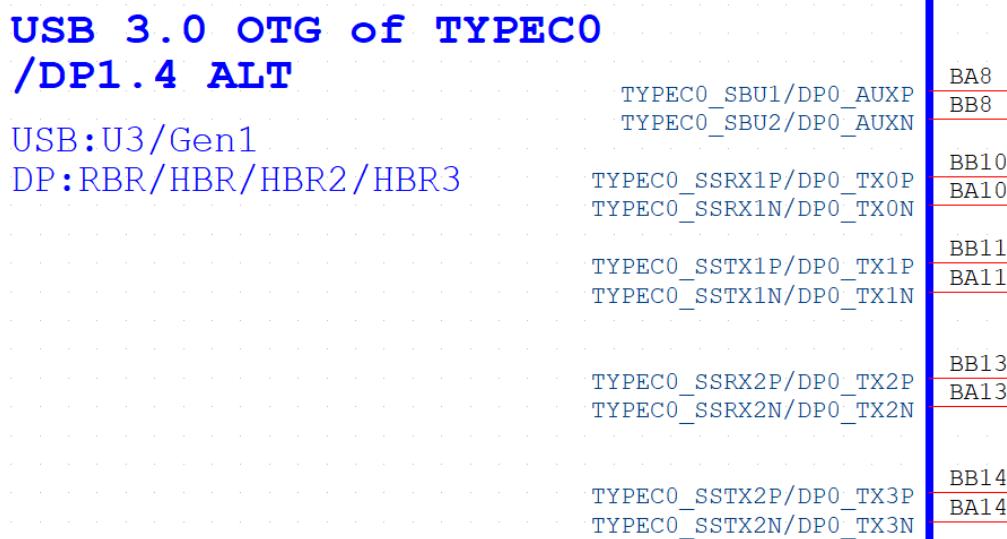


图 2-127 RK3588S DP0 TX 管脚

DP0 TX PHY 设计中请注意：

- 为提高 DP0/1 TX PHY 性能, PHY 各路电源的去耦电容不得删除, 布局时请靠近管脚放置; 其中 TYPEC0_DP0_VDD_0V85, TYPEC0_DP0_VDDA_0V85, TYPEC0_DP0_VDDH_1V8 这三路电源即便 TYPEC0 功能不使用, 也必须供电;

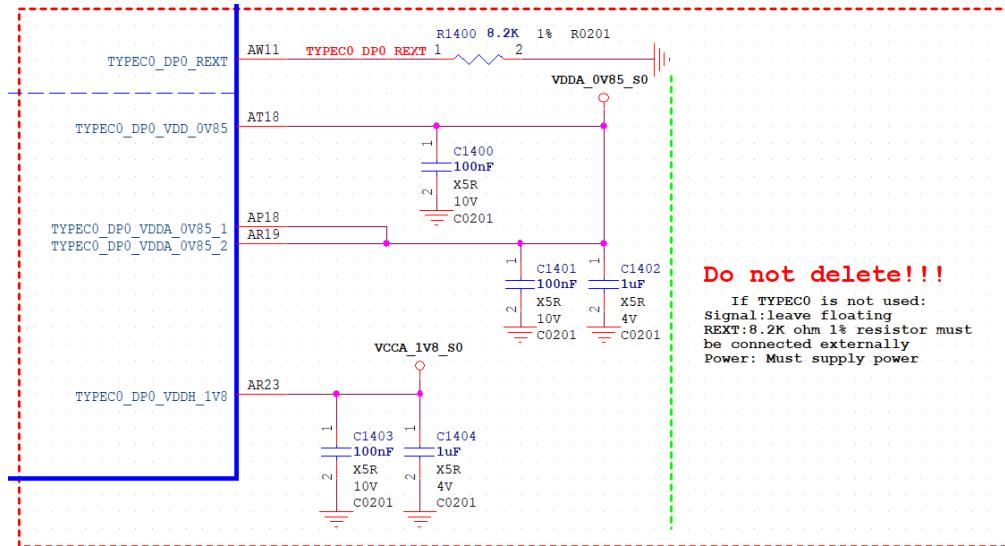


图 2-128 RK3588S DP0 TX PHY 电源去耦电容

- DP0_TX_D0P/DON、DP0_TX_D1P/D1N、DP0_TX_D2P/D2N、DP0_TX_D3P/D3N 需要串接的 100nF 交流耦合电容，交流耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化，布局时，靠近 RK3588S 管脚放置；

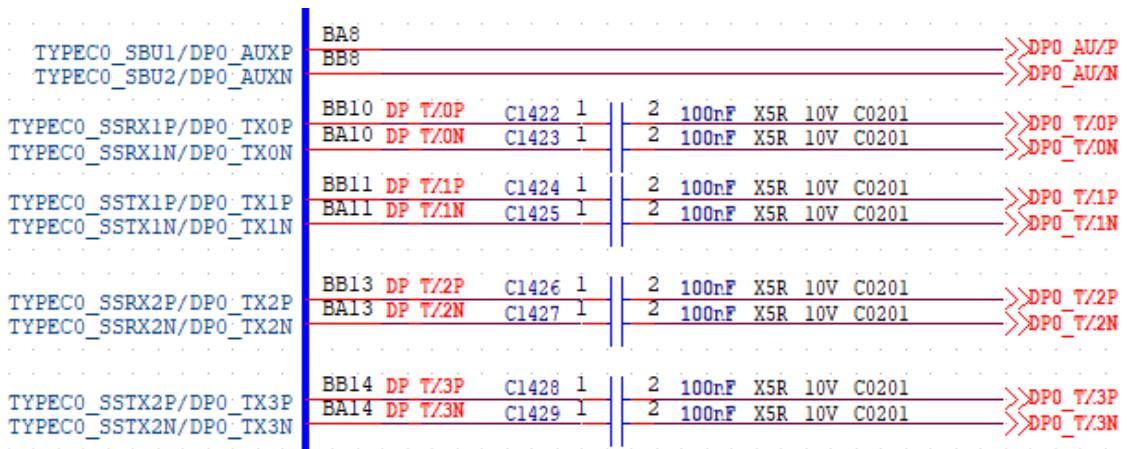


图 2-129 RK3588S DP0 TX 信号交流耦合电容

- TYPEC0_DP0_REXT 和 TYPEC1_DP1_REXT 是 USB DP Combo PHY0/1 的外置参考电阻管脚，外接对地 8200ohm 精度为 1% 的电阻，不得更改电阻值，布局时靠近 RK3588S 芯片管脚放置。其中 TYPEC0_DP0_REXT 管脚的电阻即便 TYPEC0 功能不使用，也必须接上。

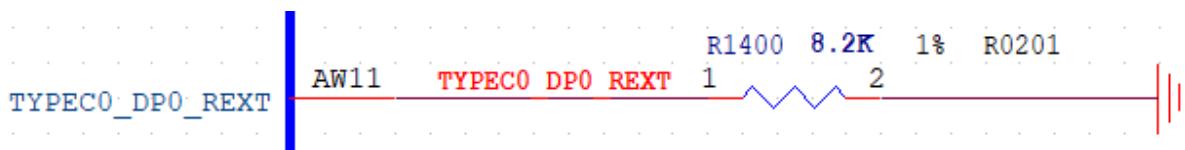


图 2-130 RK3588S DP0_TX_REXT 管脚

DP0/1 TX PHY 接口匹配设计推荐如下表所示：

表 2-27 RK3588S DP0/1 TX PHY 接口设计

信号	连接方式	说明
DP0_TX_D0P/D0N	串接 100nF 电容 (建议 0201 封装)	DP0 数据 Lane0 输出
DP0_TX_D1P/D1N	串接 100nF 电容 (建议 0201 封装)	DP0 数据 Lane1 输出
DP0_TX_D2P/D2N	串接 100nF 电容 (建议 0201 封装)	DP0 数据 Lane2 输出
DP0_TX_D3P/D3N	串接 100nF 电容 (建议 0201 封装)	DP0 数据 Lane3 输出
DP0_TX_AUXP/AUXN	串接 100nF 电容	DP0 AUX 通道
TYPEC0_DP0_REXT	对地 8200 ohm 精度为 1% 的电阻	USB/DP0 PHY 的外置参考电阻

2.3.8.4 BT1120 TX 接口

RK3588S 支持 16bit BT1120 输出接口，最大输出分辨率可达 1920X1080@60Hz；兼容 8bit BT656 接口，支持 PAL 和 NTSC。

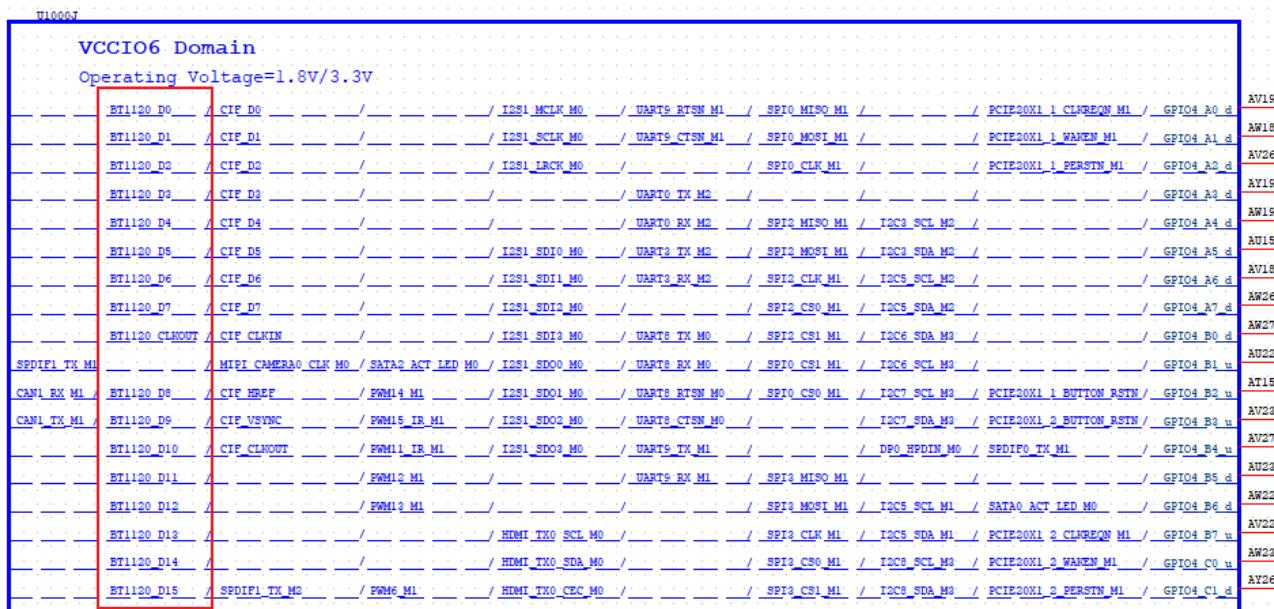


图 2-131 RK3588S VOP BT1120 功能管脚

BT1120 和 BT656 复用关系如下表：

表 2-28 RK3588S BT1120 与 BT656 关系表

管脚名	BT656(8bit)	BT1120(16bit)
BT1120_CLKOUT	CLKOUT	CLKOUT
BT1120_D15		D15
BT1120_D14		D14
BT1120_D13		D13
BT1120_D12		D12
BT1120_D11		D11
BT1120_D10		D10

管脚名	BT656(8bit)	BT1120(16bit)
BT1120_D9		D9
BT1120_D8		D8
BT1120_D7	D7	D7
BT1120_D6	D6	D6
BT1120_D5	D5	D5
BT1120_D4	D4	D4
BT1120_D3	D3	D3
BT1120_D2	D2	D2
BT1120_D1	D1	D1
BT1120_D0	D0	D0

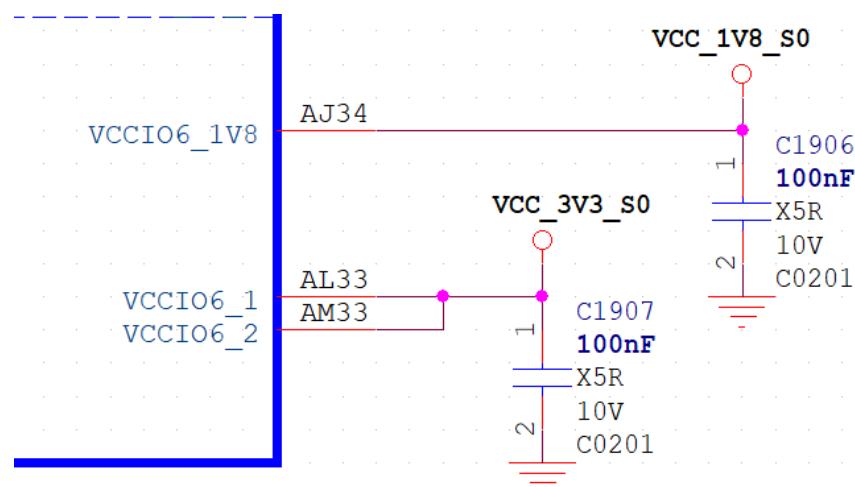
BT1120 输出接口数据对应关系，支持 YC Swap。

表 2-29 RK3588S BT1120 输出格式列表

Pin Name	默认模式		Swap 打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
BT1120_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
BT1120_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
BT1120_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
BT1120_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
BT1120_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
BT1120_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
BT1120_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
BT1120_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
BT1120_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
BT1120_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
BT1120_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
BT1120_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
BT1120_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
BT1120_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
BT1120_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
BT1120_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

BT1120 输出接口设计中请注意：

- BT1120 输出接口电源域为 VCCIO6 供电，实际产品设计中，需要根据外设的实际 IO 供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致；
- 为提高 BT1120 输出接口性能，VCCIO6 电源的去耦电容不得删除，布局时请靠近管脚放置。



BT1120 输出接口上下拉和匹配设计推荐如表:

表 2-30 RK3588S BT1120 输出接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
BT1120_D[15: 0]	下拉	直连, 有条件建议靠近芯片端预留串接电阻	BT1120 数据输出
BT1120_CLK	下拉	串接 22ohm 电阻, 靠近设备端	BT1120 时钟输出

- 当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.8.5 LCD 屏和触摸屏设计注意点

- LED 背光升压 IC 的 FB 端限流电阻, 请选用 1% 精度电阻, 并按功率需求选择合适的封装尺寸;
- LED 背光升压 IC 的 EN/PWM 管脚, 选择内部下拉的 GPIO, 外接下拉电阻, 避免上电时出现闪屏现象;
- LED 背光的驱动电压输出, 请选择合适额定电压的滤波电容;
- LED 背光升压电路的肖特基二极管请根据工作电流选择合适的型号, 并注意二极管的反向击穿电压, 避免在空载时反向击穿;
- LED 背光升压电路的电感请根据实际型号匹配感量, 饱和电流, DCR 等;
- 屏和触摸屏的信号电平要与芯片的 IO 驱动电平匹配, 如 RST/Stand by 等信号;
- 屏的电源必须可控制, 上电时, 默认不提供;
- 屏和触摸屏的去耦电容不得删减, 必须保留;
- TP 的 I2C 总线必须加 2.2K 上拉到 VCC3V3_TP 电源, 建议不和其它设备共用总线, 如果一定要共用, 注意上拉电源和地址是否冲突;
- 带 Charge pump 的 TP IC, 请注意电容的额定电压;
- 对于屏, 当通过 FPC 与板连接时, 建议串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件;
- 串行接口的屏在接口处建议预留共模电感;

2.3.8.6 VGA 接口设计注意点

RK3588S 本身不支持直接 VGA OUT，需要外部转换芯片，可以选择 RGB888, HDMI, MIPI, eDP 等接口转 VGA 输出，这里主要描述基于 IT6516BFN 的相关注意点：

- 各电源管脚的去耦电容不得删减，必须保留；
- 注意上电时序要求；
- IT6516BFN Pin12、Pin13 的 VGADDCCSDA 和 VGADDCCCLK 的 LVTTL 信号电平为 5V，需要上拉到 5V 电平；
- IT6516BFN Pin26 的 HPD 信号，默认对地电阻不得删除或采用默认下拉 GPIO；
- IT6516BFN 外围电路必须直接参照参考设计电路；
- IVDDO (Pin25) 为 Regulator 输出 1.8V，给芯片的 I/O、DP Analog 前端、DAC/Voltage 提供电源。
- VGA_R/G/B 需要接下拉 75ohm 电阻，精度为 1%，不得删减；
- VGA_R/G/B 滤波电路需要参考各转换芯片要求；
- VGA 座子所有信号都必须增加 TVS 管，TVS 器件尽可能靠近 VGA 连接器放置。

2.3.9 音频相关电路设计

RK3588S 总共提供了 11 组 I2S 接口、2 组 PDM 接口、6 个 SPDIF TX 接口、3 个 SPDIF RX 接口以及 1 组 DSM PWM Audio 接口。

其中对外提供了 4 组标准 I2S 接口、2 组 PDM 接口、2 个 SPDIF TX 接口以及 1 组 DSM PWM Audio 接口，这些接口的 IO 域复用情况以及所属电源域如下表所示，供用户灵活分配选用。

表 2-31 RK3588S 对外引出的音频接口以及 IO 复用情况

对外接口	第一处复用 (M0)	第二处复用 (M1)	第三处复用 (M2)	所属内部电源域
I2S0	VCCIO1	-	-	PD_AUDIO
I2S1	VCCIO6	PMUIO2	-	PD_PMU1
I2S2	-	VCCIO5	-	PD_AUDIO
I2S3	VCCIO5	-	-	PD_AUDIO
PDM0	VCCIO1	PMUIO2	-	PD_PMU1
PDM1	VCCIO2	VCCIO4	-	PD_AUDIO
SPDIF0_TX	VCCIO4 GPIO1_B6	VCCIO6 GPIO4_B4	-	PD_AUDIO
SPDIF1_TX	VCCIO4 GPIO1_B7	VCCIO6 GPIO4_B1	VCCIO6 GPIO4_C1	PD_AUDIO
DSM PWM Audio	VCCIO5	-	-	PD_AUDIO

其余未引出的音频接口用于视频输入/输出接口的配套使用，其内部分配对应关系在 2.3.9.1 章节的框图中体现。这些音频接口的内部电源域从属情况如下，与其配套对应的视频接口所属电源域一致：

I2S4、I2S8 属于 PD_VO0；

I2S5、I2S6、I2S7、I2S9、I2S10 属于 PD_VO1；

SPDIF2_TX、SPDIF5_TX 属于 PD_VO0；

SPDIF3_TX、SPDIF4_TX 属于 PD_VO1；
SPDIF_RX0、SPDIF_RX1、SPDIF_RX2 属于 PD_VO1。

2.3.9.1 音频子系统框图

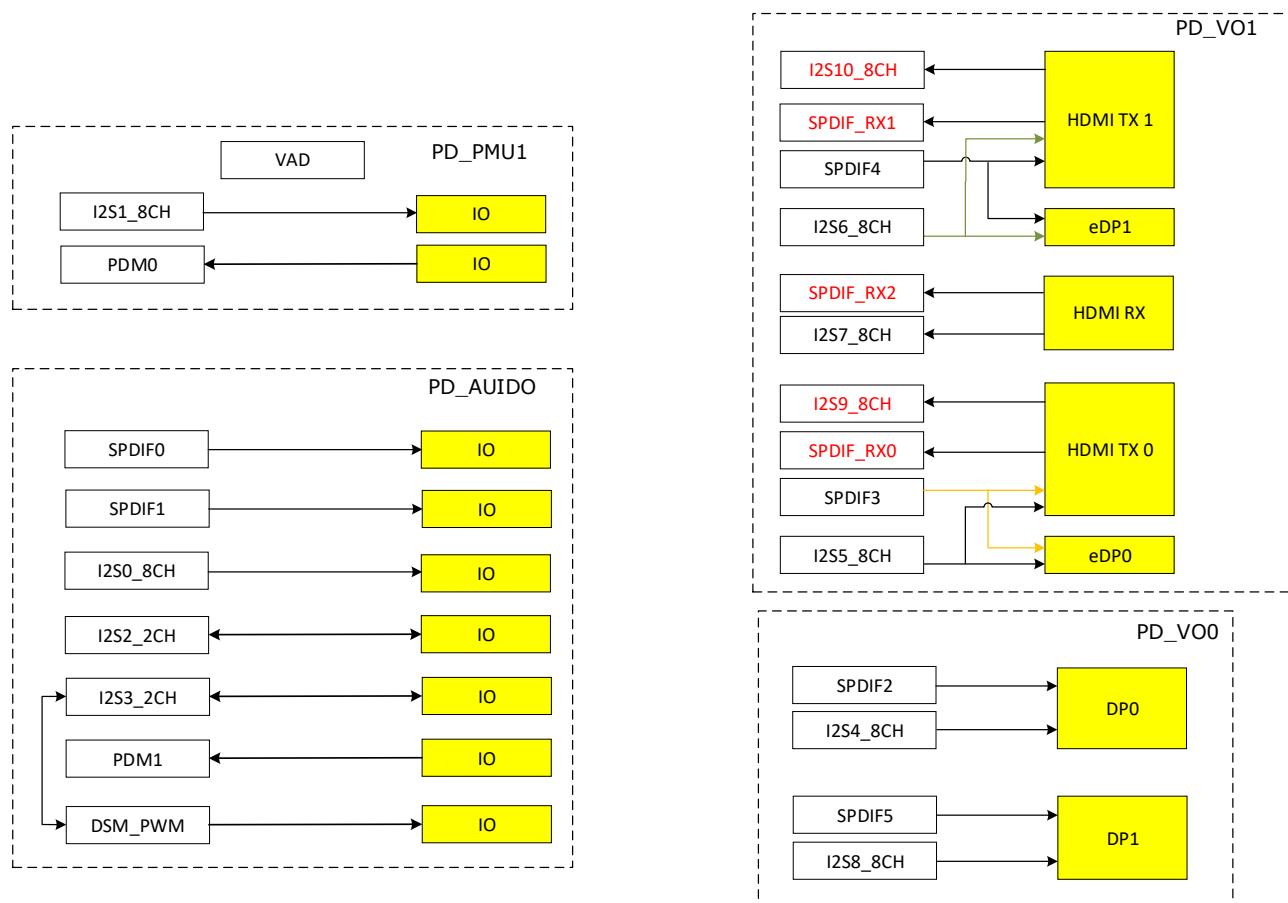


图 2-132 RK3588S 音频子系统框图

2.3.9.2 I2S 数字音频接口

RK3588S 总共提供了 11 组 I2S 接口，其中 4 组对外引出。I2S 作为应用最广泛的数字音频接口，可用于音频 ADC、音频 DAC、音频 Codec、DSP 等外设的通讯，也可为视频输入/输出接口提供集成的音频输入与输出支持。

其中，I2S0、I2S1 是支持 8 通道输入/输出能力的标准 I2S 接口，支持 I2S/PCM/TDM 模式；I2S2、I2S3 是支持 2 通道输入/输出能力的标准 I2S 接口，支持 I2S/PCM 模式。这些模式的格式、时序可参考 TRM 文档详细说明。

这四组 I2S 接口均可支持主从模式，16 至 32bits 的位宽，最高到 192kHz 的采样率。

2.3.9.2.1 I2S0 数字音频接口

I2S0 接口包含独立的 8 通道输出和 8 通道输入，对于输出数据 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

I2S0 接口支持主从工作模式，软件可配置。支持 3 种 I2S 格式（常规、左对齐、右对齐）；支持 4 种 PCM 格式（early、late1、late2、late3）；支持 5 种 TDM 格式（常规、1/2 cycle left shift、1 cycle left shift、

2 cycle left shift、right shift)。

该组 I2S 引脚只有一处复用，在 VCCIO1，其中有二个 SDOx 和 SDIx 信号存在复用冲突，引脚分配时候需要注意。同时，需要核对 I2S 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

I2S0 接口上下拉和匹配设计推荐如表所示。

表 2-32 RK3588S I2S0 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
I2S0_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S0_SCLK	下拉	串联 22ohm 电阻	I2S 连续串行时钟，位时钟
I2S0_LRCK	下拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择
I2S0_SDO0	下拉	直连	I2S 串行数据 0 输出
I2S0_SDO1	下拉	直连	I2S 串行数据 1 输出
I2S0_SDO2/I2S0_SDI3	下拉	直连	I2S 串行数据 2 输出/串行数据 3 输入
I2S0_SDO3/I2S0_SDI2	下拉	直连	I2S 串行数据 3 输出/串行数据 2 输入
I2S0_SDIO	下拉	直连	I2S 串行数据 0 输入
I2S0_SDII	下拉	直连	I2S 串行数据 1 输入

- 为提高 I2S 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.2.2 I2S1 数字音频接口

I2S1 接口包含独立的 8 通道输出和 8 通道输入，对于输出数据 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

I2S1 接口支持主从工作模式，软件可配置。支持 3 种 I2S 格式（常规、左对齐、右对齐）；支持 4 种 PCM 格式（early、late1、late2、late3）；支持 5 种 TDM 格式（常规、1/2 cycle left shift、1 cycle left shift、2 cycle left shift、right shift）。

该组 I2S 引脚复用在两个不同的电源域，I2S1_M0 复用在 VCCIO6，I2S1_M1 复用在 PMUIO2，两处均可整组完整引出所有信号。二处复用不能同时使用，每次只能用其中一组。需要核对 I2S 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

I2S1 接口上下拉和匹配设计推荐如表所示：

表 2-33 RK3588S I2S1 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
I2S1_MCLK_M0	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S1_SCLK_M0	下拉	串联 22ohm 电阻	I2S 连续串行时钟，位时钟
I2S1_LRCK_M0	下拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择
I2S1_SDO0_M0	上拉	直连	I2S 串行数据 0 输出
I2S1_SDO1_M0	上拉	直连	I2S 串行数据 1 输出
I2S1_SDO2_M0	上拉	直连	I2S 串行数据 2 输出
I2S1_SDO3_M0	上拉	直连	I2S 串行数据 3 输出
I2S1_SDIO_M0	下拉	直连	I2S 串行数据 0 输入

信号	默认上下拉	连接方式	描述 (芯片端)
I2S1_SDI1_M0	下拉	直连	I2S 串行数据 1 输入
I2S1_SDI2_M0	下拉	直连	I2S 串行数据 2 输入
I2S1_SDI3_M0	下拉	直连	I2S 串行数据 3 输入
I2S1_MCLK_M1	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S1_SCLK_M1	下拉	串联 22ohm 电阻	I2S 连续串行时钟, 位时钟
I2S1_LRCK_M1	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择
I2S1_SDO0_M1	上拉	直连	I2S 串行数据 0 输出
I2S1_SDO1_M1	上拉	直连	I2S 串行数据 1 输出
I2S1_SDO2_M1	上拉	直连	I2S 串行数据 2 输出
I2S1_SDO3_M1	上拉	直连	I2S 串行数据 3 输出
I2S1_SDI0_M1	上拉	直连	I2S 串行数据 0 输入
I2S1_SDI1_M1	上拉	直连	I2S 串行数据 1 输入
I2S1_SDI2_M1	下拉	直连	I2S 串行数据 2 输入
I2S1_SDI3_M1	下拉	直连	I2S 串行数据 3 输入

- 为提高 I2S 接口性能, 对应 VCCIO 电源域的去耦电容不得删除, 布局时请靠近管脚放置;
- 当通过连接器实现板对板连接时, 建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.9.2.3 I2S2 数字音频接口

I2S2 接口包含独立的 2 通道输出和 2 通道输入, 对于输出数据 SDOx 和输入数据 SDIx, 同时参考一组位/帧时钟 SCLK/LRCK。

I2S2 接口支持主从工作模式, 软件可配置。支持 3 种 I2S 格式 (常规、左对齐、右对齐); 支持 4 种 PCM 格式 (early、late1、late2、late3)。

该组 I2S 引脚仅复用在一个电源域, I2S2_M1 复用在 VCCIO5, 可完整引出所有信号。需要核对 I2S 外设的 IO 电平, 使其匹配对应的 IO 电源域供电。

I2S2 接口上下拉和匹配设计推荐如表所示:

表 2-34 RK3588S I2S2 接口信号描述

信号	默认上下拉	连接方式	描述 (芯片端)
I2S2_MCLK_M1	上拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S2_SCLK_M1	上拉	串联 22ohm 电阻	I2S 连续串行时钟, 位时钟
I2S2_LRCK_M1	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择
I2S2_SDO_M1	上拉	直连	I2S 串行数据 0 输出
I2S2_SDI_M1	下拉	直连	I2S 串行数据 0 输入

- 为提高 I2S 接口性能, 对应 VCCIO 电源域的去耦电容不得删除, 布局时请靠近管脚放置;
- 当通过连接器实现板对板连接时, 建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.9.2.4 I2S3 数字音频接口

I2S3 接口包含独立的 2 通道输出和 2 通道输入, 对于输出数据 SDOx 和输入数据 SDIx, 同时参考一

组位/帧时钟 SCLK/LRCK。

I2S3 接口支持主从工作模式，软件可配置。支持 3 种 I2S 格式（常规、左对齐、右对齐）；支持 4 种 PCM 格式（early、late1、late2、late3）。

该组 I2S 引脚只有一处复用，在 VCCIO5。需要核对 I2S 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

I2S3 接口上下拉和匹配设计推荐如表所示：

表 2-35 RK3588S I2S3 接口设计

信号	默认上下拉	连接方式	描述（芯片端）
I2S3_MCLK	上拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S3_SCLK	上拉	串联 22ohm 电阻	I2S 连续串行时钟，位时钟
I2S3_LRCK	上拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择
I2S3_SDO	上拉	直连	I2S 串行数据 0 输出
I2S3_SD1	下拉	直连	I2S 串行数据 0 输入

- 为提高 I2S 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.3 PDM 数字音频接口

RK3588S 总共提供了 2 组 PDM 接口，均对外引出。

两组 PDM 都工作在主接收模式（master receive mode，即 RK3588S 提供 PDM 时钟、接收数据）支持 8 通道输入能力，16 至 32bits 的位宽，最高到 192kHz 的采样率。

PDM 接口通常用于接入数字麦克风，或者通过 PDM 接口的模拟音频 ADC 对模拟麦克风进行录音。

下图是 PDM 接口的数据格式，PDM_DATA 由 Data(R) 和 Data(L) 组成，PDM 是 1bit 采样接口，分别在 CLK 的上升沿、下降沿采样 Data(L) 和 Data(R)，即每根 PDM_SDIX 数据线可传输两个声道的音频数据。

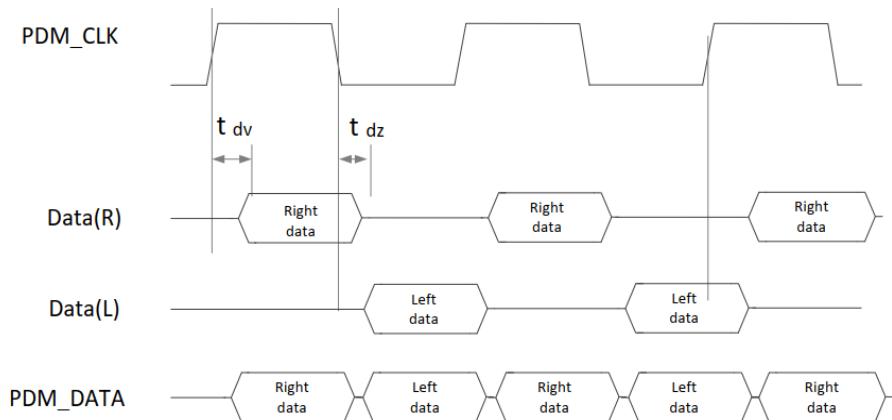


图 2-133 RK3588S PDM 接口数据格式

常见的采样率与 PDM_CLK 的对应关系如下表，在硬件调测时可以对照进行参考：

表 2-36 RK3588S PDM_CLK 频率与采样率对照表

PDM_CLK 频率	采样率
3.072MHz	12kHz, 24kHz, 48kHz, 96kHz, 192kHz
2.8224MHz	11.025kHz, 22.05kHz, 44.1kHz, 88.2kHz, 176.4kHz
2.048MHz	8kHz, 16kHz, 32kHz, 64kHz, 128kHz

2.3.9.3.1 PDM0 数字音频接口

PDM0 引脚复用在二个不同的电源域，PDM0_M0 复用在 VCCIO1，PDM0_M1 复用在 PMUIO2。二处复用不能同时使用，每次只能用其中一组。需要核对 PDM 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

PDM0 接口上下拉和匹配设计推荐如表所示。为改善 PCB 走线对时钟的影响，提供了两个同源同相的 PDM 时钟，PDM_CLK0 和 PDM_CLK1，可根据 layout 走线的需求分配使用，避免单一 CLK 走线情况下分支的影响。

表 2-37 RK3588S PDM0 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
PDM0_CLK0_M0	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM0_CLK1_M0	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM0_SDI0_M0	下拉	直连	PDM 数据输入 0
PDM0_SDI1_M0	下拉	直连	PDM 数据输入 1
PDM0_SDI2_M0	下拉	直连	PDM 数据输入 2
PDM0_SDI3_M0	下拉	直连	PDM 数据输入 3
PDM0_CLK0_M1	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM0_CLK1_M1	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM0_SDI0_M1	下拉	直连	PDM 数据输入 0
PDM0_SDI1_M1	下拉	直连	PDM 数据输入 1
PDM0_SDI2_M1	上拉	直连	PDM 数据输入 2
PDM0_SDI3_M1	下拉	直连	PDM 数据输入 3

- 为提高 PDM 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.3.2 PDM1 数字音频接口

PDM1 引脚复用在二个不同的电源域，PDM1_M0 复用在 VCCIO2，PDM1_M1 复用在 VCCIO4。二处复用不能同时使用，每次只能用其中一组。需要核对 PDM 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

PDM1 接口上下拉和匹配设计推荐如表所示。为改善 PCB 走线对时钟的影响，提供了两个同源同相的 PDM 时钟，PDM_CLK0 和 PDM_CLK1，可根据 layout 走线的需求分配使用，避免单一 CLK 走线情况下分支的影响。

表 2-38 RK3588S PDM1 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
PDM1_CLK0_M0	下拉	串联 22ohm 电阻	PDM 时钟 0

信号	默认上下拉	连接方式	描述 (芯片端)
PDM1_CLK1_M0	上拉	串联 22ohm 电阻	PDM 时钟 1
PDM1_SDIO_M0	上拉	直连	PDM 数据输入 0
PDM1_SDIO_M0	上拉	直连	PDM 数据输入 1
PDM1_SDIO_M0	上拉	直连	PDM 数据输入 2
PDM1_SDIO_M0	上拉	直连	PDM 数据输入 3
PDM1_CLK0_M1	上拉	串联 22ohm 电阻	PDM 时钟 0
PDM1_CLK1_M1	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM1_SDIO_M1	上拉	直连	PDM 数据输入 0
PDM1_SDIO_M1	上拉	直连	PDM 数据输入 1
PDM1_SDIO_M1	下拉	直连	PDM 数据输入 2
PDM1_SDIO_M1	下拉	直连	PDM 数据输入 3

- 为提高 PDM 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并

2.3.9.4 SPDIF TX 数字音频接口

2.3.9.4.1 SPDIF0_TX 数字音频接口

SPDIF0_TX 引脚复用在二个不同的电源域，SPDIF0_TX_M0 复用在 VCCIO4, GPIO1_B6；SPDIF0_TX_M1 复用在 VCCIO6, GPIO4_B4。需要核对 SPDIF_TX 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SPDIF 接口上下拉和匹配设计推荐如表所示：

表 2-39 RK3588S SPDIF0_TX 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域
SPDIF0_TX_M0	上拉	串联 22ohm 电阻	VCCIO5
SPDIF0_TX_M1	上拉	串联 22ohm 电阻	VCCIO6

- 为提高 SPDIF 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.4.2 SPDIF1_TX 数字音频接口

SPDIF1_TX 引脚复用三处，分别在二个不同的电源域，SPDIF1_TX_M0 复用在 VCCIO4, GPIO1_B7；SPDIF1_TX_M1 复用在 VCCIO6, GPIO4_B1；SPDIF1_TX_M2 复用在 VCCIO6, GPIO4_C1。需要核对 SPDIF_TX 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SPDIF 接口上下拉和匹配设计推荐如表所示：

表 2-40 RK3588S SPDIF1_TX 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域
SPDIF1_TX_M0	上拉	串联 22ohm 电阻	VCCIO5

信号及复用情况	默认上下拉	连接方式	所属电源域
SPDIF1_TX_M1	上拉	串联 22ohm 电阻	VCCIO6
SPDIF1_TX_M2	下拉	串联 22ohm 电阻	VCCIO6

- 为提高 SPDIF 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.5 DSM PWM Audio 音频接口

DSM PWM Audio 指的是将音频 PCM 数据进行直接比特流数字编码（Direct Stream Digital）转换输出的 1bit 信号流数据，在未配备高性能音频 DAC、又需要有语音音频输出的设计中，该接口可经一阶 RC 低通滤波处理得到音频信号，如下图所示，输出的数字信号经滤波后得到音频信号。

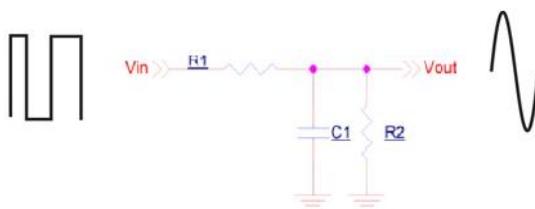


图 2-134 RK3588S DSM PWM Audio 低通滤波器示意图

该组接口提供了两对差分输出，可满足立体声需求。接口的详细介绍和 RC 低通滤波参数计算，可参考文档《DSMAUDIO 音频接口电路设计》。

表 2-41 RK3588S DSM PWM Audio 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域
AUDDSM_LN	上拉	串接 RC 低通滤波	VCCIO5
AUDDSM_LP	上拉	串接 RC 低通滤波	VCCIO5
AUDDSM_RN	上拉	串接 RC 低通滤波	VCCIO5
AUDDSM_RP	下拉	串接 RC 低通滤波	VCCIO5

- 为提高 DSM PWM Audio 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.6 音频外设的设计参考

大多数情况下，上文提及的数字音频接口不可直接使用，需要配套相关外设才得以实现具体的音频能力。本章节对于常用的音频场景，给出了设计建议，用户可参考使用。

2.3.9.6.1 放音设备、耳机、喇叭

对于喇叭放音需求，实现方案如下，RK3588S 通过 I2S 连接音频 DAC 实现模拟输出，再通过音频功放实现功率放大驱动喇叭：

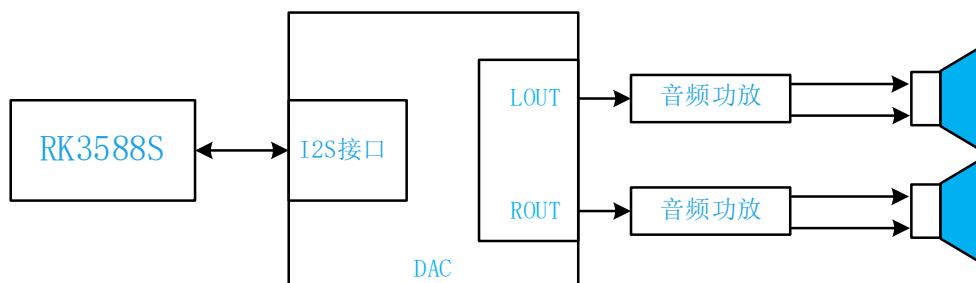


图 2-135 RK3588S 喇叭输出示意图

针对放音素质要求低、成本严格的场景，通过 DSM PWM Audio 输出的路径示意如下，使用该方案前建议评估音频质量，例如用于简单的语音播报等用途：

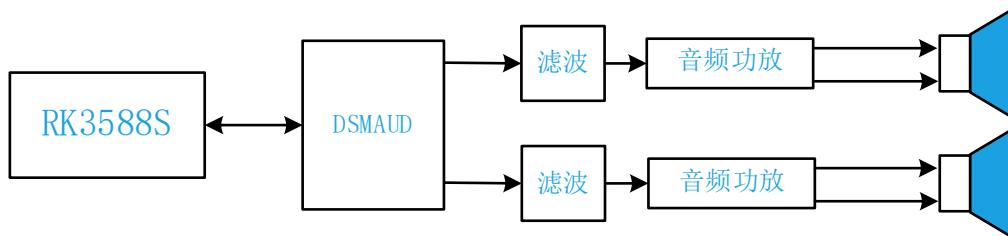


图 2-136 RK3588S 低成本喇叭输出示意图

2.3.9.6.2 录音设备、麦克风

在平板、笔电等应用场景中，除了放音还有录音的需求，此时通常使用集成 ADC、DAC 的 Codec 来实现相关功能，如下图所示，对于更复杂的带 4G 通话、蓝牙通话等功能的设计参考，现阶段请联系 RK 获取：

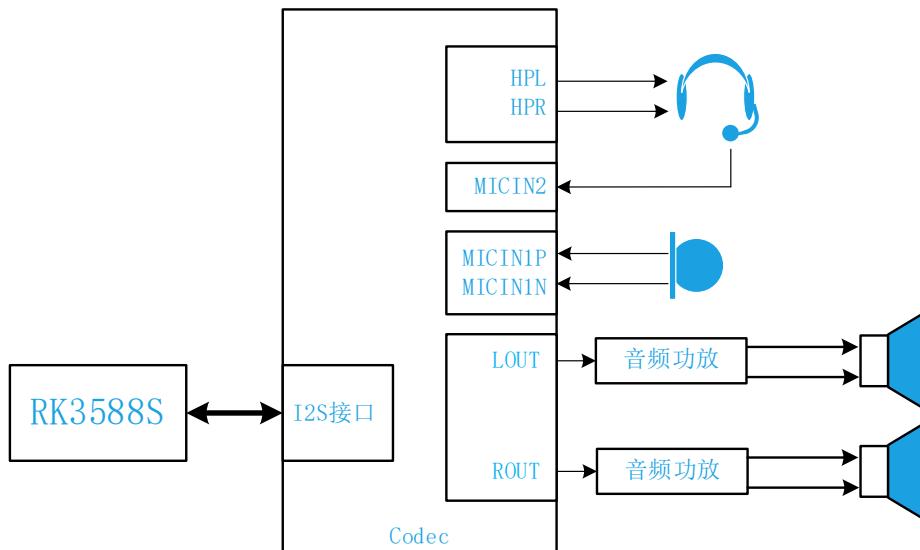


图 2-137 RK3588S 典型的音频方案示意图

2.3.9.6.3 多麦克风方案介绍

对于有多麦克风输入（麦克风阵列、远场识别）的场景，此时需要接入较多的麦克风，常见的扩展方案有如下三种，若都不能满足具体需求、可联系 RK 讨论可行性：

- 方法 1：通过 I2S 接口的 Codec 实现多个麦克风和喇叭回采的输入采集；

- 方法 2：通过 PDM 接口的 Codec 实现多个麦克风和喇叭回采的输入采集；
 - 方法 3：通过 PDM 接口的麦克风实现录音，通过 PDM 接口的 Codec 实现喇叭回采的输入采集；
- 如果存在路数不够的情况，可以通过多根 SDI 信号线来实现多组输入，或者通过 I2S 接口的 TDM 模式实现级联输入。硬件上简单堆叠相同电路即可。

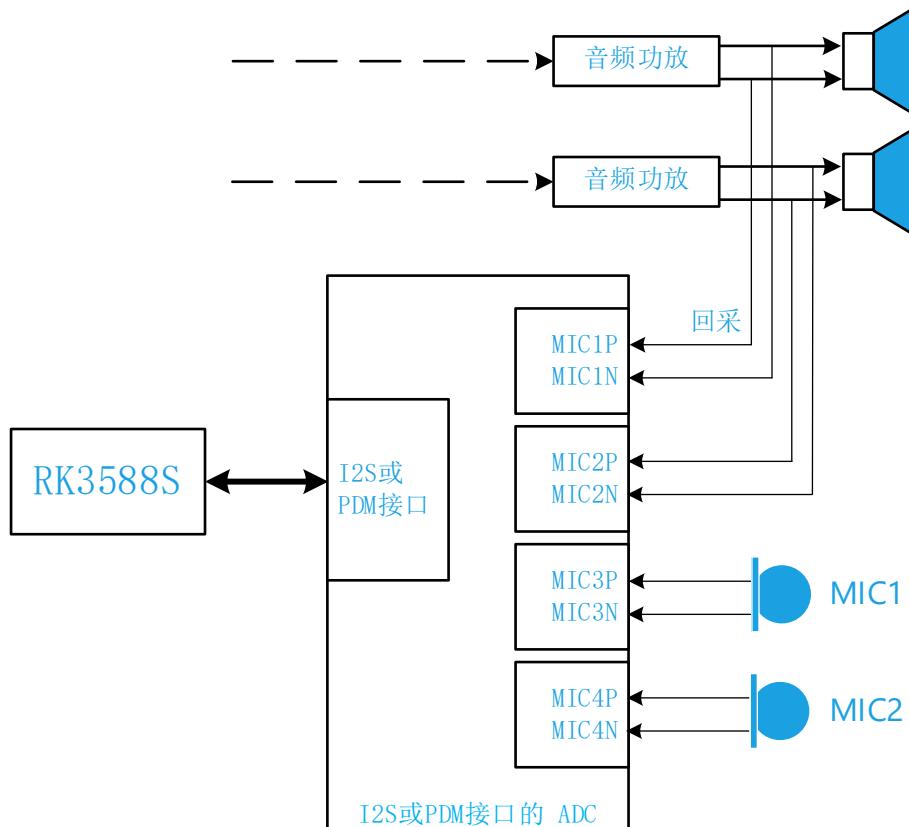


图 2-138 RK3588S 多麦克风方案示意图

2.3.10 GMAC 接口电路

RK3588S 芯片拥有 1 个 GMAC 控制器，提供 RMII 或 RGMII 接口连接外置的 Ethernet PHY
GMAC 控制器支持以下功能：

- 支持 10/100/1000 Mbps 数据传输速率的 RGMII 接口；
- 支持 10/100 Mbps 数据传输速率的 RMII 接口。

GMAC1 的 RGMII/RMII 接口复用在 VCCIO5 电源域。

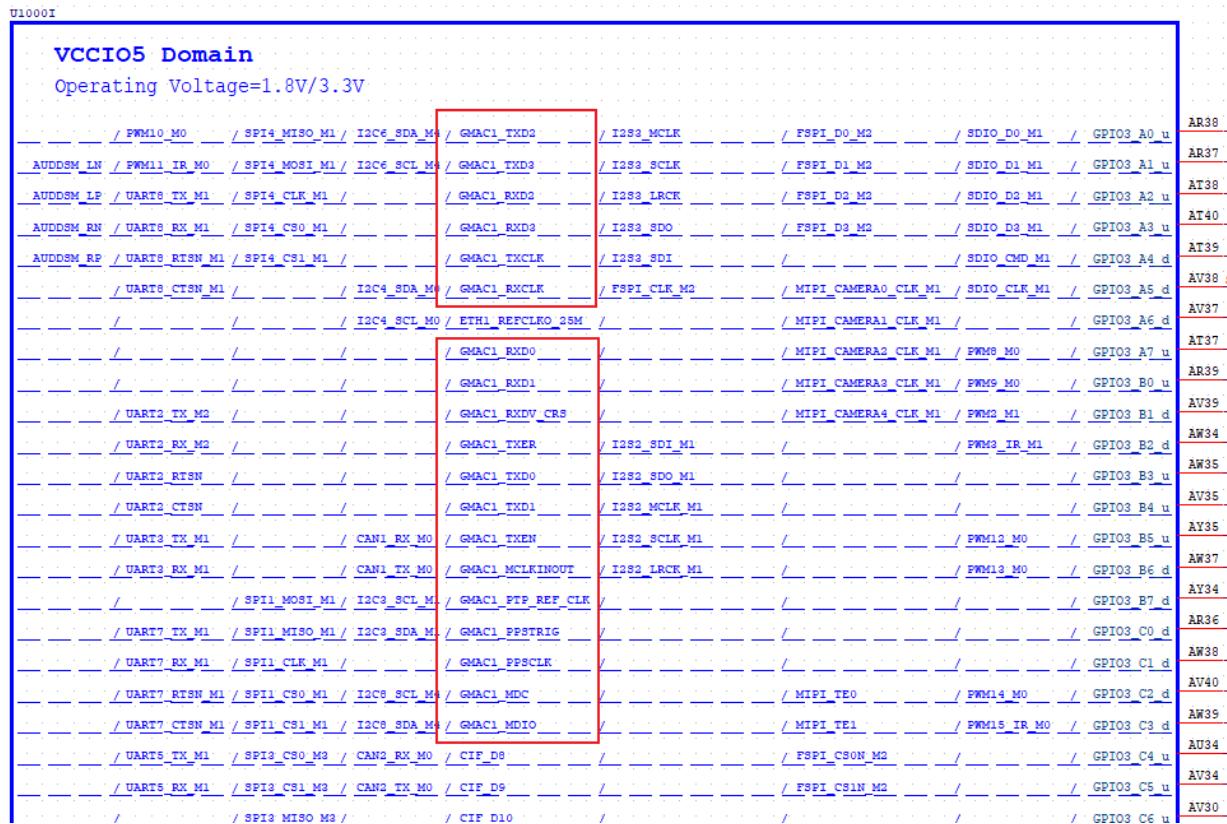


图 2-139 RK3588S GMAC1 功能管脚

RGMII/RMII 接口设计中请注意：

- GMAC1 复用在 VCCIO5 电源域，可支持 1.8V 或 3.3V 电平，由 VCCIO5 (Pin W26) 决定，Pin W26 接 1.8V 电源即是 1.8V 电平，Pin W26 接 3.3V 电源即是 3.3V 电平（注意 Pin W25 固定接 1.8V 电源）；
- 有条件建议 RGMII/RMII 采用 1.8V 电平，能获得更好的信号质量；
- 为提高 RGMII/RMII 接口性能，所在 VCCIOx 电源的去耦电容不得删除，布局时请靠近管脚放置；
- ETH0_REFCLKO_25M 需在 RK3588S 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量；
- ETH1_REFCLKO_25M 需在 RK3588S 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量；
- TXD0-TXD3, TXCLK, TXEN 需在 RK3588S 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量；
- RXD0-RXD3, RXCLK, RXDV 需在 PHY 端串接 22 ohm 电阻，以提高信号质量；
- RGMII/RMII 接口上下拉和匹配设计推荐如表：

表 2-42 RK3588S RGMII/RMII 接口设计

信号	IO类型 (芯片 端)	连接方式	RGMII接口	信号描述	RMII接口	信号描述
GMACx_TXD[3:0]	输出	预留串接 0ohm 电阻，靠近 RK3588S 端	RGMIIx_TXD[3:0]	数据发送	RMIIx_TXD[1:0]	数据发送
GMACx_TXCLK	输出	预留串接 0ohm 电阻，靠近 RK3588S 端	RGMIIx_TXCLK	数据发送参考时钟	--	--
GMACx_TXEN	输出	预留串接 0ohm 电阻，靠近 RK3588S 端	RGMIIx_TXEN	数据发送使能(上升沿)和数据发送错误(下降沿)	RMIIx_TXEN	数据发送使用信号
GMACx_RXD[3:0]	输入	串接 22ohm 电阻，靠近PHY端	RGMIIx_RXD[3:0]	数据接收	RMIIx_RXD[1:0]	数据接收
GMACx_RXCLK	输入	串接 22ohm 电阻，靠近PHY端	RGMIIx_RXCLK	数据接收参考时钟	--	--
GMACx_RXDV	输入	串接 22ohm 电阻，靠近PHY端	RGMIIx_RXDV	数据接收有效(上升沿)和接收错误(下降沿)	RMIIx_RXDV_CRS	数据接收有效和载波侦听
GMACx_MCLKINOUT	输入 / 输出	输出模式： 预留串接 0ohm 电阻，靠近 RK3588S 端 输入模式： 串接 22ohm 电阻，靠近PHY端	RGMIIx_MCLKIN_125M	PHY送125MHz给 MAC，可选	RMII_MCLKIN_50M or RMII_MCLKOUT_50M	RMII 数据发送和数据接收参考时钟
ETHx_REFCLKO_25M	输出	预留串接 0ohm 电阻，靠近 RK3588S 端	ETHx_REFCLKO_25M	RK3588S 提供 25MHz 时钟替代 PHY 晶体	ETHx_REFCLKO_25M	RK3588S 提供 25MHz 时钟替代 PHY 晶体
GMACx_MDC	输出	预留串接 0ohm 电阻，靠近 RK3588S 端	RGMIIx_MDC	管理数据时钟	RMIIx_MDC	管理数据时钟
GMACx_MDIO	输入 / 输出	外部上拉 1.5K-1.8Kohm 电阻	RGMIIx_MDIO	管理数据输出/输入	RMIIx_MDIO	管理数据输出/输入

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；

- RGMII 连接示图 1, 具体电路请见参考图(GEPHY 工作时钟使用外置 25MHz 晶体):

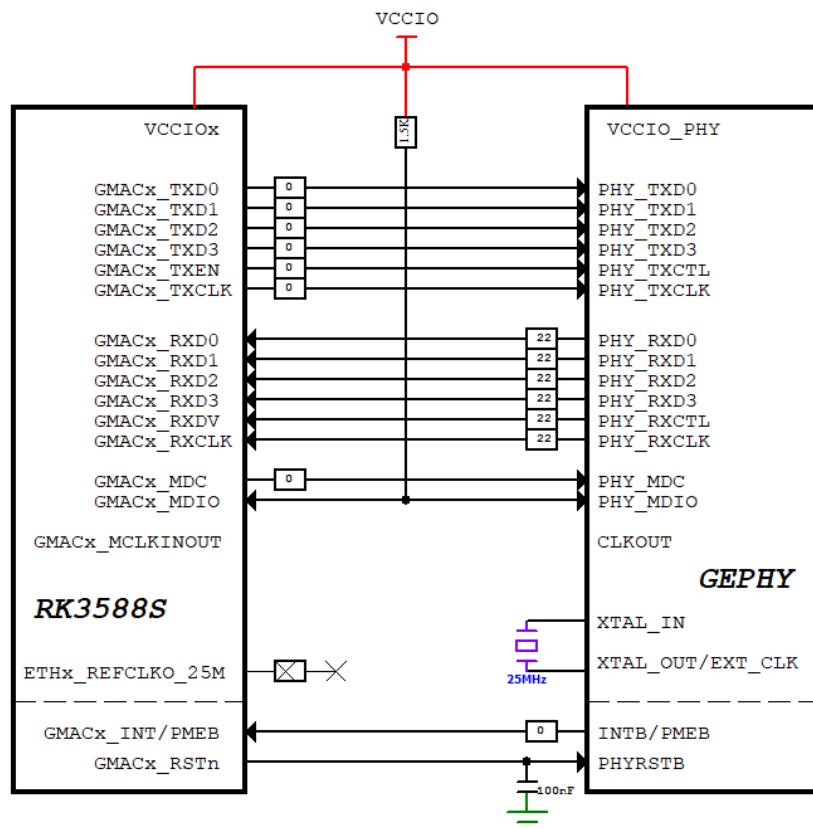


图 2-140 RGMII 连接示意图 1

- RGMII 连接示图 2, 具体电路请见参考图(GE PHY 工作时钟使用 RK3588S 提供的 25MHz):

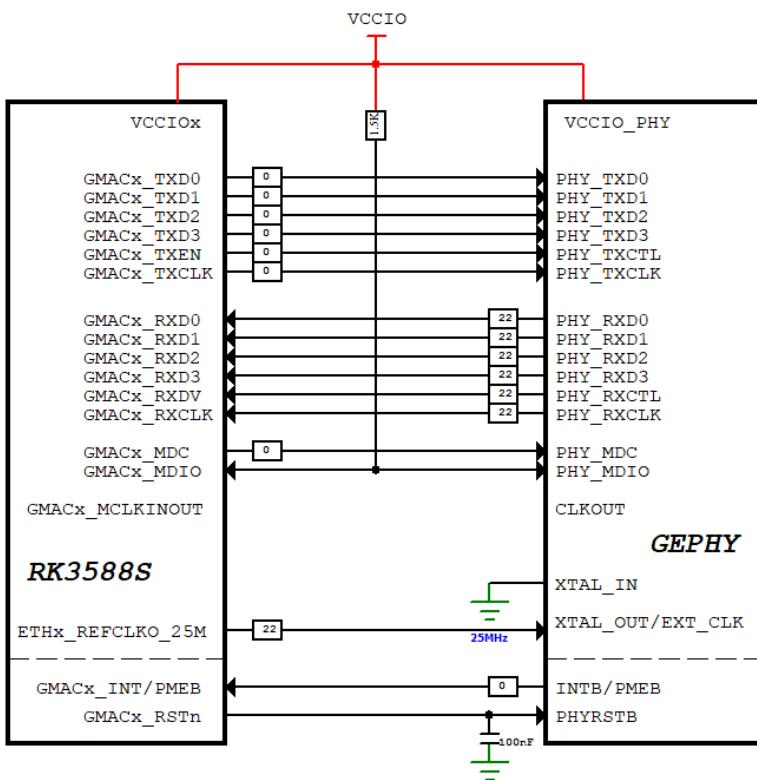


图 2-141 RGMII 连接示意图 2

- RMII 连接示图 1, 具体电路请见参考图(GMACx_MCLKINOUT 采用输出模式, 即当 FEPHY 工作时钟也当 RMII 接口的参考时钟, 有些 FEPHY 不支持这个模式, 需注意):

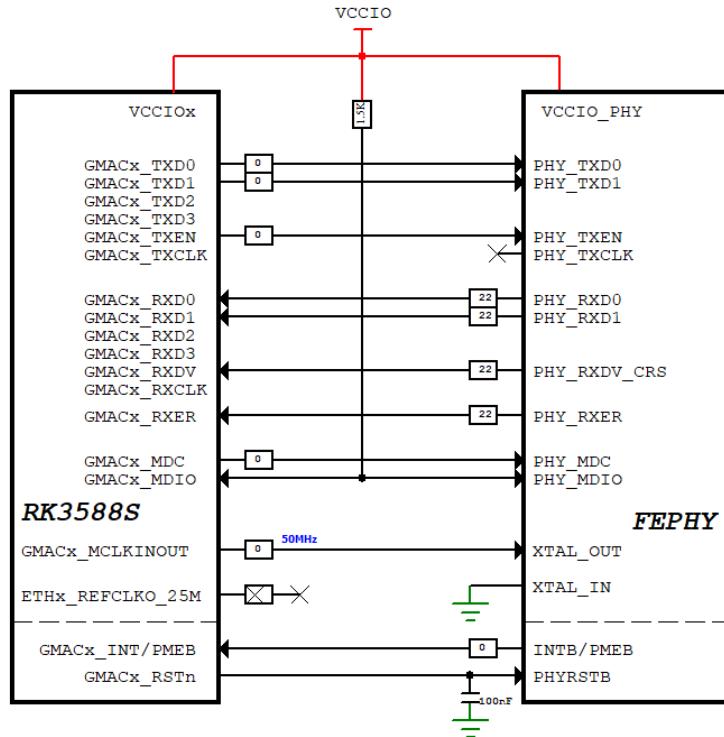


图 2-142 RMII 连接示意图 1

- RMII 连接示图 2, 具体电路请见参考图(FEPHY 工作时钟使用 25MHz 晶体, GMACx_MCLKINOUT 采用输出模式, 当 RMII 接口的参考时钟, FEPHY 的 TXCLK 需要配置为输入模式):

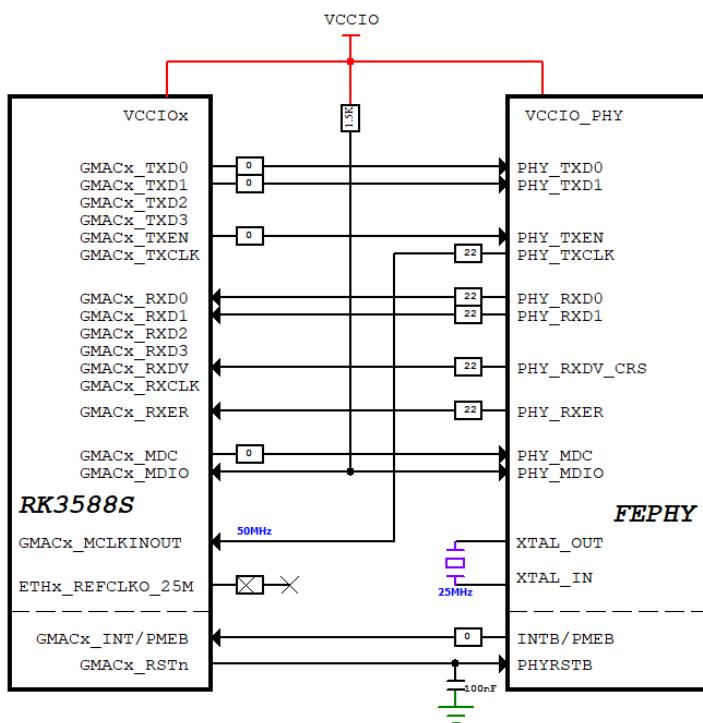


图 2-143 RMII 连接示意图 2

- RMII 连接示图 3, 具体电路请见参考图(使用 RK3588S 提供的 25MHz 替代 FEPHY 晶体, GMACx_MCLKINOUT 采用输出模式, 当 RMII 接口的参考时钟, FEPHY 的 TXCLK 需要配置为输入模式):

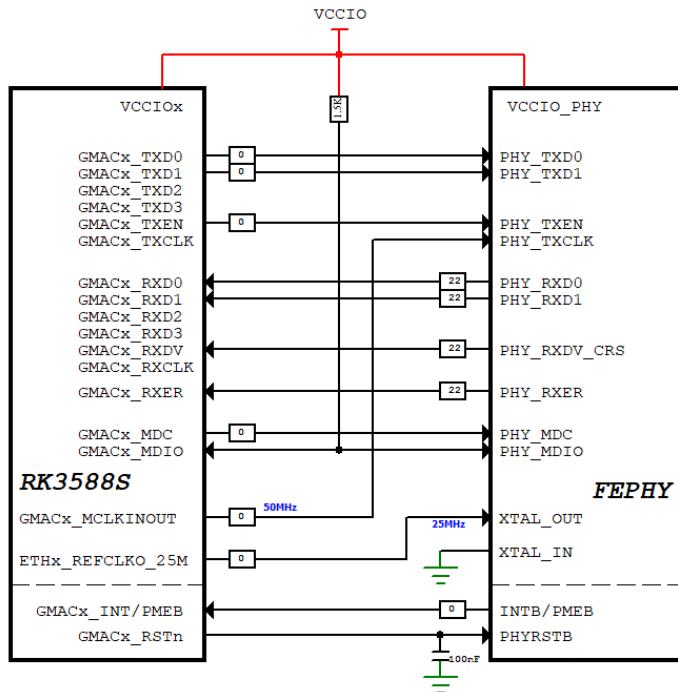


图 2-144 RMII 连接示意图 3

- RMII 连接示图 4, 具体电路请见参考图(FEPHY 工作时钟使用外置 25MHz 晶体, GMACx_MCLKINOUT 采用输入模式, RMII 接口的参考时钟由 FEPHY 提供, FEPHY 的 TXCLK 需要配置为输出模式):

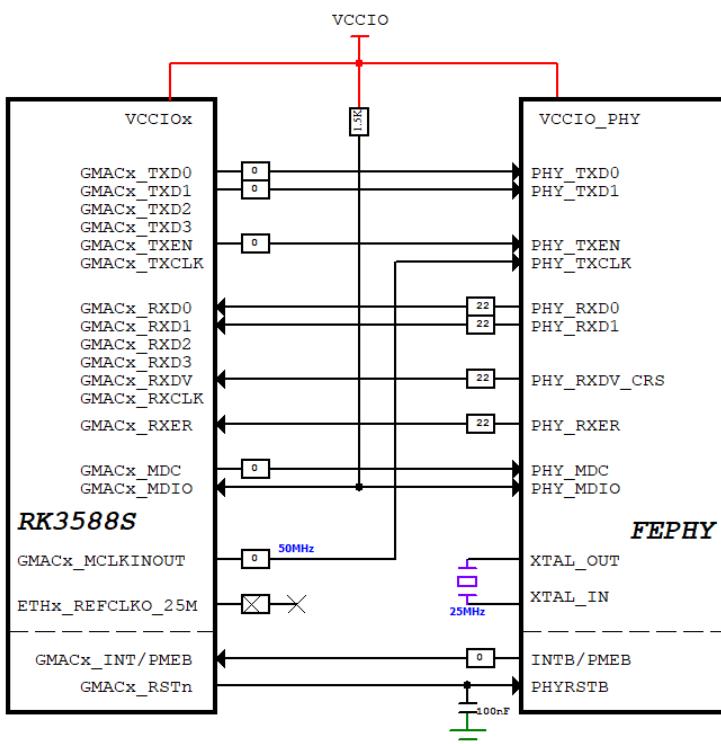


图 2-145 RMII 连接示意图 4

- RMII 连接示图 5, 具体电路请见参考图(使用 RK3588S 提供的 25MHz 替代 FEPHY 晶体, GMACx_MCLKINOUT 采用输入模式, RMII 接口的参考时钟由 FEPHY 提供, FEPHY 的 TXCLK 需要配置为输出模式):

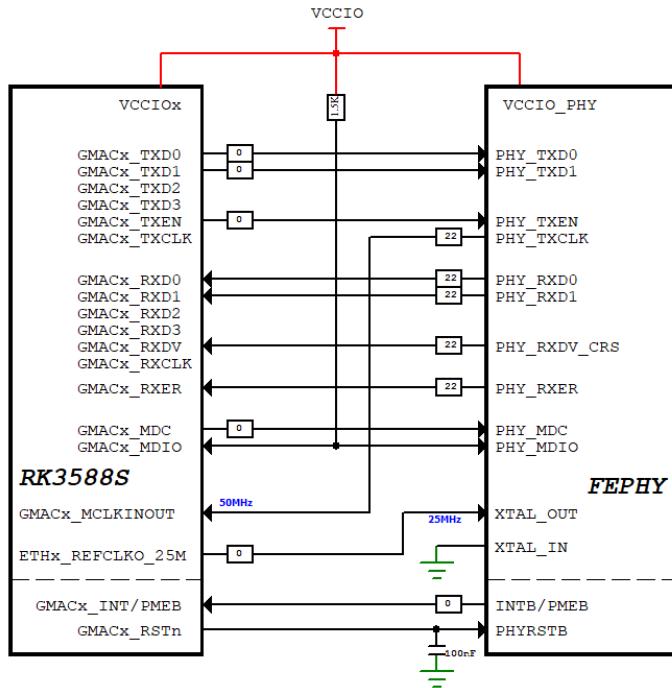


图 2-146 RMII 连接示意图 5

- 在 RGMII 模式下, RK3588S 芯片内部 TX/RX 时钟路径集成了 delayline, 支持调整; 参考图默认配置是: TXCLK 与 data 之间时序由 MAC 来控制, RXCLK 与 data 之间时序由 PHY 来控制 (如使用 RTL8211F/FI 即 RXCLK 默认开启 2nS delay, 其它 PHY 要注意这个配置) ;
- Ethernet PHY 的 Reset 信号需要用 GPIO 来控制, GPIO 电平必须和 PHY IO 电平匹配, 靠近 PHY 管脚必须增加 100nF 电容, 加强抗静电能力, 注意: RTL8211F/FI 的复位管脚只支持 3.3V 电平;
- RTL8211F/FI 的 INTB/PMEB 为开漏输出, 外部必须增加上拉电阻;
- PHY 使用外置晶体时, 晶体电容请根据实际使用的晶体的负载电容值选择, 控制频偏在 +/-20ppm 以内;
- RTL8211F/FI 的 RSET 管脚外接电阻为 2.49K ohm 精度为 1%, 不得随意修改;
- MDIO 必须外部加上拉电阻, 推荐 1.5-1.8Kohm, 上拉电源必须和 IO 电源保持一致;
- RTL8211F/FI 的变压器中心抽头的连接必须按照参考图接, 如果换其它 Ethernet PHY, 那么变压器中心抽头的连接, 建议参考各 Ethernet PHY 厂家的参考设计, 因为不同的 PHY 厂家会有不同的连接方式;
- 1000pF 隔离电容建议采用高压安规电容, 有足够大的电气间隙保证雷击的安全性;
- 网络变压器高压侧的 75 ohm 电阻建议采用 0805 以上的封装;
- 雷击防护等级达到 4KV 以上需要增加防雷管, 普通的隔离变压器只能满足 2KV 等级要求;
- 如果有雷击差分测试要求, MDI 差分对间需要增加 TVS 管;
- 务必确认 RJ45 封装和原理图是否一致, RJ45 有分 Tab down 和 Tab up, 信号顺序刚好是相反, 如果使用 RTL8211F/FI 建议采用 Tab down, MDI 顺序是顺的;
- PHY 的初始化硬件配置必须和实际需求匹配。

2.3.11 UART 接口电路

RK3588S 芯片拥有 10 个 UART 控制器，支持以下功能：

- 均包含两个 64 字节的 FIFO 用于数据接收和传输；
- 支持 115.2Kbps、460.8Kbps、921.6Kbps、1.5Mbps、3Mbps、4Mbps；
- 支持可编程波特率，支持非整数时钟分频器；
- 支持基于中断或基于 DMA 的模式；
- 支持 5-8 位宽度传输。

考虑不同产品应用灵活性，10 个 UART 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2 区分不同复用位置。_M0/_M1/_M2 不能同时使用，分配时只能选择其中一组，不能有些信号选择 M0，有些选择 M1，有些选择 M2，这个功能不支持。

RK3588S UART 接口分布情况：

表 2-43 RK3588S UART 接口分布

UART 编号	复用情况	复用电源域
UART0	M0, M1, M2	M0: PMUIO2 M1: PMUIO1 M2: VCCIO6
UART1	M1, M2	M1: VCCIO4 M2: PMUIO2
UART2	M0, M1, M2	M0: PMUIO2 M1: VCCIO2 M2: VCCIO5
UART3	M0, M1, M2	M0: VCCIO1 M1: VCCIO5 M2: VCCIO6
UART4	M0, M1, M2	M0: VCCIO1 M1: VCCIO5 M2: VCCIO4
UART5	M0, M1, M2	M0: VCCIO2 M1: VCCIO5 M2: EMMCIO
UART6	M1, M2	M1: VCCIO4 M2: VCCIO1
UART7	M1, M2	M1: VCCIO5 M2: VCCIO4
UART8	M0, M1	M0: VCCIO6 M1: VCCIO5
UART9	M1, M2	M1: VCCIO6 M2: VCCIO5

表 2-44 RK3588S UART 流控接口分布

UART编号	复用情况	复用电源域
UART0_RTSN UART0_CTSN	无	无
UART1_RTSN UART1_CTSN	M1, M2	M1: VCCIO4 M2: PMUIO2
UART2_RTSN UART2_CTSN	无	VCCIO5
UART3_RTSN UART3_CTSN	无	VCCIO1
UART4_RTSN UART4_CTSN	无	VCCIO1
UART5_RTSN UART5_CTSN	M0, M1	M0: VCCIO2 M1: EMMCIO
UART6_RTSN UART6_CTSN	M1	M1: VCCIO4
UART7_RTSN UART7_CTSN	M1	M1: VCCIO5
UART8_RTSN UART8_CTSN	M0, M1	M0: VCCIO6 M1: VCCIO5
UART9_RTSN UART9_CTSN	M1, M2	M1: VCCIO6 M2: VCCIO5

其中 UART2 M0 默认是 RK3588S 的 Debug UART。

根据 UART 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

UART 接口上下拉和匹配设计推荐如表：

表 2-45 RK3588S UART 接口设计

信号	连接方式	描述（芯片端）
UARTx_RX	直连	UART 数据输入
UARTx_TX	直连	UART 数据输出
UARTx_CTSn	直连	UART 允许发送信号
UARTx_RTStn	直连	UART 请求发送信号

当通过连接器实现板对板连接时，预留 TVS 器件。

2.3.12 SPI 接口电路

RK3588S 芯片除了的 FSPI 控制器外，还拥有 5 个通用 SPI 控制器，支持以下功能：

- 支持 master 和 slave 两种模式；
- 支持 4、8、16 位串行数据传输；
- 支持全双工和半双工模式传输。

考虑不同产品应用灵活性，5 个 SPI 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2/_M3 区分不同复用位置。_M0/_M1/_M2/_M3 不能同时使用，分配时只能选择其中一组，不能有些信号选择 M0，有些选择 M1，这个功能不支持。

RK3588S SPI 接口分布情况：

表 2-46 RK3588S SPI 接口分布

SPI编号	复用情况	复用电源域
SPI0	M0, M1, M2, M3	M0: PMUIO2 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
SPI1	M1, M2	M1: VCCIO5 M2: VCCIO1
SPI2	M0, M1, M2	M0: VCCIO4 M1: VCCIO6 M2: PMUIO1
SPI3	M1, M2, M3	M1: VCCIO6 M2: PMUIO2 M3: VCCIO5
SPI4	M0, M1, M2	M0: VCCIO1 M1: VCCIO5 M2: VCCIO4

根据 SPI 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

SPI2 默认分配给 PMIC，方便软件，不建议改动。

SPI 接口上下拉和匹配设计推荐如表：

表 2-47 RK3588S SPI 接口设计

信号	连接方式	描述（芯片端）
SPIx_CLK	直连	SPI 时钟
SPIx_MOSI	直连	SPI 数据输出(Master)
SPIx_MISO	直连	SPI 数据输入(Master)
SPIx_CS0	直连	SPI 片选 0
SPIx_CS1	直连	SPI 片选 1

当通过连接器实现板对板连接时，预留 TVS 器件。

2.3.13 CAN 接口电路

RK3588S 芯片拥有 3 个 CAN 控制器，支持以下功能：

- 支持 CAN 2.0B 协议；
- 支持 1Mbps、8Mbps。

考虑不同产品应用灵活性，3 个 CAN 分别复用在几个不同的电源域，用后缀_M0/_M1 区分不同复用位置。_M0/_M1 不能同时使用，分配时只能选择其中一组，例如：选择了 CAN_M0，就不能再选择 CAN_M1。

RK3588S CAN 接口分布情况：

表 2-48 RK3588S CAN 接口分布

CAN编号	复用情况	复用电源域
CAN0	M0, M1	M0: PMUIO2; M1: VCCIO2
CAN1	M0, M1	M0: VCCIO5; M1: VCCIO6
CAN2	M0, M1	M0: VCCIO5; M1: VCCIO2

根据 CAN 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

CAN 接口上下拉和匹配设计推荐如表：

表 2-49 RK3588S CAN 接口设计

信号	连接方式	描述 (芯片端)
CANx_RX	直连	CAN 数据输入
CANx_TX	直连	CAN 数据输出

当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.14 I2C 接口电路

RK3588S 芯片拥有 12 个 I2C 控制器, 支持以下功能:

- 支持 I2C 总线主模式;
- 支持软件可编程时钟频率和传输速率高达 400Kbit/s;
- 支持 7 位和 10 位寻址模式。

考虑不同产品应用灵活性, 12 个 I2C 分别复用在几个不同的电源域, 用后缀_M0/_M1/_M2/_M3/_M4 区分不同复用位置。_M0/_M1/_M2/_M3/_M4 不能同时使用, 分配时只能选择其中一组, 例如: 不能选择了 I2C1_M0, 又选择了 I2C1_M1 或其它 M*。

RK3588S I2C 接口分布情况如下表:

表 2-50 RK3588S I2C 接口分布

I2C 编号	复用情况	复用电源域
I2C0	M0, M2	M0: PMUIO1 M2: PMUIO2
I2C1	M0, M1, M2, M3, M4	M0: PMUIO2 M1: PMUIO1 M2: PMUIO2 M3: EMMCIO M4: VCCIO1
I2C2	M0, M2, M3, M4	M0: PMUIO2 M2: EMMCIO M3: VCCIO1 M4: VCCIO4
I2C3	M0, M1, M2, M4	M0: VCCIO1 M1: VCCIO5 M2: VCCIO6 M4: VCCIO2
I2C4	M0, M2, M3, M4	M0: VCCIO5 M2: PMUIO2 M3: VCCIO4 M4: VCCIO1
I2C5	M0, M1, M2, M3	M0: VCCIO5 M1: VCCIO6 M2: VCCIO6 M3: VCCIO4
I2C6	M0, M1, M3, M4	M0: PMUIO2 M1: VCCIO1 M3: VCCIO6 M4: VCCIO5
I2C7	M0, M2, M3	M0: VCCIO1 M2: VCCIO5 M3: VCCIO6

I2C编号	复用情况	复用电源域
I2C8	M0, M2, M3, M4	M0: VCCIO2 M2: VCCIO4 M3: VCCIO6 M4: VCCIO5
HDMI_TX0_I2C	M0, M1, M2	M0: VCCIO6 M1: PMUIO2 M2: VCCIO5

HDMI_Txx_SCL/HDMI_Txx_SDA/HDMI_RX_SCL/HDMI_RX_SDA 是 HDMI TX 控制器的 I2C/DDC 总线，为专用总线。

根据 I2C 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

I2C 信号 SCL、SDA 需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻，推荐接 2.2kohm 上拉电阻。

I2C 总线上各设备地址不要冲突，上拉电源必须和电源保持一致。

I2C 接口上下拉和匹配设计推荐如表：

表 2-51 RK3588S I2C 接口设计

信号	连接方式	描述（芯片端）
I2Cx_SCL	直连	I2C 时钟
I2Cx_SDA	直连	I2C 数据输出/输入

当通过连接器实现板对板连接时，预留 TVS 器件。

2.3.15 PWM 接口电路

RK3588S 芯片拥有集成了 4 个独立的 PWM 控制器，每个控制器有 4 个通道，最多可以有 16 个 PWM 通道，支持以下功能：

- 支持捕获模式；
- 支持连续模式或一次性模式；
- 针对 PWM3、PWM7、PWM11 和 PWM15 的红外应用进行了优化；
- 每个通道都有两种时钟输入可选，一个是从晶振输入的固定频率，一个是从 PLL 总线分频，频率可配置的。

考虑不同产品应用灵活性，16 个 PWM 分别复用在几个不同的电源域，用后缀_M0/_M1 区分不同复用位置。

RK3588S PWM 接口分布情况如下表所示：

表 2-52 RK3588S PWM 接口分布

PWM 编号	复用情况	复用电源域
PWM0	M0, M1, M2	M0: PMUIO2 M1: VCCIO1 M2: VCCIO4
PWM1	M0, M1, M2	M0: PMUIO2 M1: VCCIO1 M2: VCCIO4
PWM2	M0, M1	M0: PMUIO2 M1: VCCIO5

PWM 编号	复用情况	复用电源域
PWM3_IR	M0, M1, M2, M3	M0: PMUIO2 M1: VCCIO5 M2: VCCIO1 M3: VCCIO4
PWM4	M0	M0: PMUIO2
PWM5	M0, M1	M0: PMUIO1 M1: PMUIO2
PWM6	M0, M1	M0: PMUIO2 M1: VCCIO6
PWM7_IR	M0, M1, M2	M0: PMUIO2 M1: VCCIO2 M2: VCCIO1
PWM8	M0, M1, M2	M0: VCCIO5 M1: VCCIO2 M2: VCCIO2
PWM9	M0, M1, M2	M0: VCCIO5 M1: VCCIO1 M2: VCCIO5
PWM10	M0, M1, M2	M0: VCCIO5 M1: VCCIO2 M2: VCCIO5
PWM11_IR	M0, M1, M2	M0: VCCIO5 M1: VCCIO6 M2: VCCIO1
PWM12	M0, M1	M0: VCCIO5 M1: VCCIO6
PWM13	M0, M1, M2	M0: VCCIO5 M1: VCCIO6 M2: VCCIO4
PWM14	M0, M1, M2	M0: VCCIO5 M1: VCCIO6 M2: VCCIO4
PWM15_IR	M0, M1, M2	M0: VCCIO5 M1: VCCIO6 M2: VCCIO1

- 根据 PWM 外设的 IO 电平，调整对应的电源域供电，必须保持一致；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；
- 当红外接收头信号输入时，需要注意以下：
 - 待机下，要支持红外接收头唤醒，而且考虑低功耗（即 VDD_LOGIC 电源断电方案），只能选择 PWM3 当红外接收头输入；
 - 红外接收头的电源需要使用 VCC3V3_PMU 供电；
 - 红外接收头的电源需要 22-100ohm 电阻和 10uF 以上电容进行 RC 滤波；
 - 红外接收头默认采用 38KHz，如果换成其它频率软件需要相应稍调；
 - 红外接收头输出脚电平必须和 RK3588S IO 电平匹配；

- 红外接收头输出脚建议串 22 ohm 电阻并对 1nF 电容，再连接到 RK3588S，加强抗静电浪涌能力；

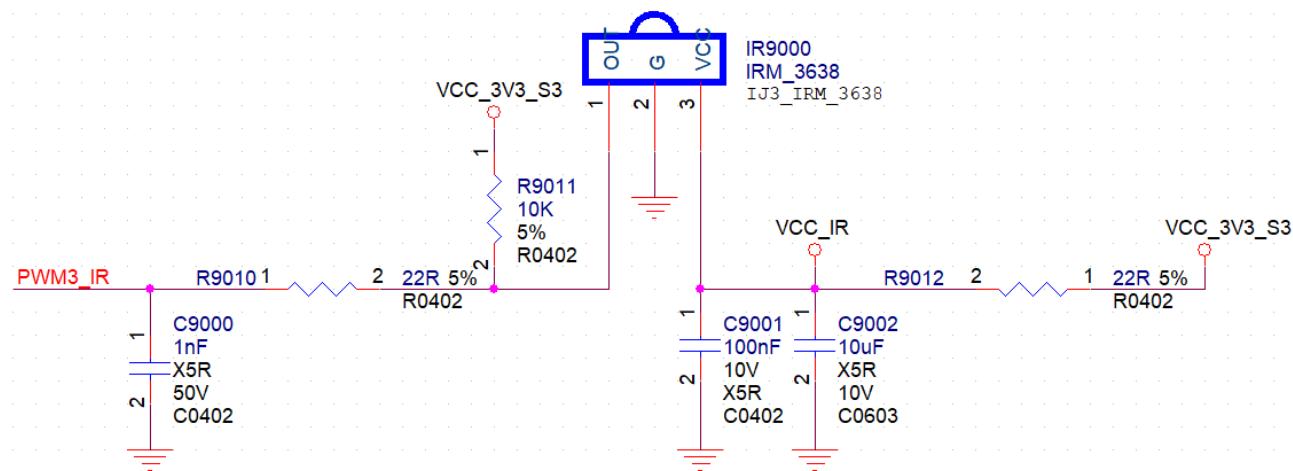


图 2-147 红外接收头电路

- 红外接收头布局时，应远离无线模块天线，如 WIFI 天线，以免无线传输数据时，影响红外信号接收；
- 红外接收头布局应避开板上 LED 光源直射，避免 LED 闪烁频率影响红外接收；
- IR 信号建议全程包地处理，无法包地处理，建议和其它信号间隔： $>=2$ 倍线宽。

2.3.16 RK3588S 未使用模块的管脚处理

请见《RK3588S Methods for Processing Unused Pins_V1.0_20220107》文档。

3 PCB 设计建议

3.1 PCB 叠层设计

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽尺寸以及与参考平面之间的相对位置。特定阻抗要求的差分对间的线宽/线距则取决于选择的 PCB 叠层结构。由于最小线宽和最小线距是取决于 PCB 类型以及成本要求，受此限制，选择的 PCB 叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

层的定义设计原则：

- 主芯片相临层为地平面，提供器件面布线参考平面；
- 所有信号层尽可能与地平面相邻；
- 尽量避免两信号层直接相邻；
- 主电源尽可能与其对应地相邻；
- 原则上应该采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称。

PCB 的层定义推荐方案：具体的 PCB 层设置时，要对以上原则进行灵活掌握，根据实际的需求，确定层的排布，切忌生搬硬套。以下给出常见的层排布推荐方案，供参考。在层设置时，若有相邻布线层，可通过增大相邻布线层的间距，来降低层间串扰。对于跨分割的情况，确保关键信号必须有相对完整的参考地平面或提供必要的桥接措施。

RK3588S 目前使用 10 层 2 阶、8 层 2 阶 PCB 叠层，以下叠层结构做为范例，可以给客户在叠层结构的选择和评估上提供帮助。如果选择其他类型的叠层结构，请根据 PCB 厂商给出的规格，重新计算阻抗。

3.1.1 10 层 2 阶 HDI 板叠层

在 10 层 2 阶板叠层设计中，顶层信号 L1 的参考平面为 L2，底层信号 L10 的参考平面为 L9。建议层叠为 TOP-Gnd-Signal-Power1-Power2-Signal -Gnd-Signal-Gnd-Bottom，其中 L4, L5, L6, L7 建议采用 1oZ，其它内层采用 HoZ。下图为 1.6mm 板厚的参考叠层及特征阻抗线线宽。

Lyr	示图	铜厚 (OZ)	厚度 (MM)	物料名
TOP		1/3	0.010	Foil 0.33OZ
			0.066	1080 RC65%
L2		1/3	0.025	Foil 0.33OZ
			0.077	1080 RC70%
L3		1/3	0.025	Foil 0.33OZ
			0.085	1080 RC70%
L4		H/H	0.430	Core 0.43MM H/H 含铜
L5		H/H	0.074	1080 RC70%
L6		H/H	0.430	Core 0.43MM H/H 含铜
L7		H/H	0.077	1080 RC70%
L8		1/3	0.025	Foil 0.33OZ
			0.085	1080 RC70%
L9		1/3	0.025	Foil 0.33OZ
			0.066	1080 RC65%
BOT		1/3	0.010	Foil 0.33OZ
压合后厚度 1.510				

图 3-1 10 层 2 阶 HDI 板叠层

Impedance	45 ohm	50 ohm	85 ohm	90 ohm	95	100 ohm
Reference Layer	Design W(mil) ¹¹					
L1>L2	5	4.2	4.2/3.5	3.8/3.8	3.6/4.5	3.3/4.7
L3>L2/L4	3	2.5	3.2/4.8	2.6/4.2	2.5/5.3	2.5/10
L8>L7/L9	3	2.5	3.2/4.8	2.6/4.2	2.5/5.3	2.5/10
L10>L9	5	4.2	4.2/3.5	3.8/3.8	3.6/4.5	3.3/4.7

图 3-2 10 层二阶 HDI 板阻抗线参考值

3.1.2 8 层 2 阶 HDI 板叠层

在 8 层 2 阶板叠层设计中，顶层信号 L1 的参考平面为 L2，底层信号 L9 的参考平面为 L7。建议层叠为 TOP-Gnd-Signal-Power1-Power2-Signal -Gnd-Bottom，其中 L4, L5, L6, L7 建议采用 1oZ，其它内层采用 HoZ。下图为 1.6mm 板厚的参考叠层及特征阻抗线宽。

Layer	Mother Board	Typical layer thickness (mil)	Dielectric Constant	DF
	Solder Mask	1.10		
L1	1/3oz+plating	1.20		
	Prepreg (1080)	2.90	4	0.019
L2	1/3oz+plating	1.00		
	Prepreg (1080)	3.00	4	0.019
L3	1/3oz+plating	1.00		
	Prepreg (2116)	3.50	4	0.019
L4	Copper	1.20		
	Core	32.00	4.2	0.015
L5	copper	1.20		
	Prepreg (2116)	3.50	4	0.019
L6	1/3oz+plating	1.00		
	Prepreg (1080)	3.000	4.00	0.019
L7	1/3oz+plating	1.00		
	Prepreg (1080)	2.900	4.00	0.019
L8	1/3oz+plating	1.20		
	Solder Mask	1.10		
	Total thickness	61.80		

图 3-3 8 层 2 阶 HDI 板叠层

Impedance	45 ohm	50 ohm	85 ohm	90 ohm	95	100 ohm
Reference Layer	Design W(mil)					
L1->L2	6	4.8	4.4/3.3	4/3.6	3.8/4.2	3.5/4.5
L3->L2/L4	3.1	2.5	3.2/4.8	2.7/4.1	2.5/5	2.5/9
L6->L5/L7	3.1	2.5	3.2/4.8	2.7/4.1	2.5/5	2.5/9
L8>L7	6	4.8	4.4/3.3	4/3.6	3.8/4.2	3.5/4.5

图 3-4 8 层二阶 HDI 板阻抗线参考值

3.1.3 RK3588S 扇出设计

- 最外面两圈的 Ball 扇出设计

靠最外两圈 ball，尤其是高速 Serdes 可以从 top 层直接走线出来。

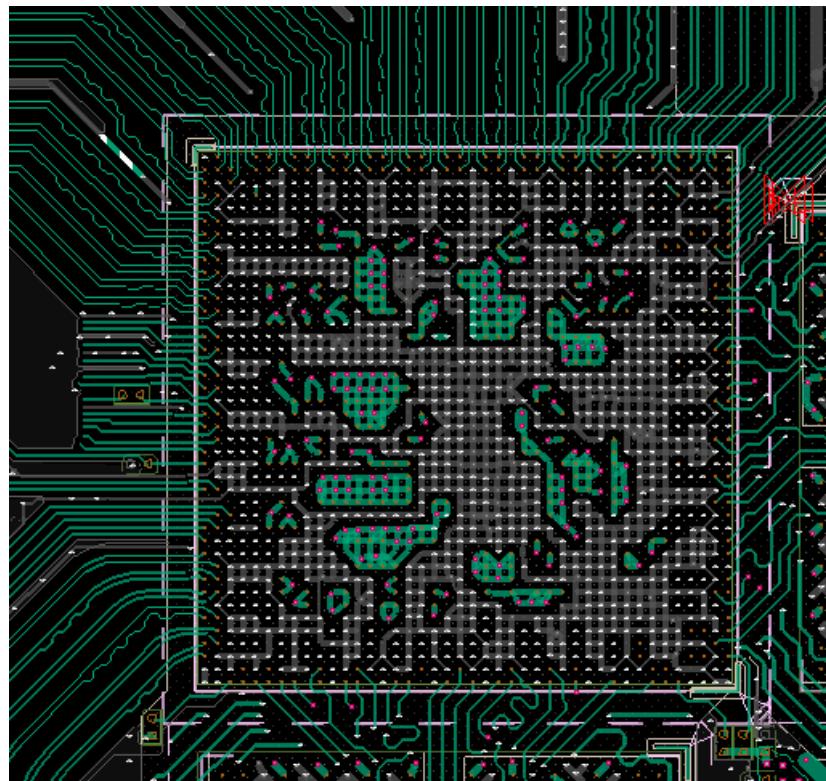


图 3-5 RK3588S 扇出示意图 1

- 内圈的 Ball 扇出设计

第三圈开始，信号需要通过盲孔换层到内层 L3 扇出，请参照 RK 模板保持整排有序的切换打孔，给 L2 层地平面留出尽量大的通道。

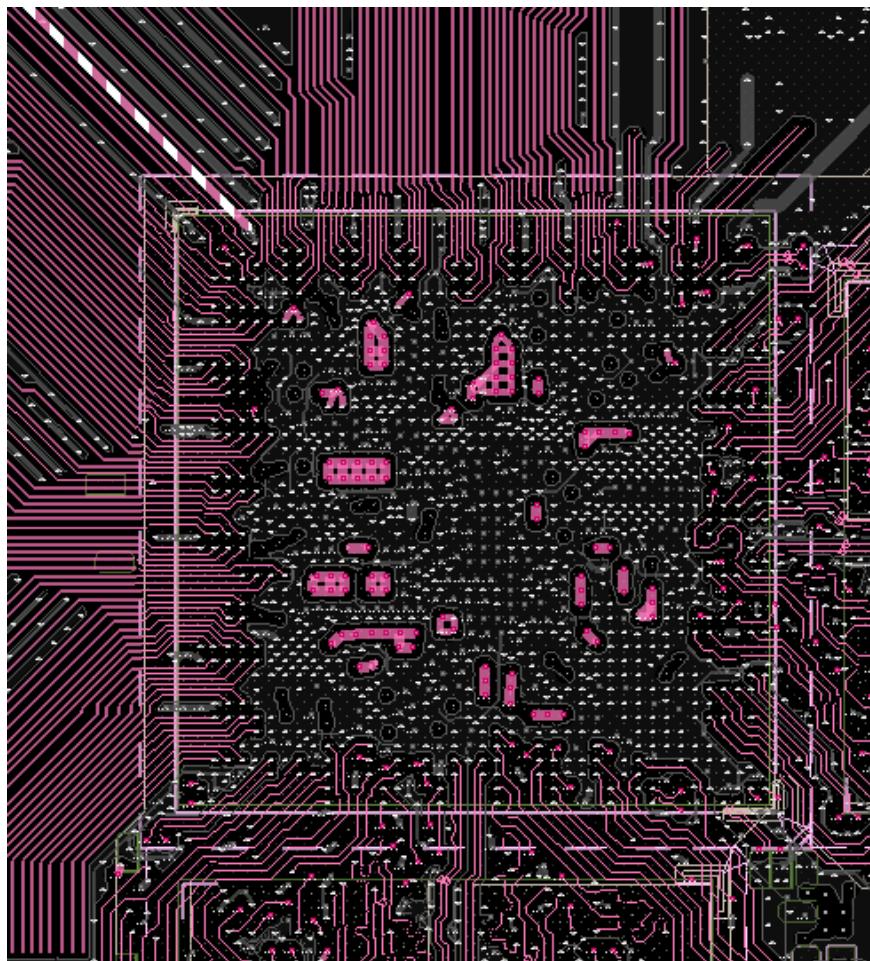


图 3-6 RK3588S 扇出示意图 2

如下图电源层平面覆铜情况，有规则的放置过孔，可使各种电源有尽量大覆铜通道，有效提高电源供电质量。

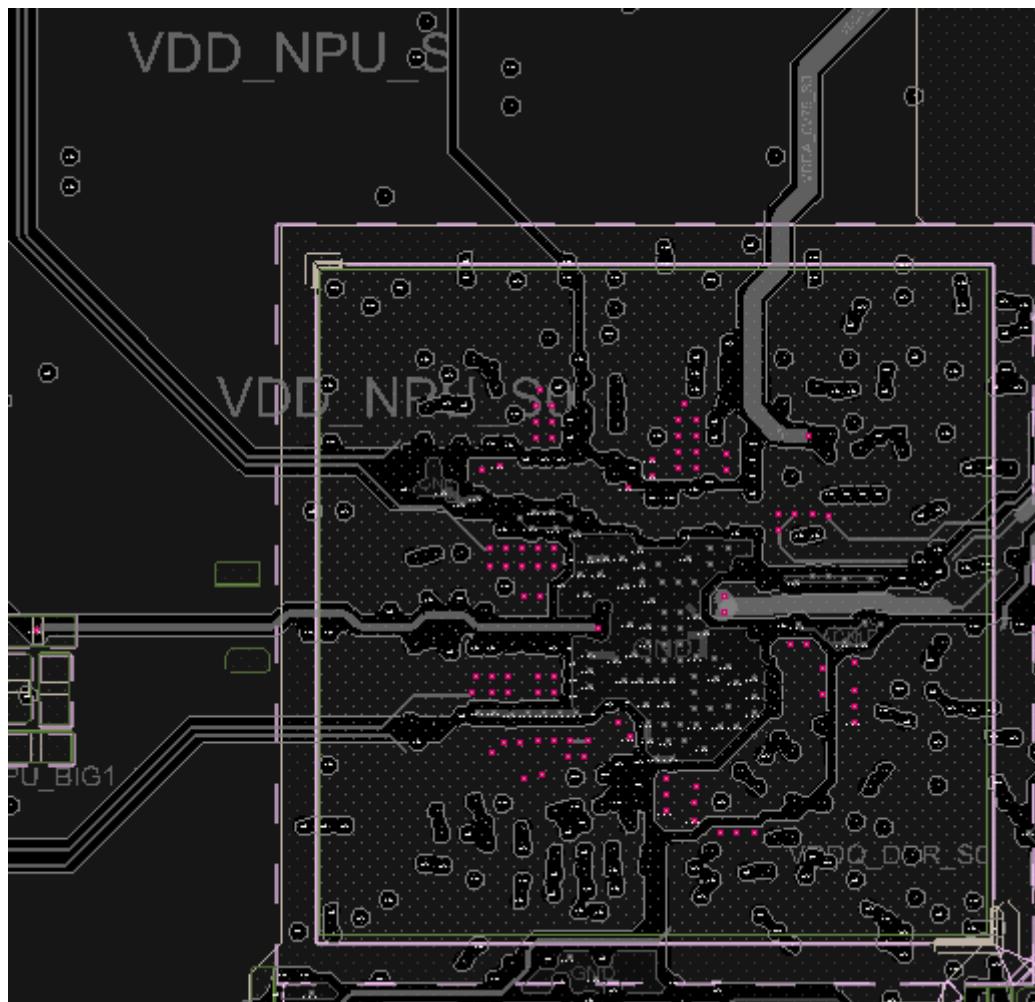


图 3-7 RK3588S 扇出示意图 3

3.2 通用布线建议

- (1) 走线长度应包含过孔和封装。
- (2) 差分对内时延差是指同一对差分信号的 2 根走线之间的时延差；而差分对间时延差是指不同差分对之间的时延差。信号间距是指空气间距。

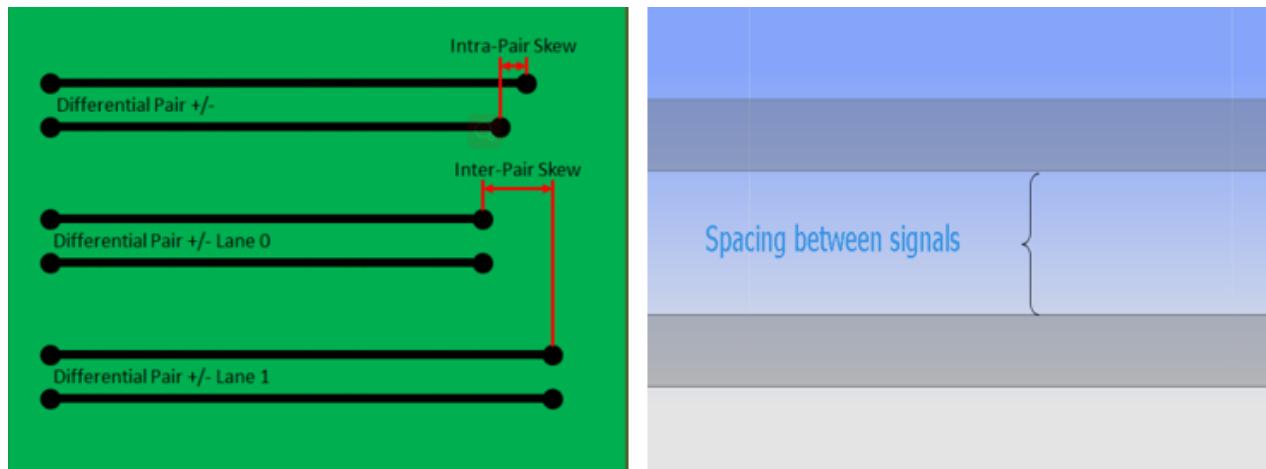


图 3-8

- (3) 走线应有完整且连续的参考层平面。

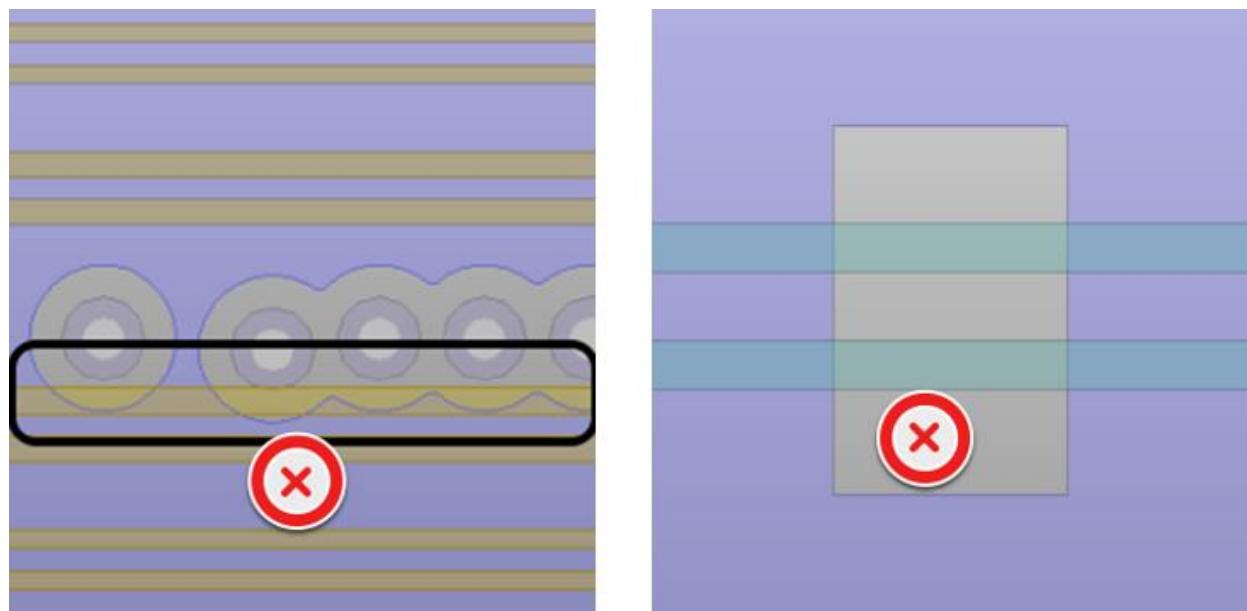


图 3-9

(4) 由于表贴器件的焊盘会导致阻抗降低, 为减小阻抗突变的影响, 建议在表贴焊盘的正下方挖去一层参考层。常用的表贴器件有: 电容、ESD、共模抑制电感、连接器等等。

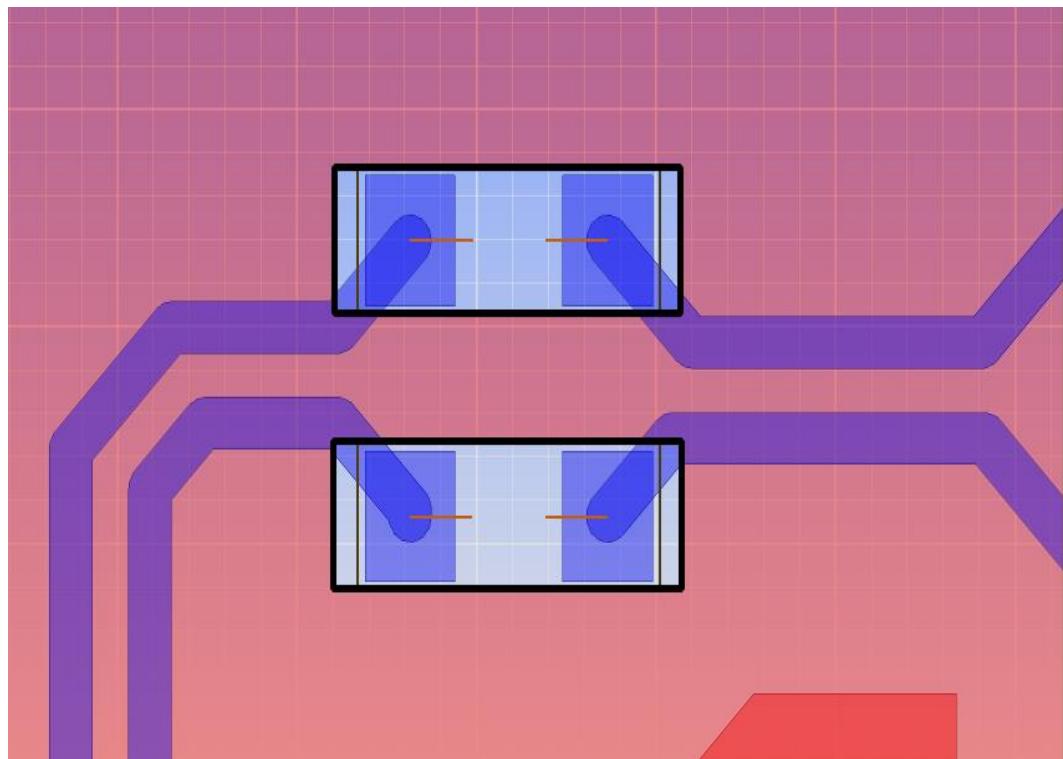


图 3-10

(5) 建议走线距离同层的地铜皮大等于 4 倍线宽。

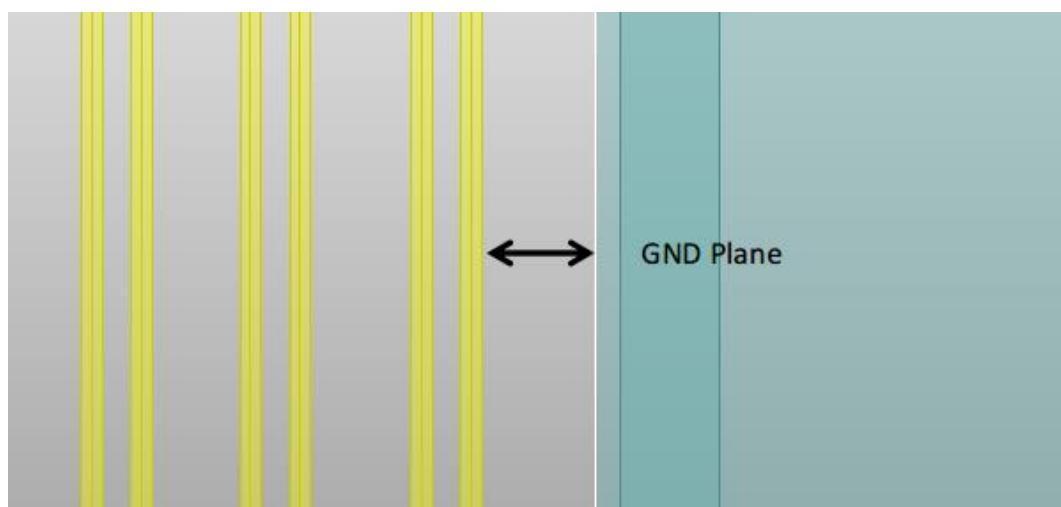


图 3-11

(6) 避免过孔残桩效应，尤其是残桩长度超过 12mil 时，建议通过仿真来评估过孔残桩对信号完整性的影响。



图 3-12

(7) 避免高速信号跨区，建议高速信号距离参考平面的边沿至少有 40mil。

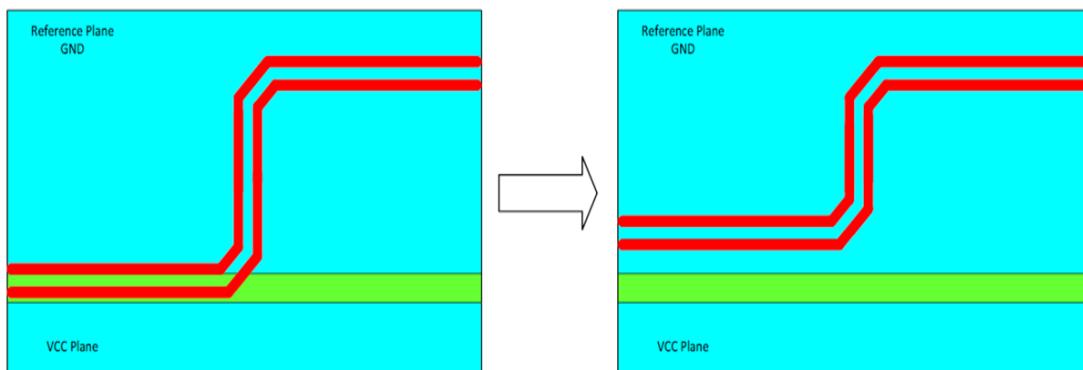


图 3-13

- (8) 建议不要在高速信号上放置测试点。
- (9) 走线尽量减少拐角，拐角建议用 135 度代替 90 度。
- (10) 耦合电容尽量靠近连接器放置。
- (11) 串接电阻应靠近发送端器件放置，如 eMMC 时钟信号上的串接电阻，推荐放在靠近 CPU 侧（400mil 以内）。
- (12) 建议在 IC（如 eMMC 颗粒、FLASH 颗粒等）的地焊盘各打 1 个地通孔。

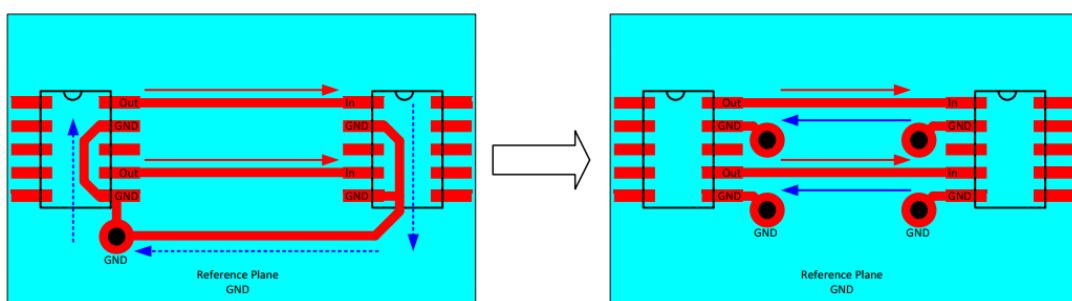


图 3-14

(13) 避免在时钟器件（如晶体、晶振、时钟发生器、时钟分发器）、开关电源、磁类器件、插件过孔等周边布线。

(14) 移除所有非功能焊盘。

(15) 建议 ESD 器件的每个地焊盘都打一个地通孔，且通孔要尽量靠近焊盘。

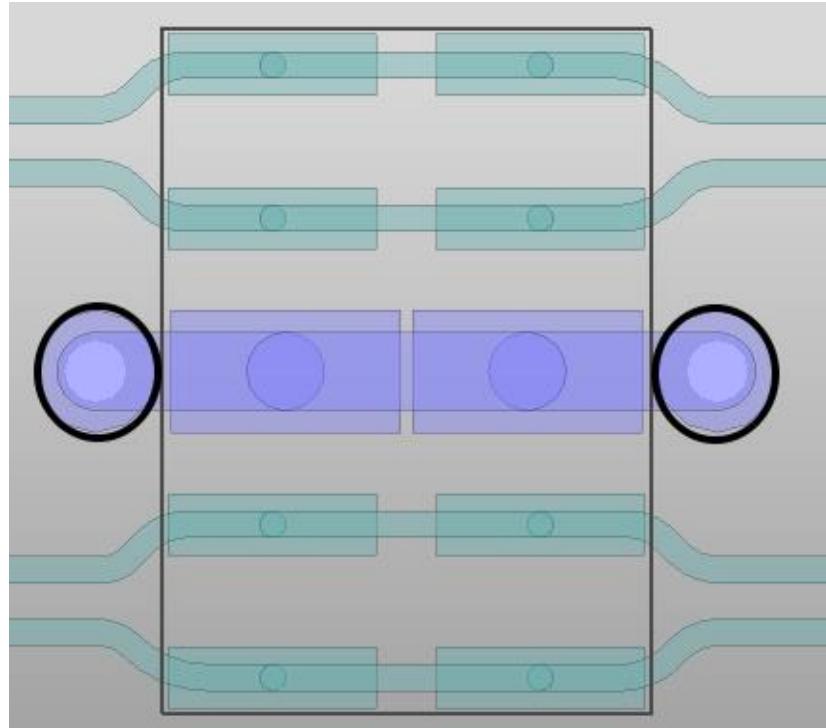
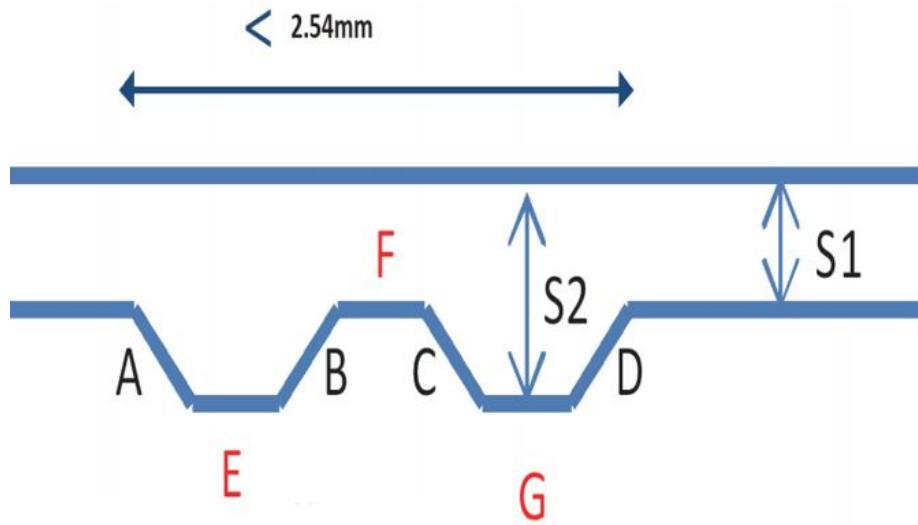


图 3-15

(16) 差分信号要求对内等长，即 P、N 之间的时延差要尽可能小。因此，当差分线 P、N 之间出现时延差时，就近绕线补偿。绕线尺寸需要特别注意，应满足如下图所示要求，以降低阻抗突变带来的影响。



Recommended dimensions: $A=B=C=D$,
 $E=F=G=3W$ (W =trace width) and $S2 < 2S1$

图 3-16

(17) 在差分线对内出现不等长 (300mil 以内) 尽早作绕线补偿。

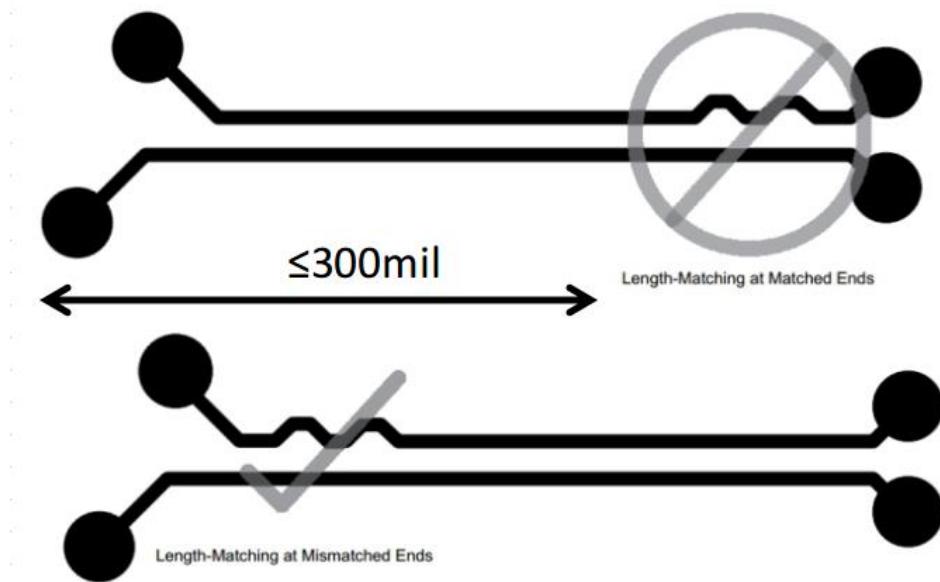


图 3-17

(18) 走线换层，且换层前后参考层为地平面时，需要在信号过孔旁边放一个伴随过孔，以保证回流路径的连续性。对于差分信号，信号过孔、回流过孔均应对称放置；对于单端信号，建议在信号过孔旁边放置一个回流过孔以降低过孔之间的串扰。

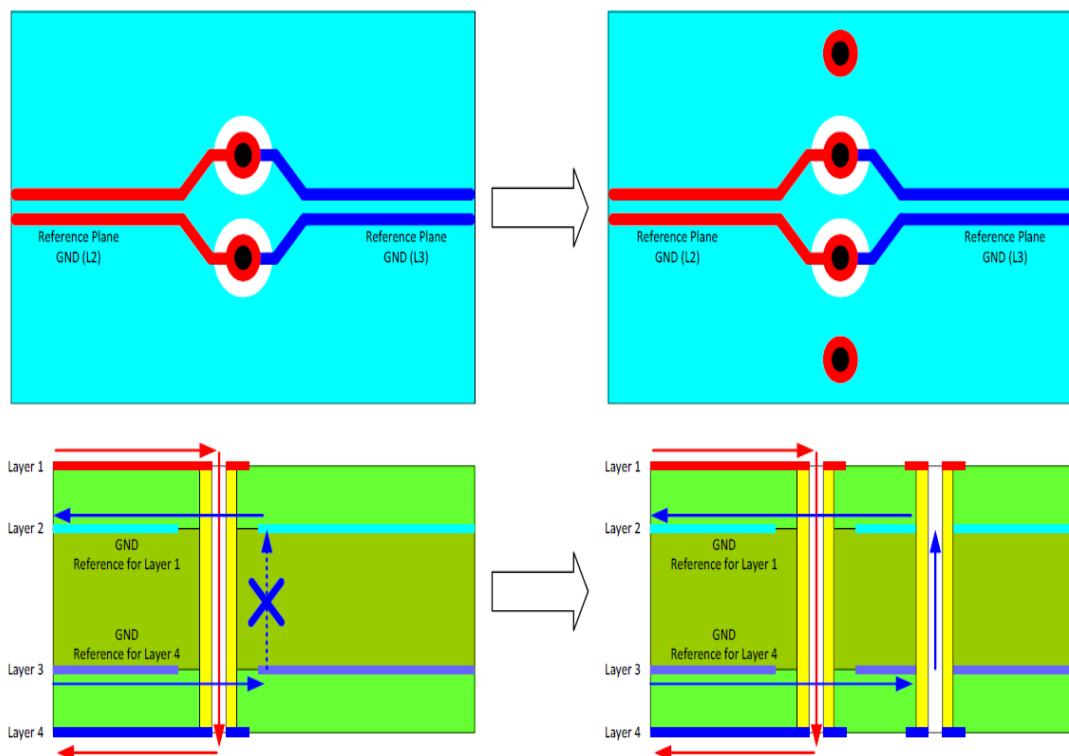


图 3-18

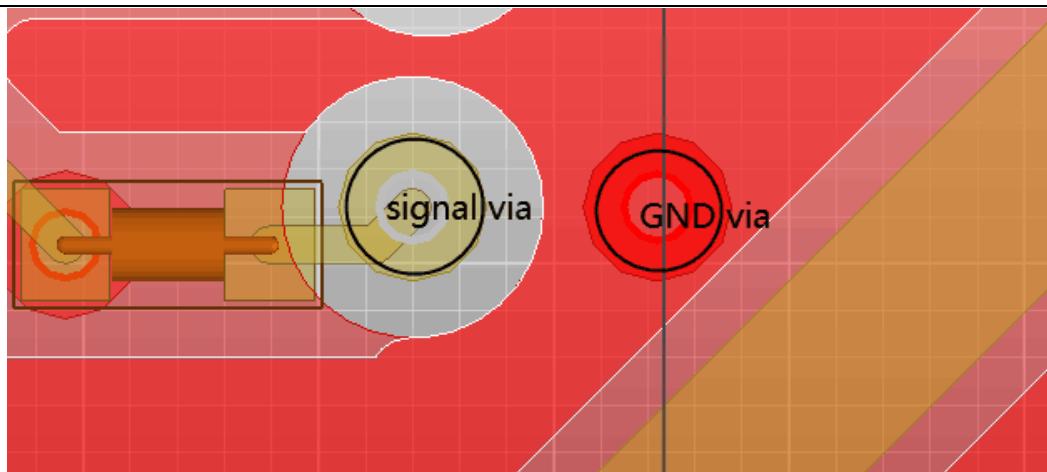


图 3-19

(19) 差分对走线应对称。

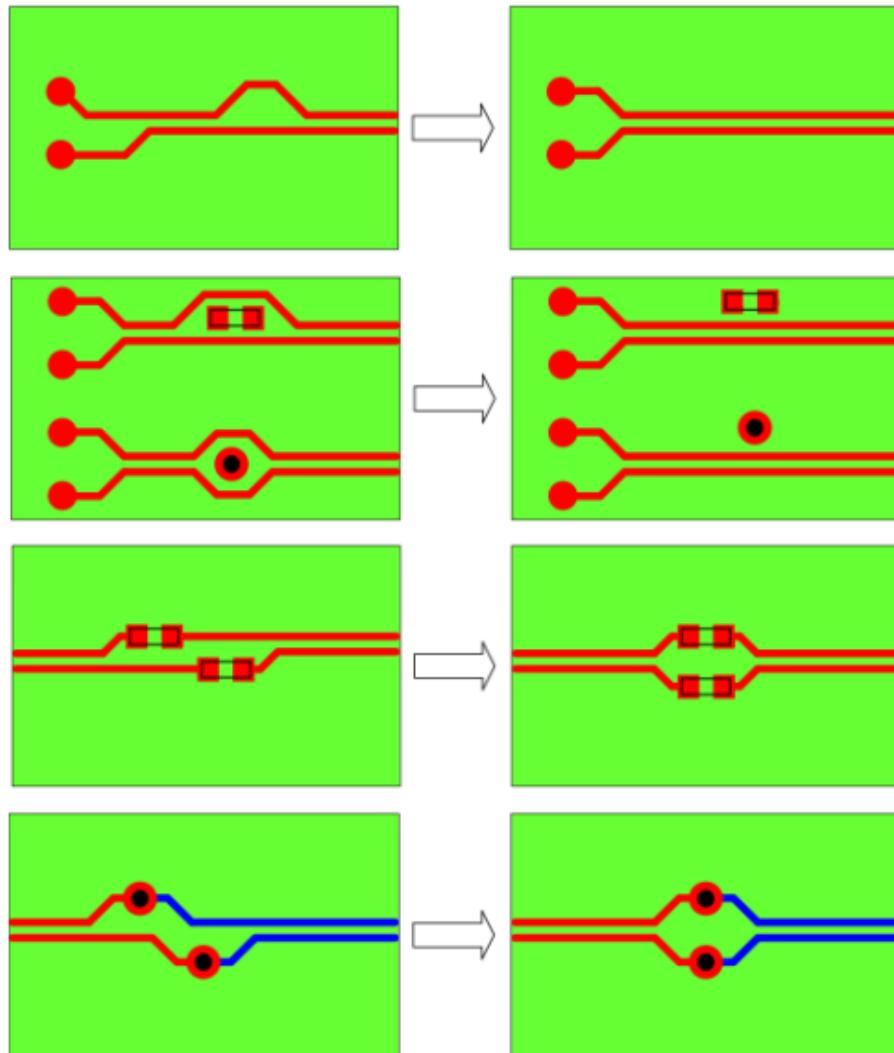


图 3-20

(20) 建议在高速连接器的每个地焊盘至少打一个地通孔，并且通孔要尽量靠近焊盘。

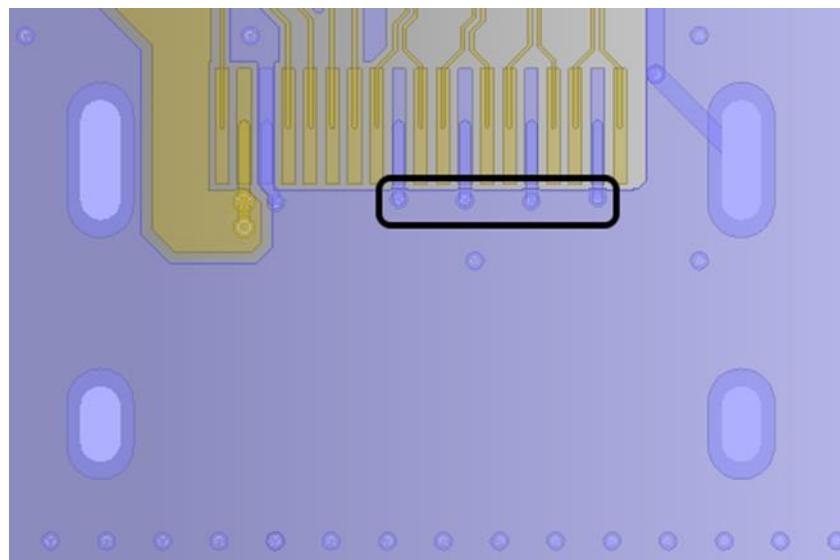


图 3-21

(21) 连接器位置铺铜时，注意地铜皮不要超过地焊盘。

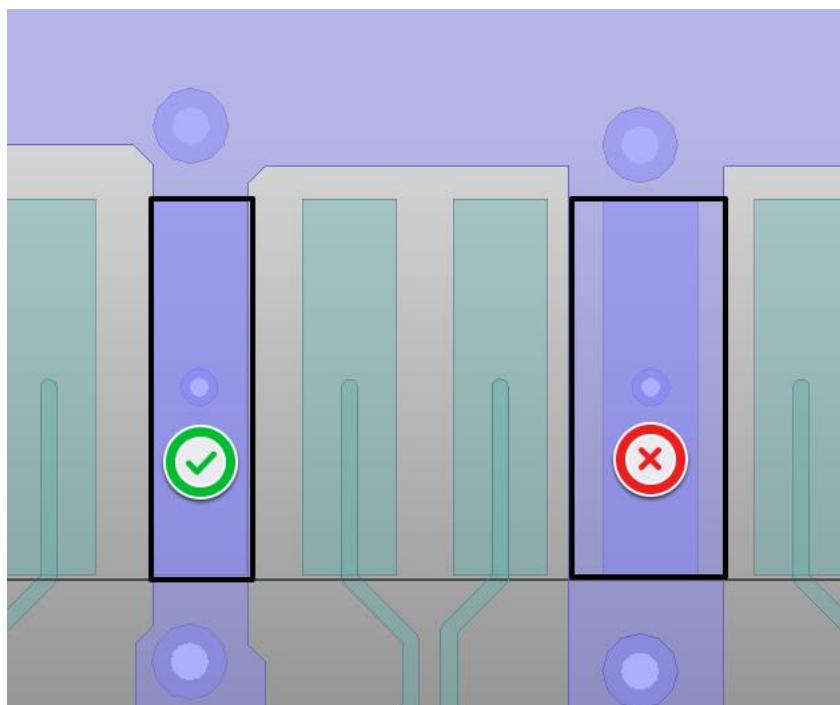


图 3-22

(22) 连接器的地铜皮距离信号 PAD 至少要大等于 3 倍线宽。

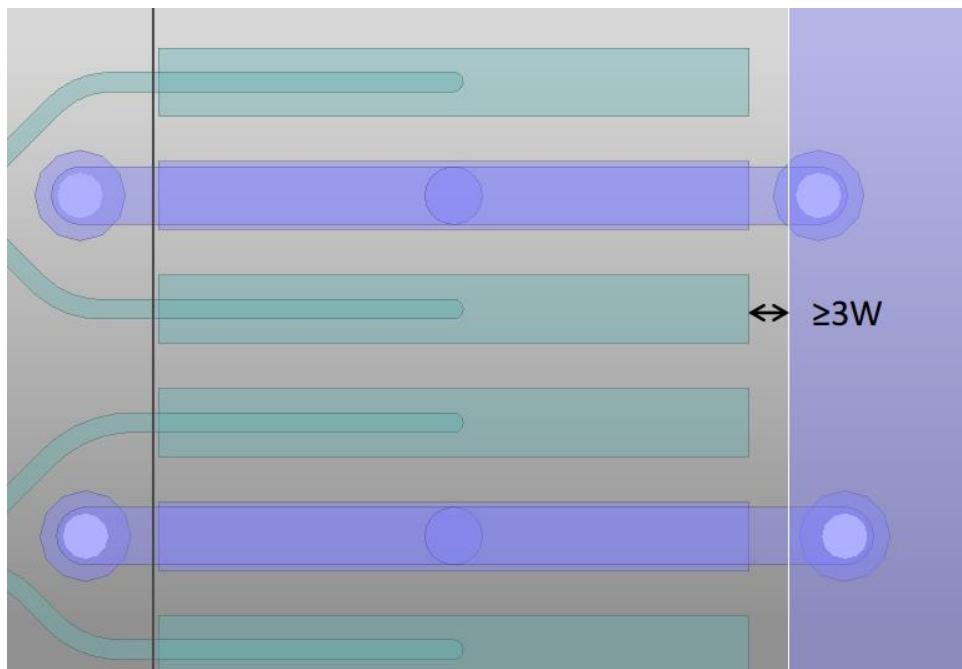


图 3-23

(23) 在 BGA 区域的平面断开处用走线连接。

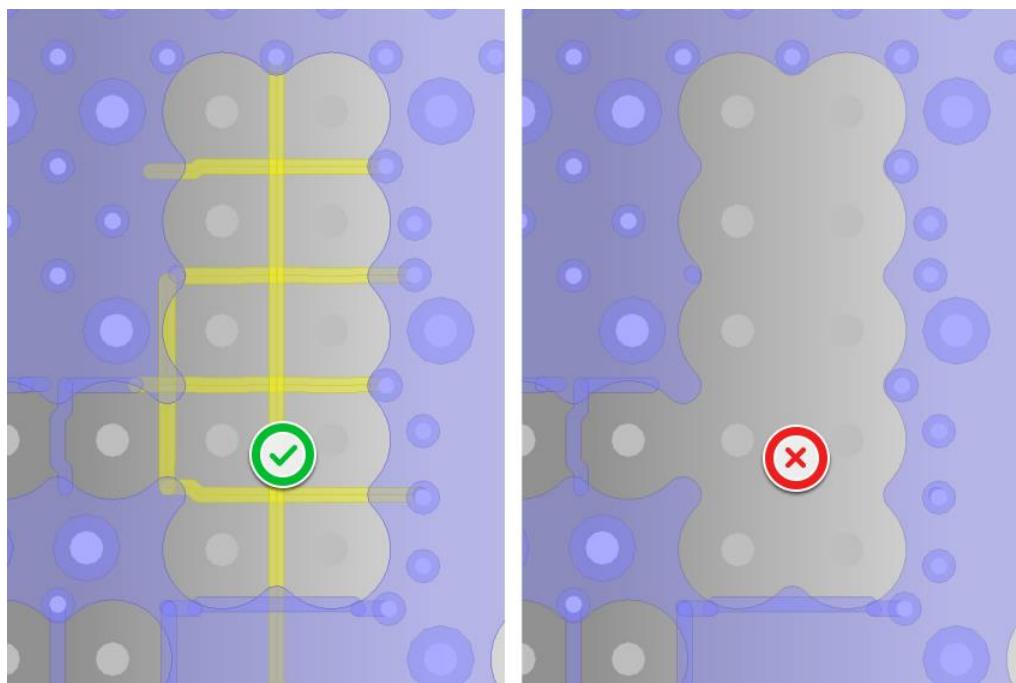


图 3-24

(24) 推荐包地方式如下：

L 为包地线地过孔间隔；

D 为包地线距离信号线之间的间距，建议 $\geq 4*W$ 。

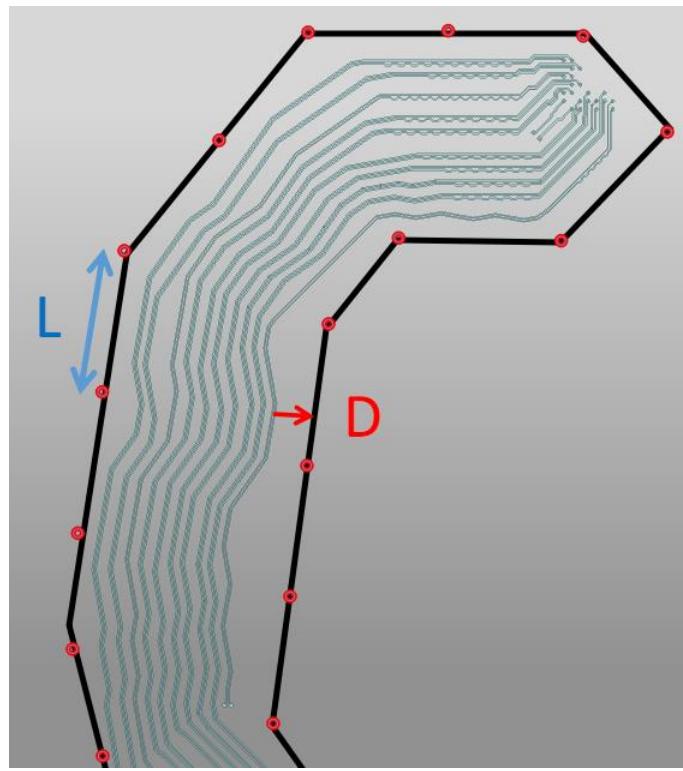


图 3-25

(25) 有些重要的高速单端信号，比如时钟信号、复位信号等（如 emmc_clk、emmc_datastrobe、RGMII_CLK 等等）建议包地。包地线每隔 500mil 至少要打一个地孔。

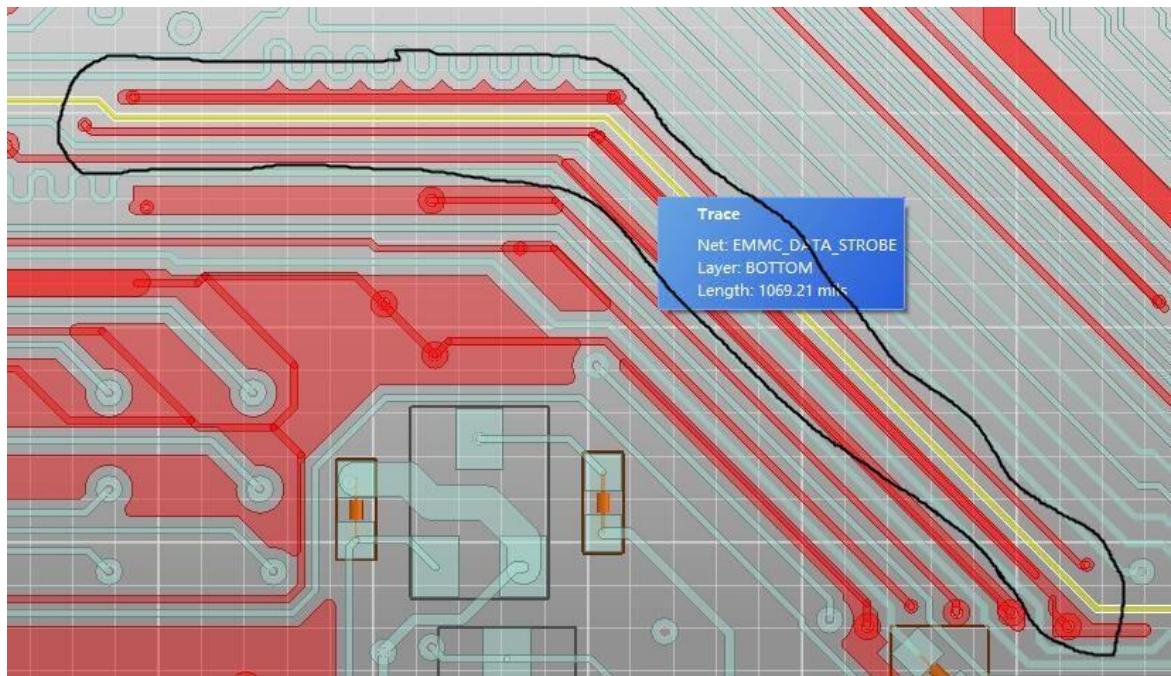


图 3-26

(26) 建议按下图走蛇形绕线，以降低绕线带来的串扰。

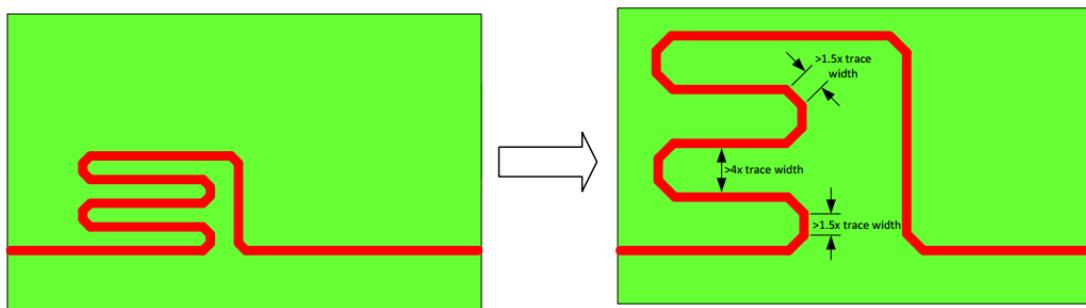


图 3-27

(27) 尽量减小残桩长度，建议残桩长度为零。

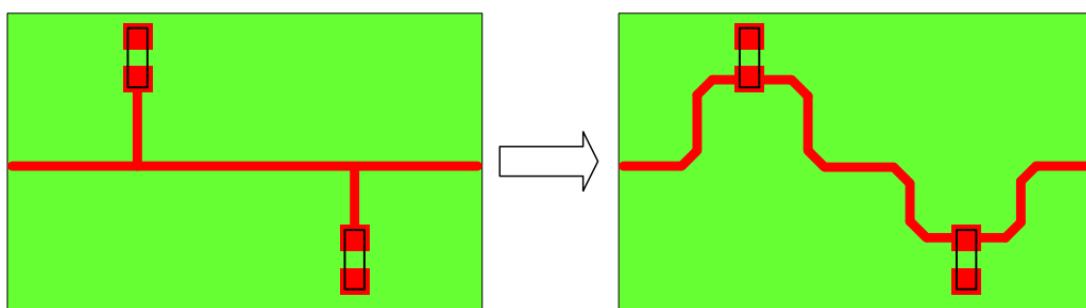


图 3-28

(28) 当走线有跨区时建议在 2 个参考平面之间就近加缝合电容；当参考层被分割时，建议就近在分割处加缝合电容以提供完整的回流路径。

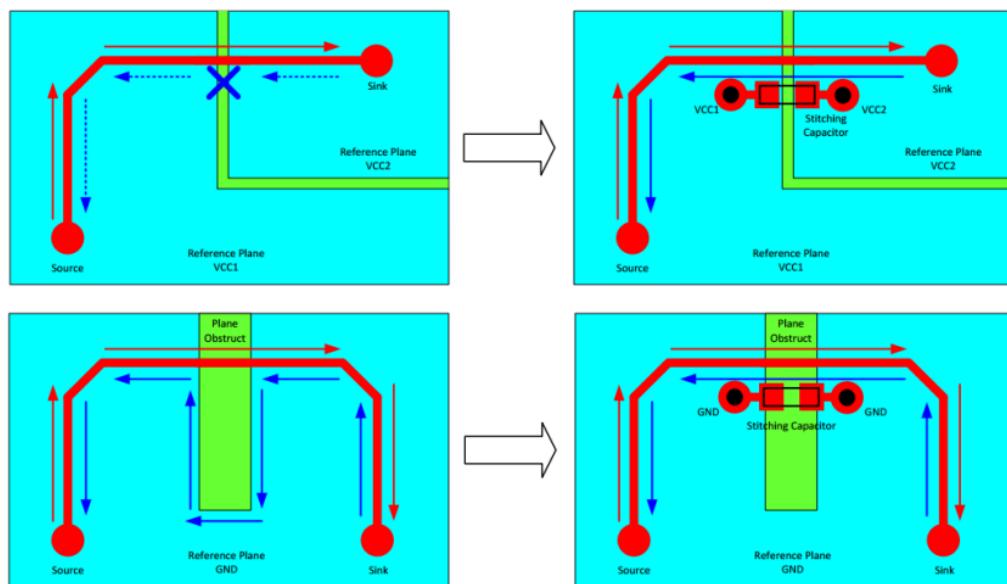


图 3-29

3.3 8GT/s 及以上高速信号布线建议

RK3588S 以下接口的信号能工作在 8GT/s 及以上速率，由于速率很高，PCB 设计要求会更严格，在“3.2 通用布线建议”章节基础上，需要按本章节的要求来布线。

表 3-1 RK3588S 8GT/s 及以上差分信号

接口	高速差分信号
DP1.4@8.1Gbps	TYPEC0_SSRX1P/DP0_TX0P; TYPEC0_SSRX1N/DP0_TX0N TYPEC0_SSTX1P/DP0_TX1P; TYPEC0_SSTX1N/DP0_TX1N TYPEC0_SSRX2P/DP0_TX2P; TYPEC0_SSRX2N/DP0_TX2N TYPEC0_SSTX2P/DP0_TX3P; TYPEC0_SSTX2N/DP0_TX3N
HDMI2.1@12Gbps	HDMI_TX0_D0P/EDP_TX0_D0P; HDMI_TX0_D0N/EDP_TX0_D0N HDMI_TX0_D1P/EDP_TX0_D1P; HDMI_TX0_D1N/EDP_TX0_D1N HDMI_TX0_D2P/EDP_TX0_D2P; HDMI_TX0_D2N/EDP_TX0_D2N HDMI_TX0_D3P/EDP_TX0_D3P; HDMI_TX0_D3N/EDP_TX0_D3N

3.3.1 避免玻纤编织效应

玻纤编织效应是指：PCB 基板是由玻璃纤维和环氧树脂填充压合而成，这两种材料的介电常数不一样。当差分线的 D+走线的下方是树脂填充而 D-走线下方是玻璃纤维作为填充时，会导致 D+和 D-走线的特性阻抗不同，两条走线的时延也会不同，导致差分对内的时延差进而影响眼图质量。



图 3-30

当表 3-1 接口的速率达到 8GT/s 且走线长度超过 1.5inch，需谨慎处理好玻纤编织效应。建议采用以下方式之一来避免玻纤编织效应带来的影响。

方式一：改变走线角度，如按 $10^\circ \sim 35^\circ$ ；或 PCB 加工时，将板材旋转 10° 以保证所有走线都不与玻纤平行。

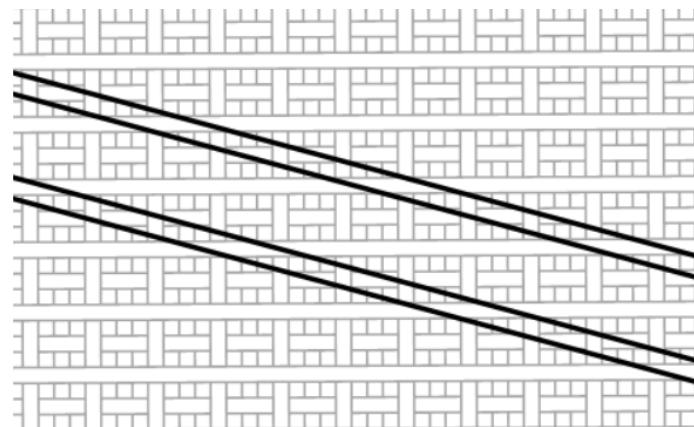


图 3-31

方式二：使用如下走线(zigzag)，下图中的 W 至少要大于 3 倍的玻纤编织间距。推荐值 $W=60\text{mil}$, $\theta=10^\circ$, $L=340\text{mil}$:

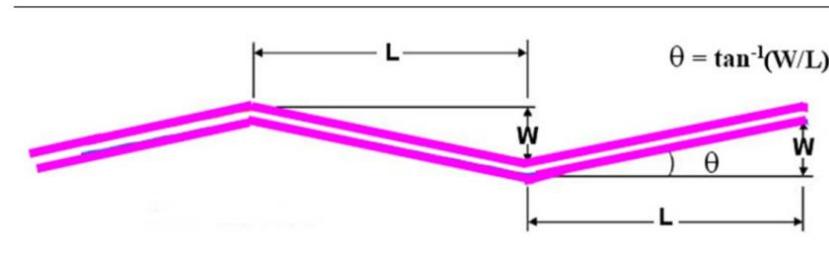


图 3-32

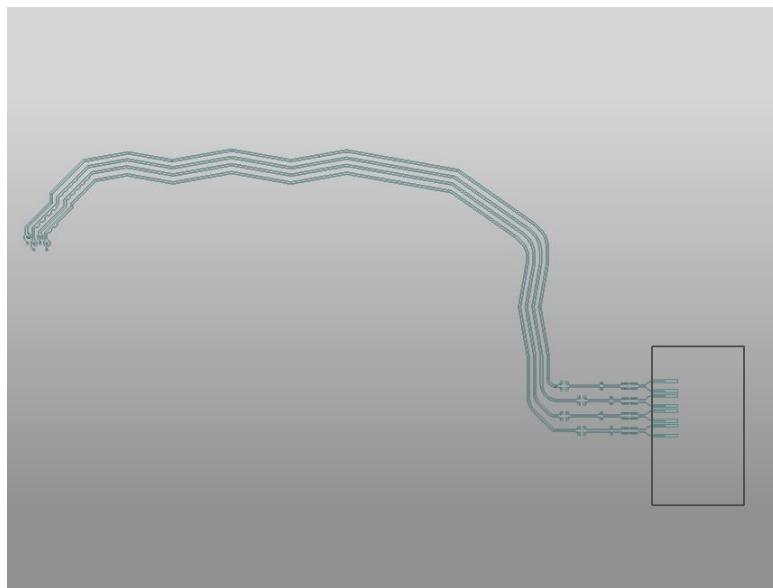


图 3-33

3.3.2 差分过孔建议

如果表 3-1 接口的工作速率 $\geq 8\text{GT/s}$, 那么这些接口差分对的过孔尺寸建议根据实际叠层进行仿真优化。以下给出基于 EVB 叠层的过孔参考尺寸:

$R_{\text{Drill}}=0.1\text{mm}$ (钻孔半径)

$R_{\text{Pad}}=0.2\text{mm}$ (过孔焊盘半径)

D1: 差分过孔中心间距

D2: 表层到底层的反焊盘尺寸

D3: 信号过孔与回流地过孔的中心间距

表 3-2 差分过孔的参考尺寸

方式	D1(mil)	D2(mil)	D3(mil)	差分过孔阻抗
1	26	18	22~26	100 ohm
2	24	18	22~26	95 ohm
3	22	18	22~26	90 ohm
4	22	15	22~26	85 ohm

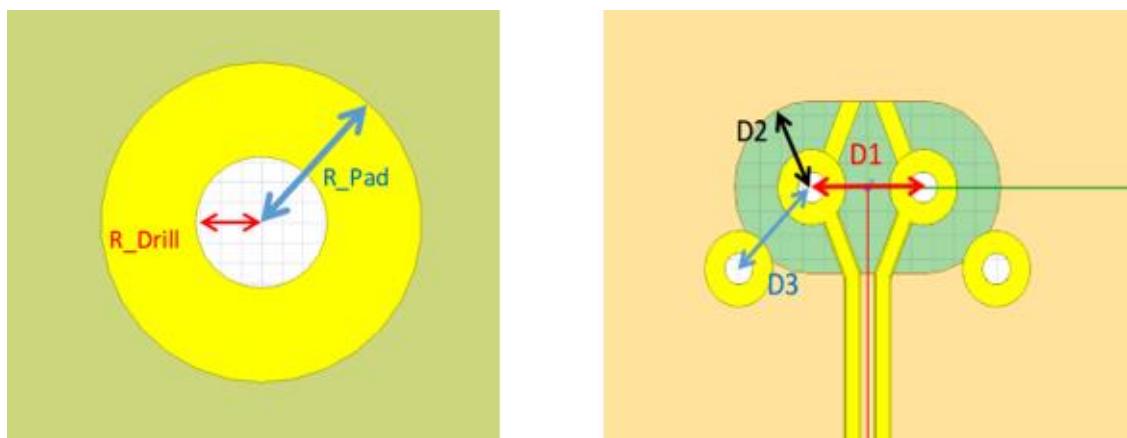


图 3-34

3.3.3 耦合电容优化建议

如果表 3-1 接口的工作速率 $\geq 8\text{GT/s}$, 那么这些接口的差分隔直电容建议按如下方式进行优化。

根据接口选择挖空一层或者两层地平面, 如果挖空电容焊盘正下方 L2 地参考层, 需要隔层参考, 即 L3 层要为地参考层; 如果挖空 L2 和 L3 地参考层, 那么 L4 层要为地参考层。挖空尺寸需根据实际叠层通过仿真确定, 以下给出基于 EVB 叠层的参考尺寸。

同时, 在耦合电容四周打 4 个地通孔以将 L2~L4 层的地参考层连接起来。

表 3-3 耦合电容焊盘挖空尺寸参考值

接口	挖空层	D1	H	L
DP1.4	L2 层和 L3 层	25mil	20mil	与焊盘等长
HDMI2.1	L2 层和 L3 层	25mil	20mil	与焊盘等长

D1: 差分耦合电容之间的中心距; L: 挖空长度; H: 挖空宽度。

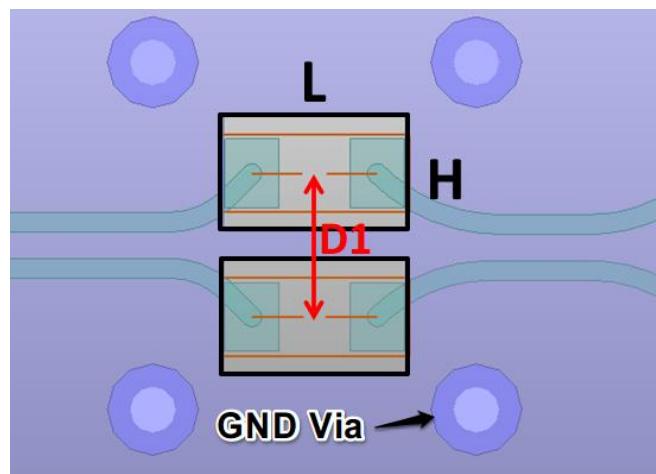


图 3-35

3.3.4 ESD 优化建议

如果表 3-1 的接口的工作速率 $\geq 8\text{GT/s}$, 那么这些接口的差分对 ESD 器件建议按以下方式优化。

挖空 ESD 焊盘正下方 L2 和 L3 地参考层, L4 层作为隔层参考层, 需要为地平面。挖空尺寸需结合 ESD 型号并根据实际叠层通过仿真确定, 以下给出基于 EVB 叠层的所用 ESD 型号为 ESD73034D 的参考尺寸。

同时在每个 ESD 四周打 4 个地通孔以将 L2~L4 层的地参考层连接起来。

表 3-4 ESD 器件焊盘挖空参考尺寸

接口	挖空层	H	W
DP1.4	L2 和 L3 层	22mil	与焊盘等长
HDMI2.1	L2 和 L3 层	22mil	与焊盘等长

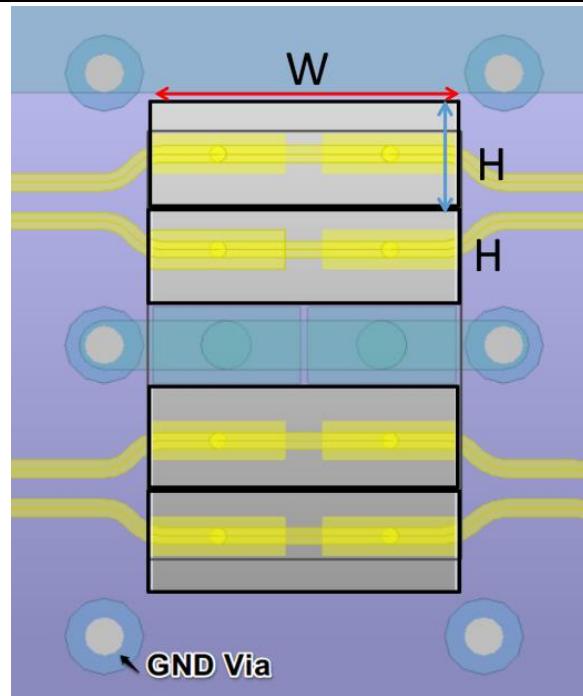


图 3-36

3.3.5 连接器优化建议

如果表 3-1 接口的工作速率 $\geq 8\text{GT/s}$ ，那么这些接口的连接器要能符合相应的标准要求(如 HDMI2.1/DP1.4/PCI-E3.0 协议标准)。推荐使用这些厂商的连接器：Molex、Amphenol、HRS 等等。

根据接口选择挖空一层或者两层地平面，如果挖空连接器焊盘正下方的 L2 地参考层，需隔层参考，即 L3 层要作为地参考层；如果挖空 L2 和 L3 的地参考层，那么 L4 层需要为地平面，作为隔层参考层。挖空尺寸需结合连接器型号并根据实际叠层通过仿真确定。

建议在连接器的每个地焊盘各打 2 个地通孔，且地孔要尽可能靠近焊盘。

以下给出基于 EVB 叠层的挖空参考尺寸。

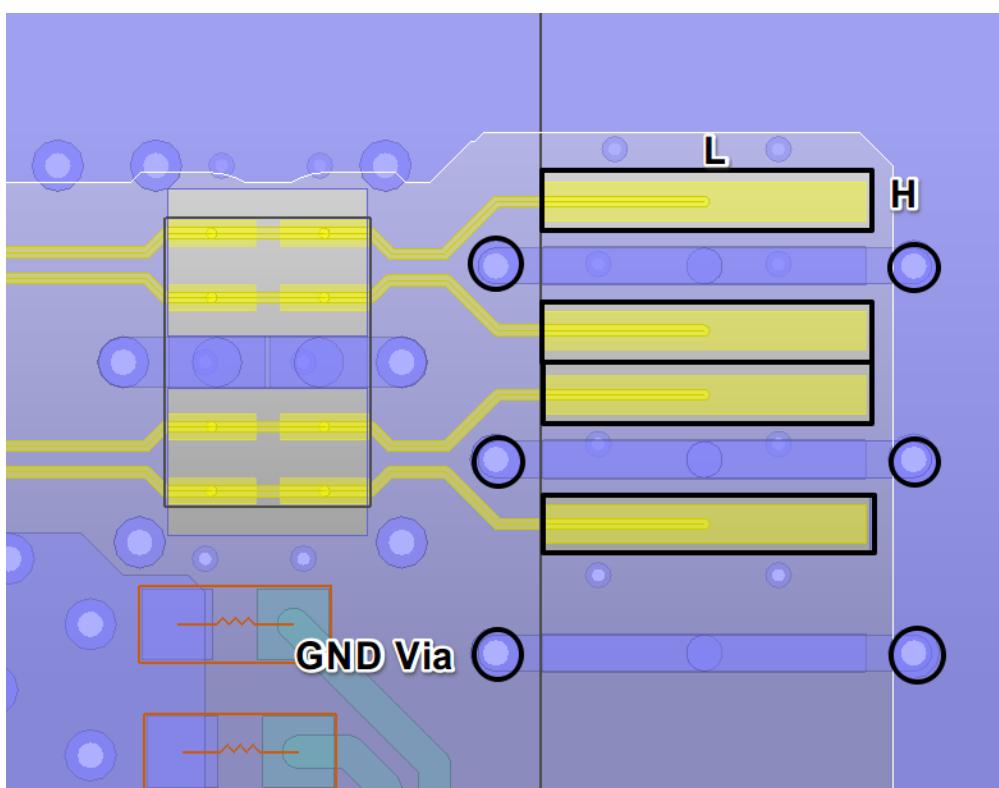
表 3-5 连接器焊盘挖空尺寸参考值

连接器	型号	挖空层	H	L
DP	Molex 472720029	L2 和 L3 层	18mil	与焊盘等长
Type-C	Molex 1054500101	L2 和 L3 层	20mil	与焊盘等长
HDMI2.1	Molex 2086581051	L2 和 L3 层	20mil	与焊盘等长

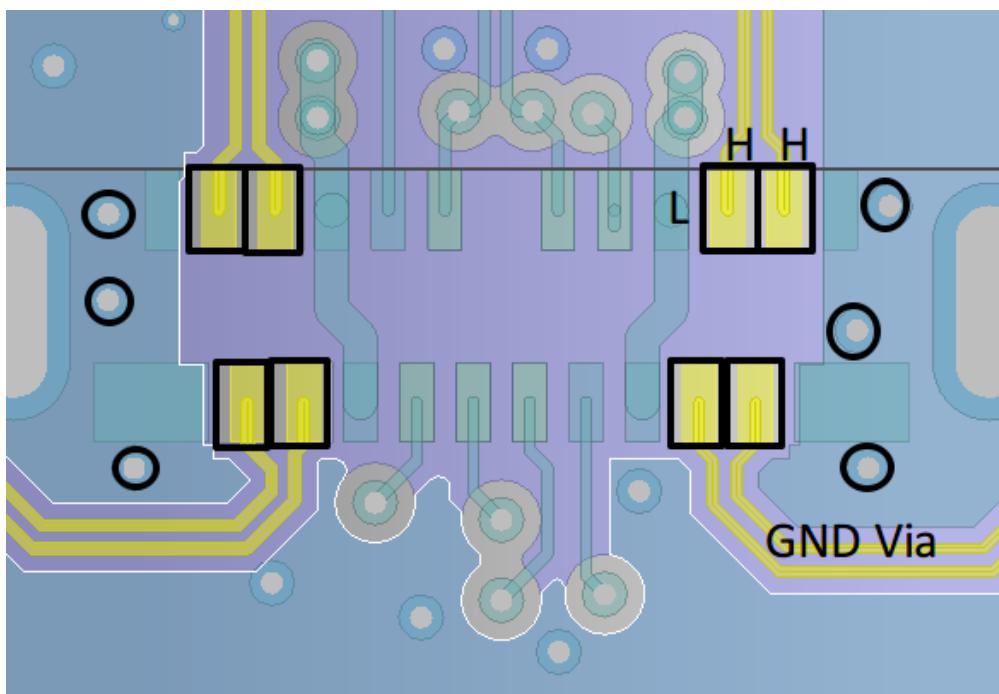
连接器推荐布线方式：

表 3-6 连接器推荐布线方式

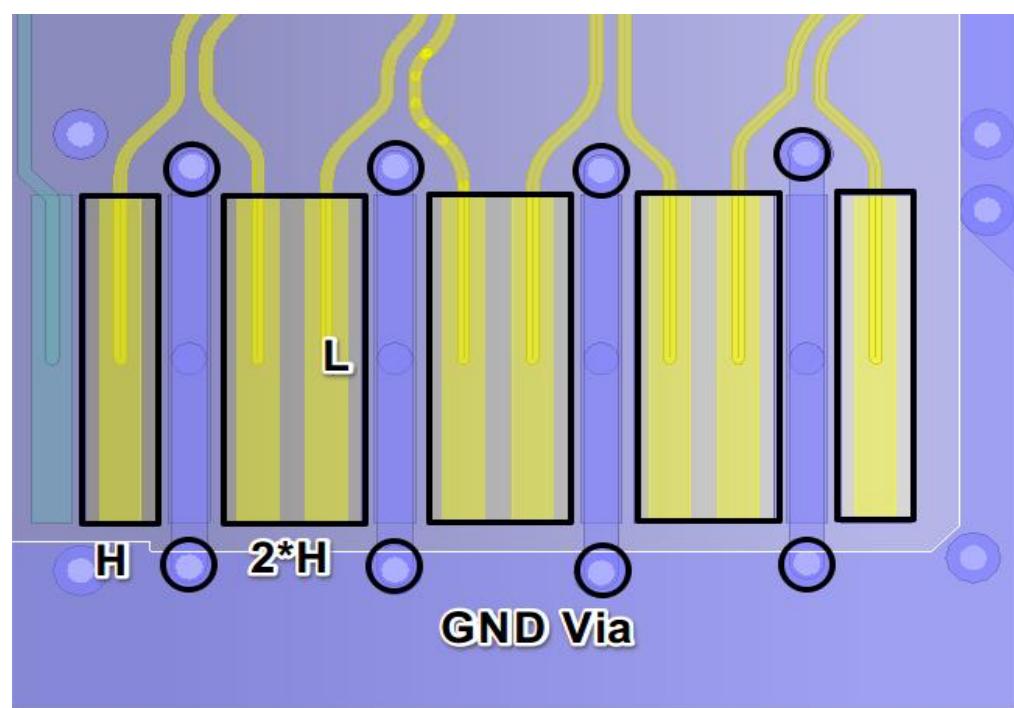
DP



Type-C



HDMI2.1



3.4 接口 PCB 设计建议

3.4.1 Clock/Reset 电路 PCB 设计

在时钟电路的 PCB 设计中，请注意：

- 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置以避免打过孔，晶体走线尽可能的短，远离干扰源，尽量远离板边缘；
- 晶体以及时钟信号需要全程包地处理，包地线每隔 200-300mil 至少添加一个 GND 过孔，并且必须保证邻层的地参考面完整；
- 晶体电路布局时如果与芯片不同层放置，晶体走线及必须全程包地处理，避免被干扰；
- 时钟走线 XIN 和 XOUT 以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的；

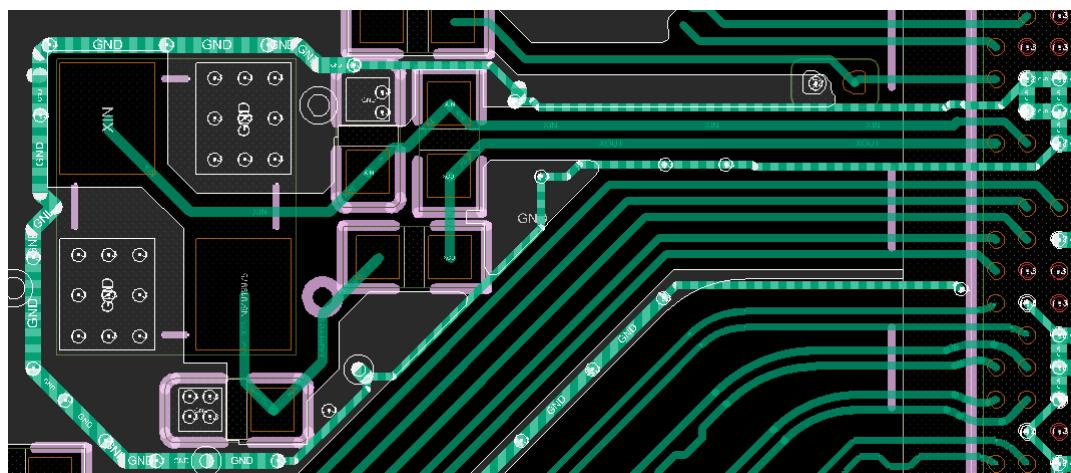


图 3-37 RK3588S 晶体布局和走线

- PLL_DVDD0V75, PLL_AVDD1V8, OSC_1V8, PMU_0V75 电源的去耦电容，必须放在芯片管脚背面，走线时，尽量形成先经过电容焊盘再到芯片管脚。

在 Reset 电路的 PCB 设计中，请注意：

- 在布局时，RESETn 复位信号远离板边缘和金属接插件，以防止因 ESD 引起的异常而导致复位模块死机；
- RESETn 的滤波电容应尽量靠近芯片管脚布局，信号需先经过电容，再进入芯片，注意滤波电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- RESETn 信号应远离 DCDC、RF 等强干扰信号，以防止受到干扰。如果走线较长，建议包地处理，并且包地线每隔 400mil 至少添加一个 GND 过孔；
- RESETn 按键的 TVS 保护二级管应尽量靠近按键放置，信号拓扑为：按键--->TVS--->100 ohm--->电容（靠近 CPU&PMIC）--->CPU&PMIC；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减。

3.4.2 PMIC/Power 电路 PCB 设计

3.4.2.1 RK806 电源方案的 PCB 设计

整体布局时从电源质量角度上看 RK806 尽量靠近 RK3588S（考虑散热设计时，需要适当放置，不要太靠近也不能离的太远），摆放方向时，尽量优先考虑 RK806 的 BUCK1、BUCK2、BUCK3、BUCK4 这些输出电流比较大的电源到 RK3588S 的走线（覆铜）是顺的。

注意事项：

- 过孔数以 $0.5*0.3\text{mm}$ 的过孔为例，高压电源单个过孔推荐走 0.8A ，低压电源（ 1V 以下）按 0.5A 计算；
- 大电流 buck 输入输出电容的 GND 端要有和正端一样多数量的过孔，才能起到比较好的滤波效果(很多客户容易忽略电容 GND 端的过孔数量)；
- 不建议电源部分器件焊盘及过孔做热焊盘及十字连接处理，应该用铺铜全部覆盖。

RK806 的 EPAD 接地焊盘要优先保证有足够的过孔，建议保证 $5*5$ 个 $0.5*0.3\text{mm}$ 或是 $6*6$ 个 $0.4*0.2\text{mm}$ 的过孔以上，降低接地阻抗和加强热量传导；盲埋孔的板子再打一些盲孔辅助降低阻抗。

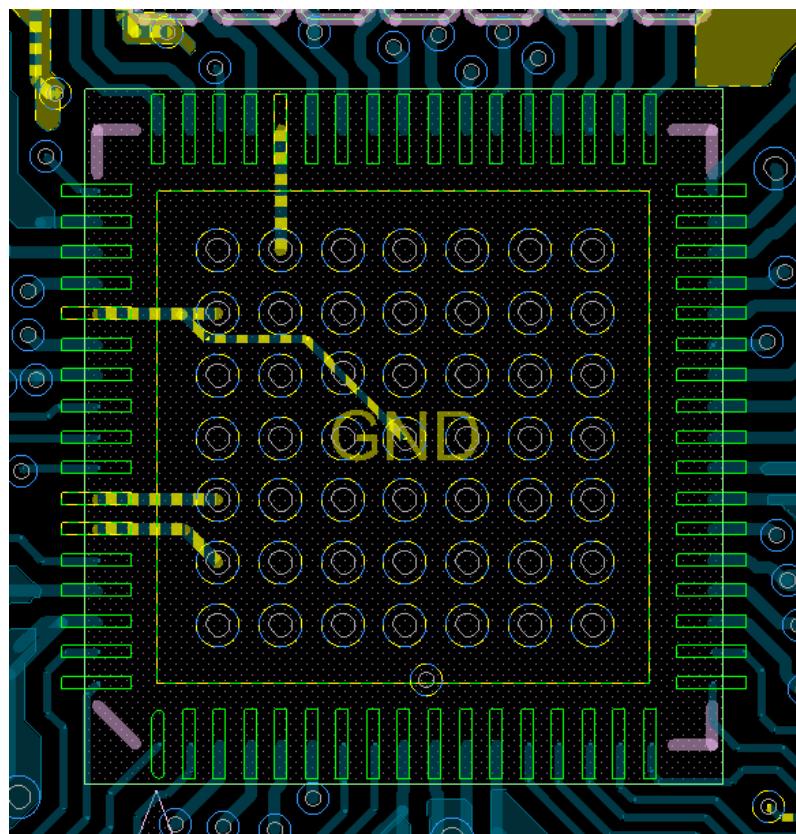


图 3-38 RK806 EPAD 过孔分布

- RK806 的 BUCK1\3 设计要求：

输入电容必须离芯片尽可能近(如果输入电容放在芯片的背面，需保证电容的 GND 端靠近芯片底下)，让输入电容与 VCC 和 GND 的连接环路尽可能小。应当保证 SW 的走线尽可能短粗（芯片引脚出线后尽可能早的让面积变大）以提高过流能力及电源效率；对于需要打过孔的地方，VCC1/3 如果合并供电至少需要 5 个 $0.5*0.3\text{mm}$ 的过孔，如果分开各自需要 3 个及以上的 $0.5*0.3\text{mm}$ 的过孔，BUCK1 和 BUCK3 的输出电容的 GND 端可以靠在一起共用但至少要 15 个以上的 $0.5*0.3\text{mm}$ 过孔，如果有位置可以打小过孔

或盲孔补充; BUCK1 输出如果有换层至少保证 15 个及以上的 0.5*0.3mm 过孔, 同样的 BUCK3 要保证 12 个及以上的 0.5*0.3mm 过孔;

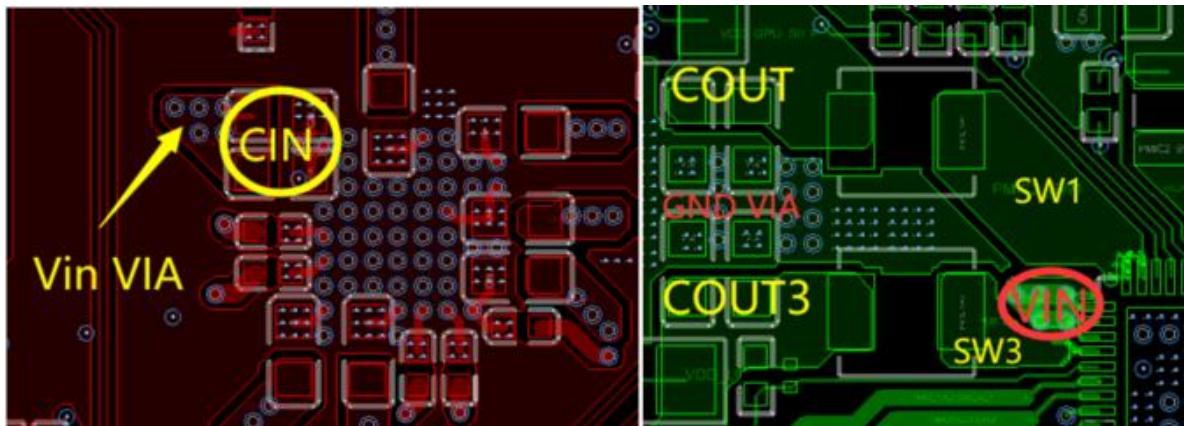


图 3-39 RK806 BUCK1/BUCK3 布局和走线

- RK806 的 BUCK2 PCB 设计要求:

输入电容必须离芯片尽可能近(如果输入电容放在芯片的背面, 需保证电容的 GND 端靠近芯片底下), 让输入电容与 VCC 和 GND 的连接环路尽可能小。应当保证 SW 的走线尽可能短粗(芯片引脚出线后尽可能早的让面积变大)以提高过流能力及电源效率; 对于需要打过孔的地方, VCC2 供电至少需要 3 个 0.5*0.3mm 过孔, 输出电容的 GND 端至少要 12 个以上的 0.5*0.3mm 过孔, 如果有位置可以打小过孔或盲孔补充; 输出如果有换层至少保证 12 个及以上的 0.5*0.3mm 换层过孔。

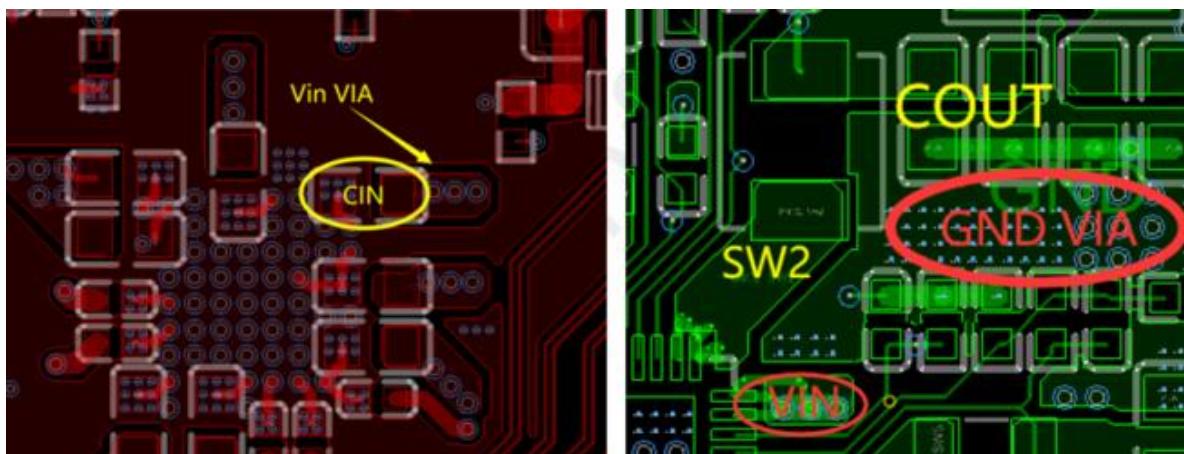


图 3-40 RK806 BUCK2 布局和走线

- RK806 的 BUCK4 PCB 设计要求:

输入电容必须离芯片尽可能近(如果输入电容放在芯片的背面, 需保证电容的 GND 端靠近芯片底下), 让输入电容与 VCC 和 GND 的连接环路尽可能小。应当保证 SW 的走线尽可能短粗(芯片引脚出线后尽可能早的让面积变大)以提高过流能力及电源效率; 对于需要打过孔的地方, VCC4 供电至少需要 3 个 0.5*0.3mm 的过孔, 输出电容的 GND 端至少要 12 个以上的 0.5*0.3mm 过孔, 如果不足可以打盲孔补充; 输出如果有换层至少保证 12 个及以上的 0.5*0.3mm 换层过孔。

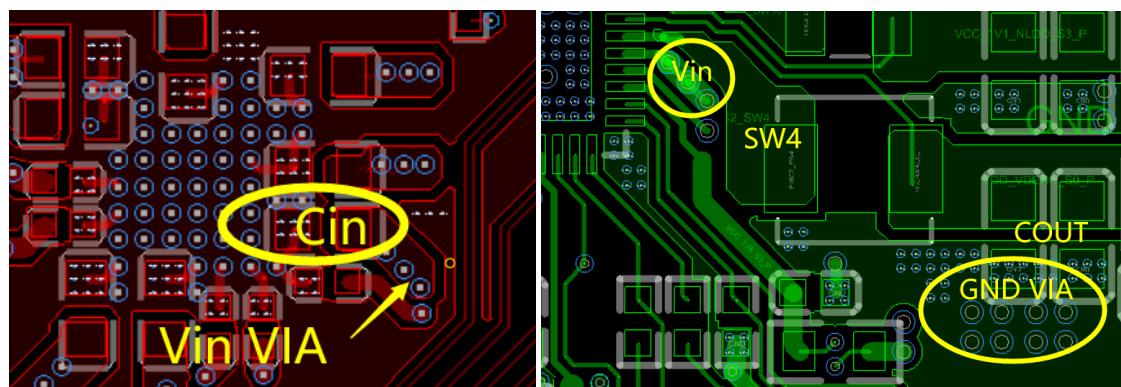


图 3-41 RK806 BUCK4 布局和走线

- RK806 的 2.5A BUCK (BUCK)PCB 设计要求:

输入电容必须离芯片尽可能近(如果输入电容放在芯片的背面, 需保证电容的 GND 端靠近芯片底下), 让输入电容与 VCC 和 GND 的连接环路尽可能小。应当保证 SW 的走线尽可能短粗(芯片引脚出线后尽可能早的让面积变大)以提高电源过流能力及效率; 对于需要打过孔的地方, VCC5/6/7/8/9/10 供电至少需要 2 个 0.5*0.3mm 的过孔(如果是引脚靠近的 VCC5 和 VCC7 以及 VCC6 和 VCC10 需要打 3 个 0.5*0.3mm 的过孔), 输出电容的 GND 端至少要 5 个及以上的 0.5*0.3mm 过孔, 如果不足可以打盲孔补充; 输出如果有换层至少保证 5 个及以上的 0.5*0.3mm 换层过孔。

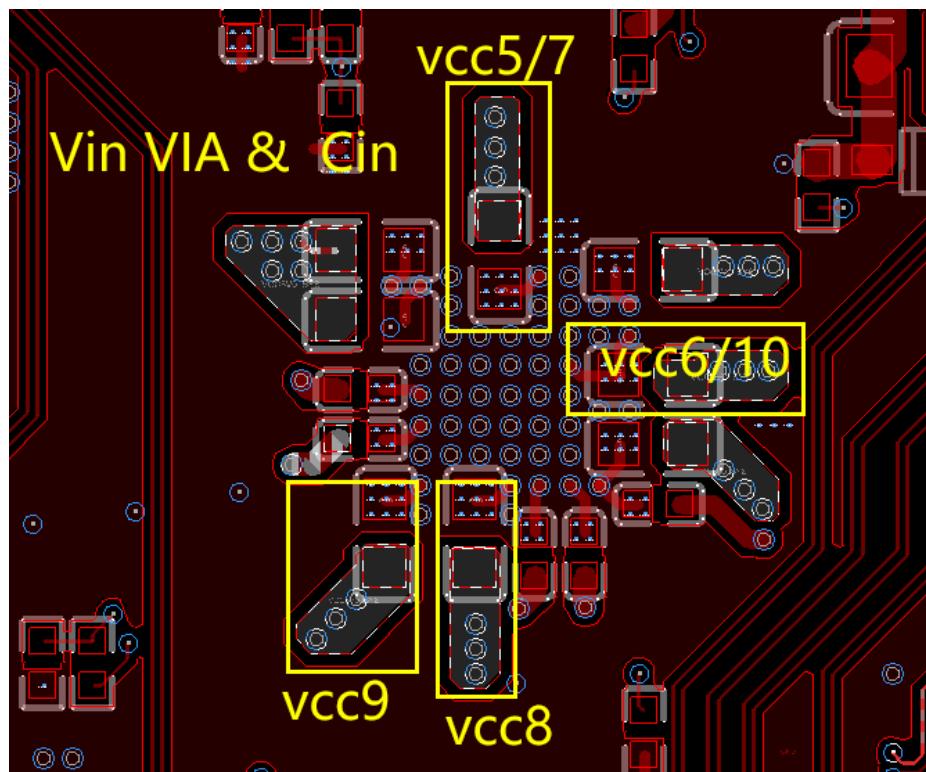


图 3-42 RK806 2.5A BUCK VCC 输入电容布局和走线

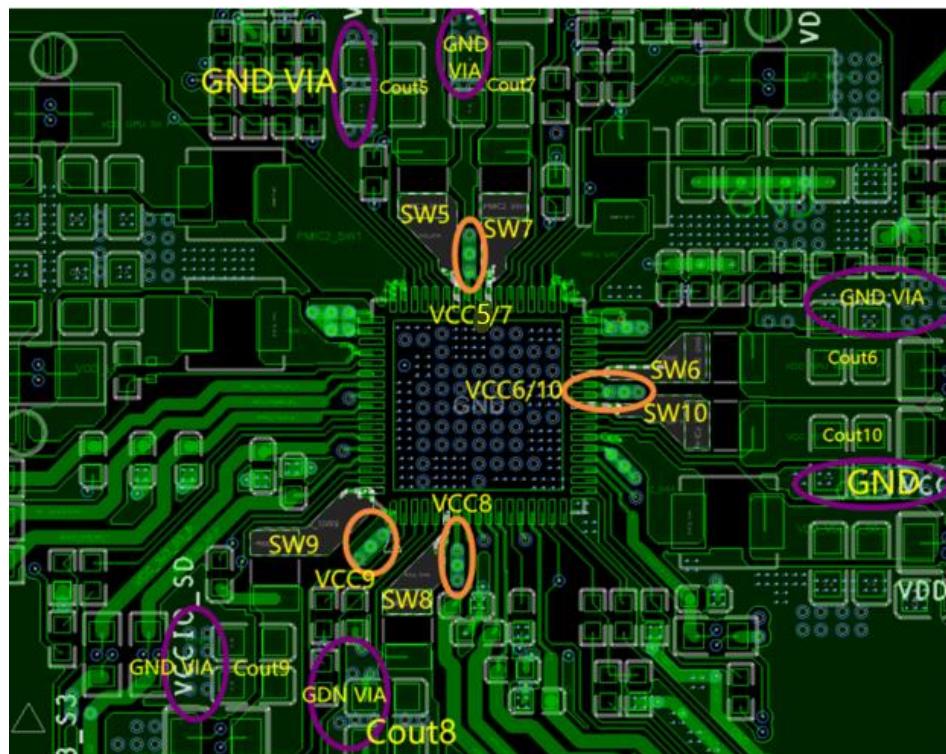


图 3-43 RK806 2.5A BUCK 布局和走线

- RK806 的 LDO PCB 设计要求：

- 输入电容必须离芯片尽可能近，输入电容与 VCC11/12/13/14 和 GND 的连接环路尽可能小；
- 输出电容必须离芯片尽可能近，输出电容与 PLDO1/2/3/4/5/6 及 NLDO1/2/3/4/5 和 GND 的连接环路尽可能小；
- 走线粗线一般按 1mm 宽度走 1A 来设计，大电流输出的 LDO 根据后端实际供电需求，走线在从芯片引出后应尽快变粗到需求大小，要特别关注低压大电流 NLDO 的走线长度及损耗，以满足目标芯片的供电电压及纹波需求。

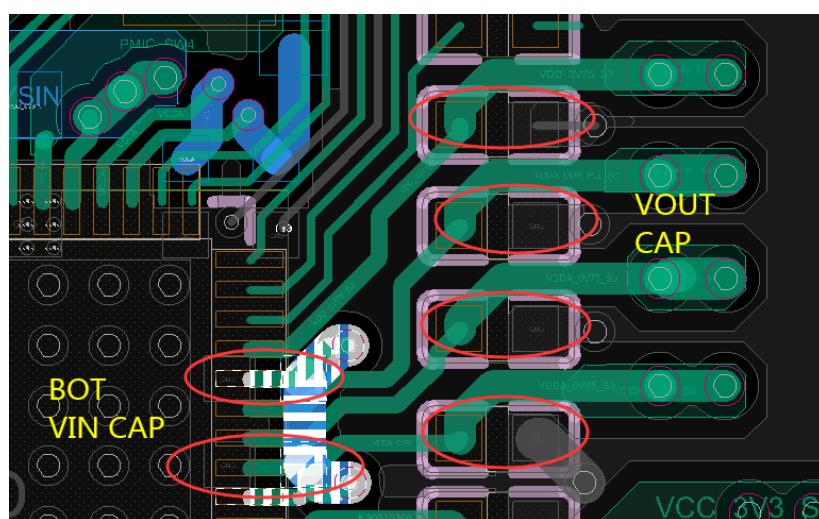


图 3-44 RK806 LDO 布局和走线示例

- RK806 的 VCCA 电容必须靠近管脚放置，远离其它干扰源，电容的地焊盘必须良好接地，即 VCCA 电容地焊盘和 RK806 EPAD 之间路径必须保证最短，不得被其他信号分割；

- RK806 的 Pin 67 (RESETB) 的 100nF 电容必须靠近 RK806 管脚，提高芯片抗干扰能力；
- 建议 RK806 的管脚部分禁覆铜，所有管脚通过走线方式和外面连接，走线线宽不得超过管脚宽度，防止制板后，焊盘变大后贴片容易连锡

3.4.2.2 分立电源的 DC-DC PCB 设计

输入电容 Cin、输出电容 Cout 放置于 Vin pin、Vout pin 与 DC/DC 的 GND 之间，尽量减小 Vin、Vout 与 DC/DC 的 GND 之间的环路面积，这样可以减小电源纹波幅度，大大提高芯片的可靠性，如下图：

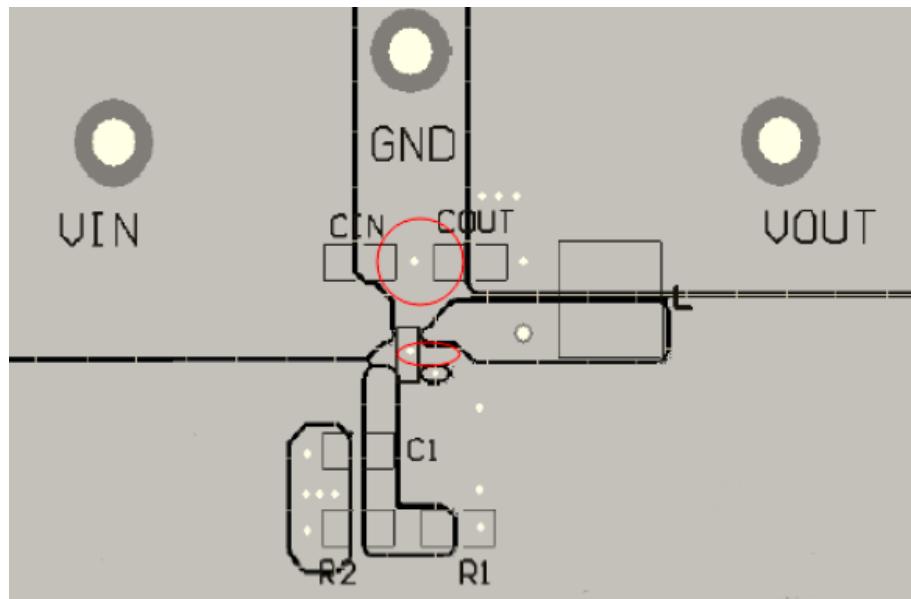


图 3-45 分立电源 DC/DC 布局和走线

输入电容 Cin、输出电容 Cout 以及 DC/DC 的 GND，要尽量多打一些过孔，建议 4 个以上的 0503 过孔，如果 Vin, Vout 电源有换层，建议过孔也要多打一些过孔，建议 4 个以上的 0503 过孔（和电流有关系，下面会相关描述）。电感要尽量靠近 DC/DC，走线要尽量粗而短，FB 端的电阻地尽量远离干扰源。

3.4.2.3 RK860 电源 PCB 设计

RK860-x 做为单颗 RK860-1 的辅助补充供电，一般给 CPU、GPU 或 NPU 等大电流供电。整体布局时应尽量靠近 RK3588S(10mm 以内为佳)。

RK860 PCB 布局推荐参考下图方式：输入输出电容分别摆在芯片的两端并尽量靠近芯片，电容、电感和芯片布局在同一层，电容的 GND 焊盘和芯片的 GND 在焊盘朝向是同一个方向，形成一个最小的闭环；电感放在输出电容和芯片两端保证 SW 走线尽可能短，防止对其他模块造成干扰；芯片的 VOUT 反馈信号要保证取自输出电容（避免从电感焊盘上取信号），并尽量避免离 SW 太近；对于需要打过孔的地方，VIN 可以打 5 个 0.5*0.3mm 的过孔，buck 输出至少需要 12 个 0.5*0.3mm 的过孔。特别是 GND 过孔尽量靠近芯片 GND 和电容焊盘，如果是盲埋孔的板子就在芯片和电容的 GND 焊盘补一些盲孔。

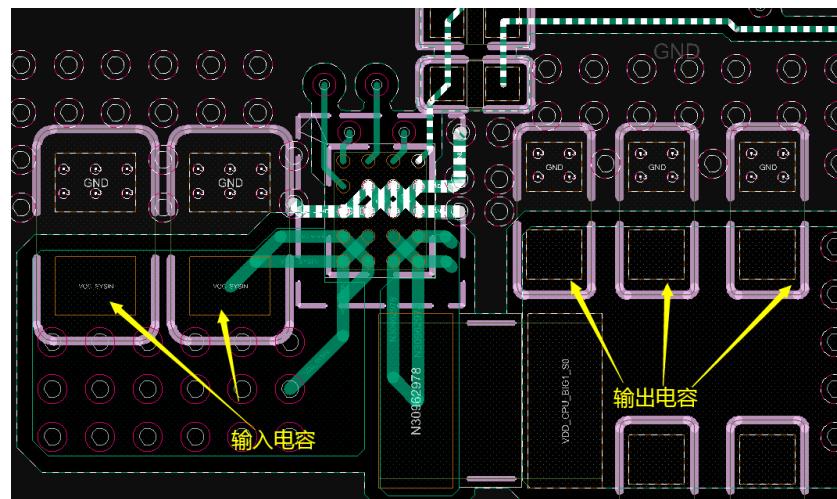


图 3-46 VDD_CPU 电源供电 DC/DC 布局和走线

3.4.2.4 VDD_LOGIC, VDD_GPU, VDD_NPU, VDD_CPU 电源的 DC-DC 远端反馈设计

100ohm 反馈电阻需要靠近输出电容放置，电阻一端连接到 DC-DC 输出电容，另一端连接到 PMIC 的 VOUT 反馈脚上，并同时连接到 RK3588S 电源管脚同一电源网络的最远端负载处。反馈线宽度使用 4mil，必须与电源覆铜伴随走线，以避免干扰；反馈线与其他信号间隔 6mil 以上，比如 VDD_GPU 电源覆铜及反馈线走线示意图，其它路电源类似处理。

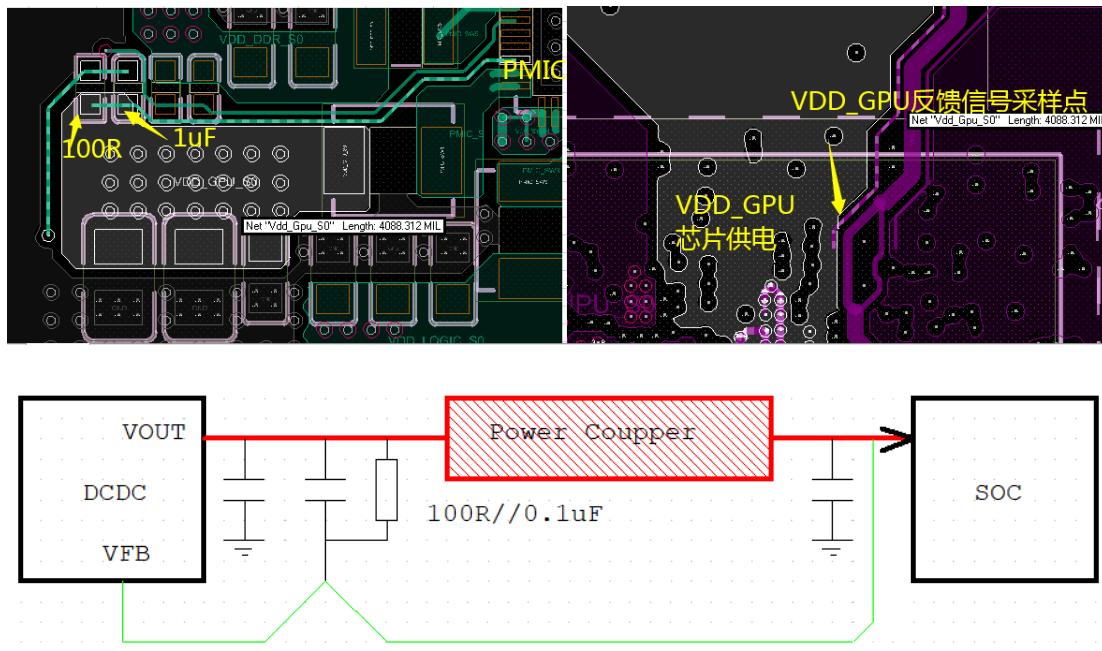


图 3-47 DC/DC 远端反馈设计示意图

3.4.2.5 RK3588S VDD_CPU_BIG0/1 电源 PCB 设计

VDD_CPU_BIG0/1 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_CPU_BIG 的电源在外围换层时，要尽可能的多打电源过孔（12 个及以上 0.5*0.3mm 的过孔），
Copyright © 2022 Rockchip Electronics Co., Ltd

降低换层过孔带来的压降；去耦电容的 GND 过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用。

RK3588S 芯片 VDD_CPU_BIG0/1 的电源管脚，保证每个 Ball 边上都有一个对应的过孔，并且顶层走线连接在一起，建议走线线宽 8mil。



图 3-48 RK3588S 芯片 VDD_CPU_BIG0/1 的电源管脚走线和过孔

原理图上靠近 RK3588S 的 VDD_CPU_BIG 电源管脚的去耦电容务必放在对应的电源管脚背面，电容的 GND pad 尽量靠近芯片中心的 GND Ball 放置，其余的去耦电容尽量靠近 RK3588S。



图 3-49 RK3588S 芯片 VDD_CPU0/1 的电源管脚背面去耦电容放置情况

VDD_CPU_BIG 电流比较大需要双层覆铜，VDD_CPU_BIG 电源在 CPU 区域线宽合计不得小于 300mil，外围区域宽度不小于 600mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）。

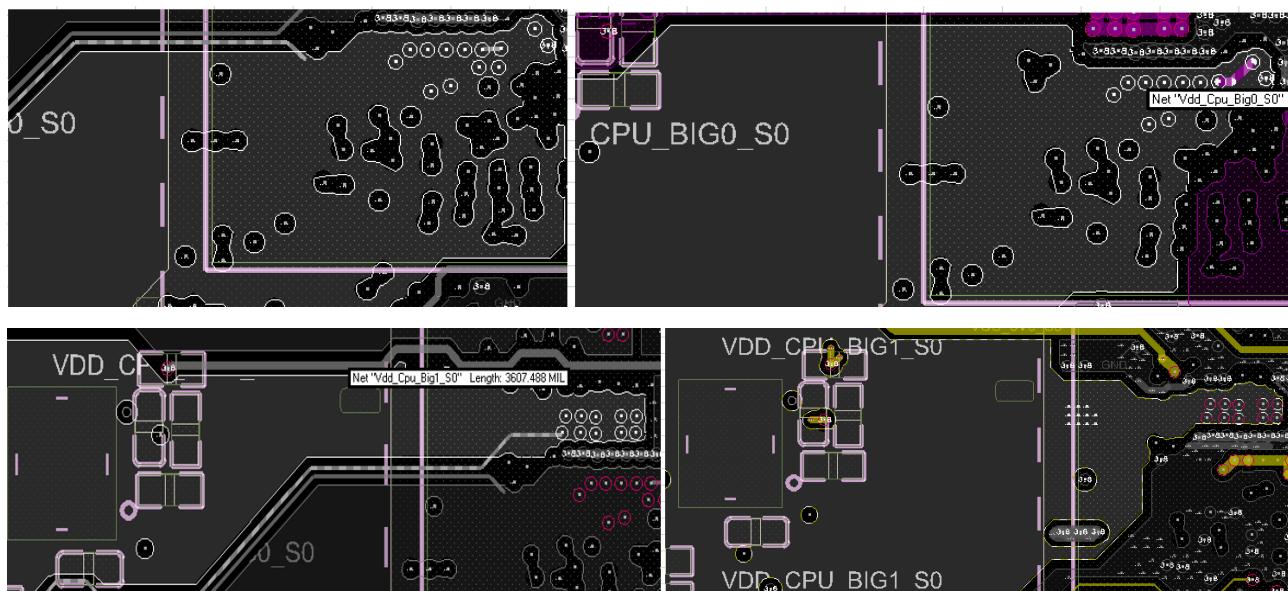


图 3-50 RK3588S 芯片 VDD_CPU_BIG0/1 电源层覆铜情况

BIG0 电源过孔 40mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量, 建议 ≥ 10 。

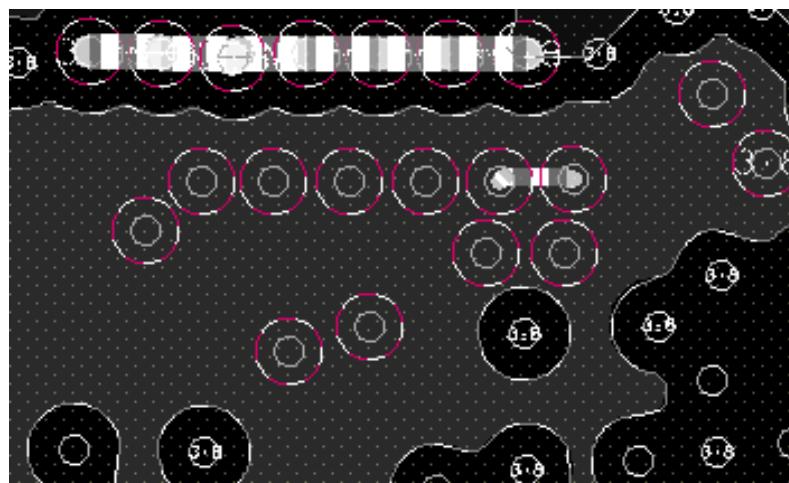


图 3-51 BIG0 电源地过孔放置图

BIG1 电源过孔 40mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量, 建议 ≥ 10 。



图 3-52 BIG1 电源地过孔放置图

BIG 电源 PDN 目标阻抗建议值如下表：

表 3-7 BIG 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤ 0.025
1Mhz ~30Mhz	≤ 0.04
30Mhz~100Mhz	≤ 0.14

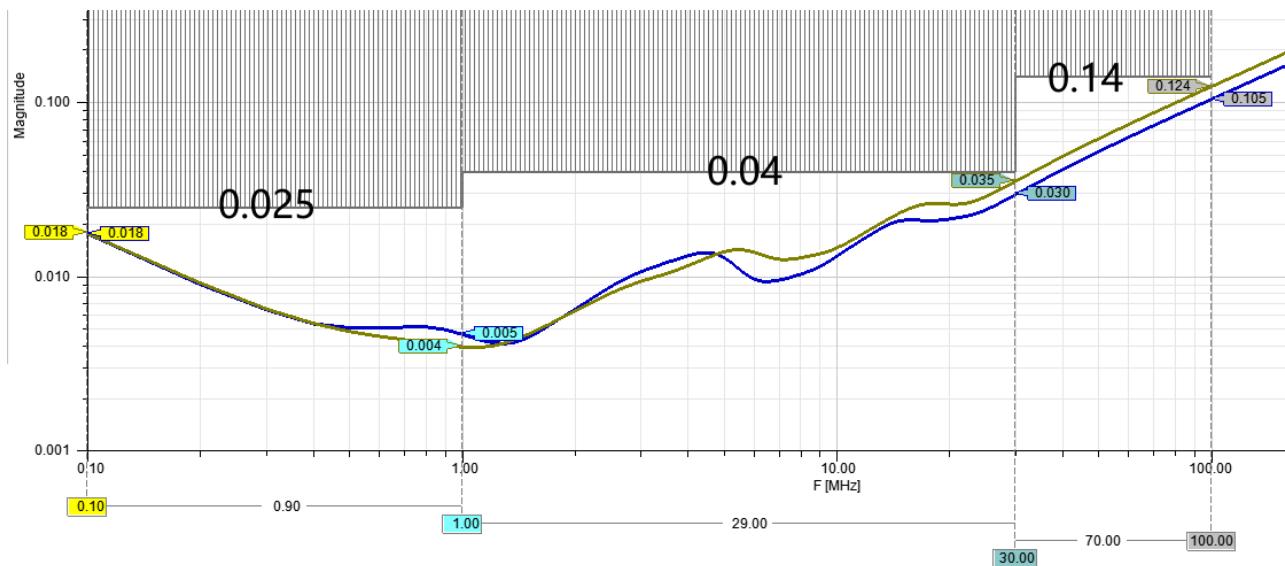


图 3-53 BIG 电源建议 PDN 要求

3.4.2.6 RK3588S VDD_LOGIC 电源 PCB 设计

VDD_LOGIC 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_LOGIC 的电源在外围换层时，要尽可能的多打电源过孔（8 个以上 $0.5*0.3\text{mm}$ 的过孔），降低换层过孔带来的压降；去耦电容的 GND 过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用。

RK3588S 芯片 VDD_LOGIC 的电源管脚就近放置过孔，并且顶层将 ball 和过孔通过走线连在一起，建议走线线宽 8mil。

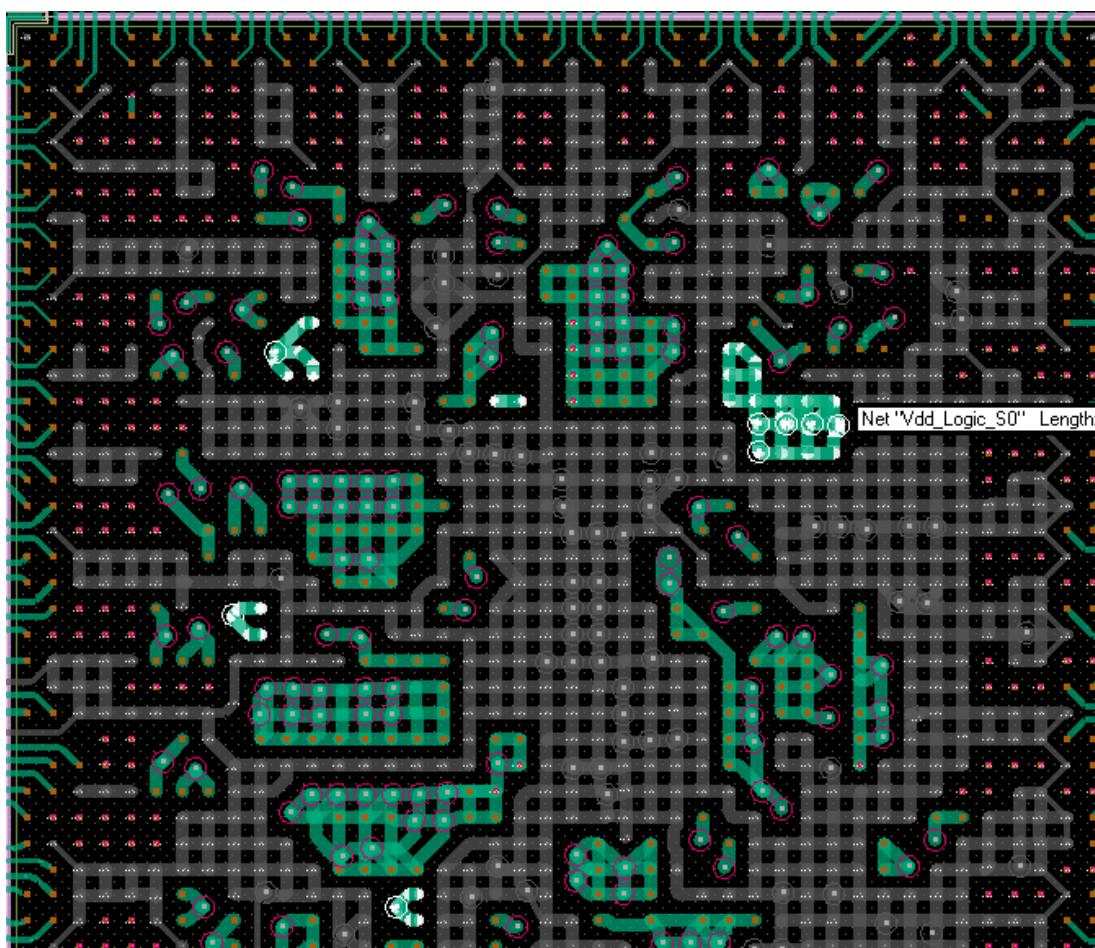


图 3-54 RK3588S 芯片 VDD_LOGIC 的电源管脚走线和过孔

原理图上靠近 RK3588S 的 VDD_LOGIC 电源管脚的去耦电容务必放在对应的电源管脚背面，电容的 GND pad 尽量靠近芯片中心的 GND Ball 放置，其余的去耦电容尽量靠近 RK3588S。

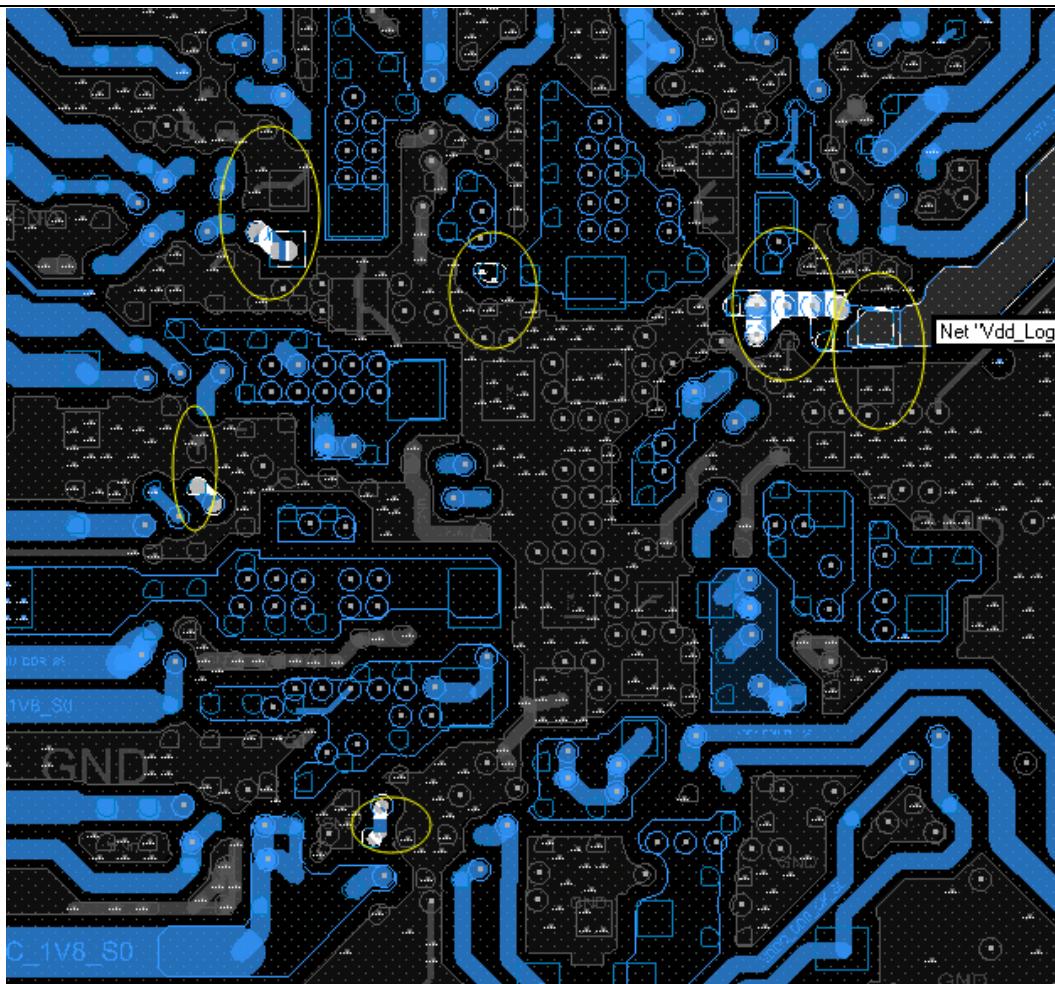


图 3-55 RK3588S 芯片 VDD_LOGIC 的电源管脚背面去耦电容放置情况

VDD_LOGIC 电源在 CPU 区域线宽不得小于 120mil，外围区域宽度不小于 200mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）。

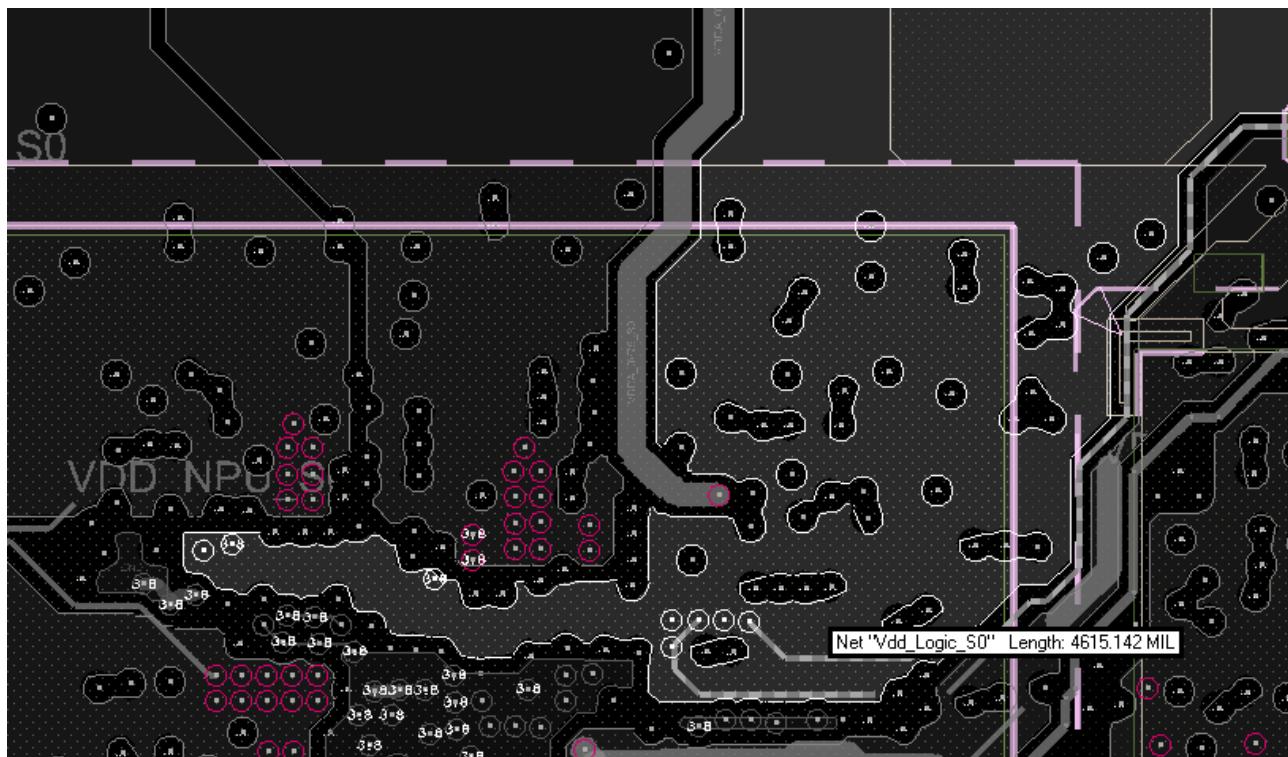


图 3-56 RK3588S 芯片 VDD_LOGIC 电源层覆铜情况

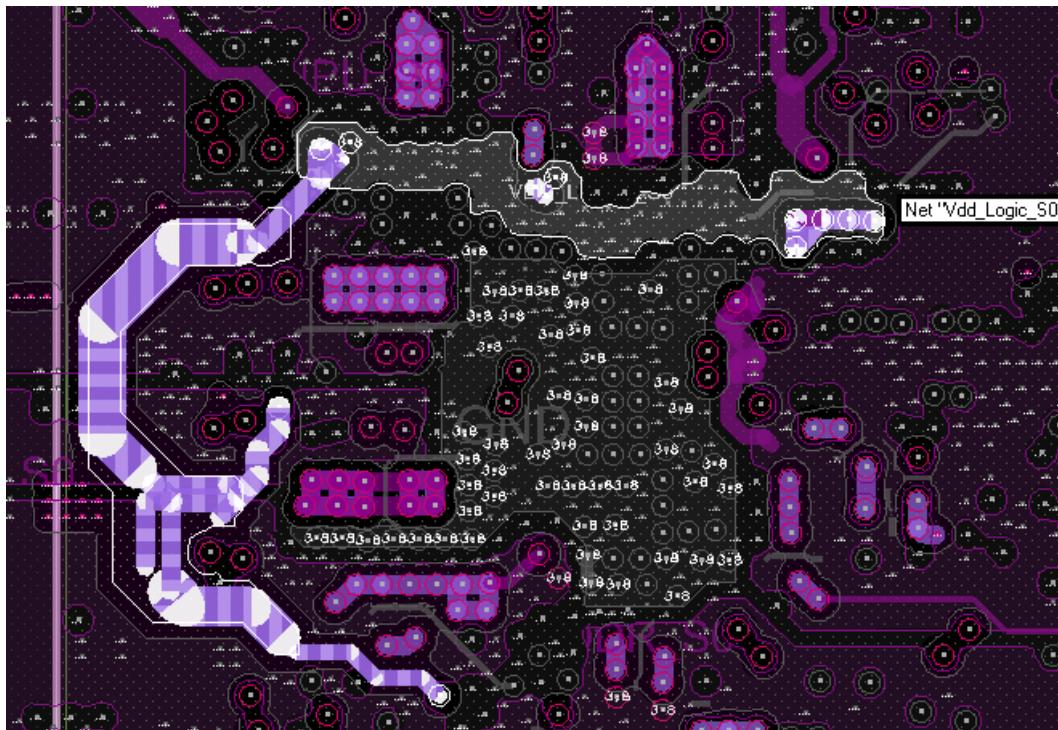


图 3-57 RK3588S 芯片 VDD_LOGIC 芯片低下电源换层覆铜情况

电源过孔 40mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量, 建议 ≥ 10 。



图 3-58 LOGIC 电源地过孔放置图

LOGIC 电源 PDN 目标阻抗建议值如下表:

表 3-8 LOGIC 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.025
1Mhz ~30Mhz	≤ 0.035
30Mhz~100Mhz	≤ 0.1

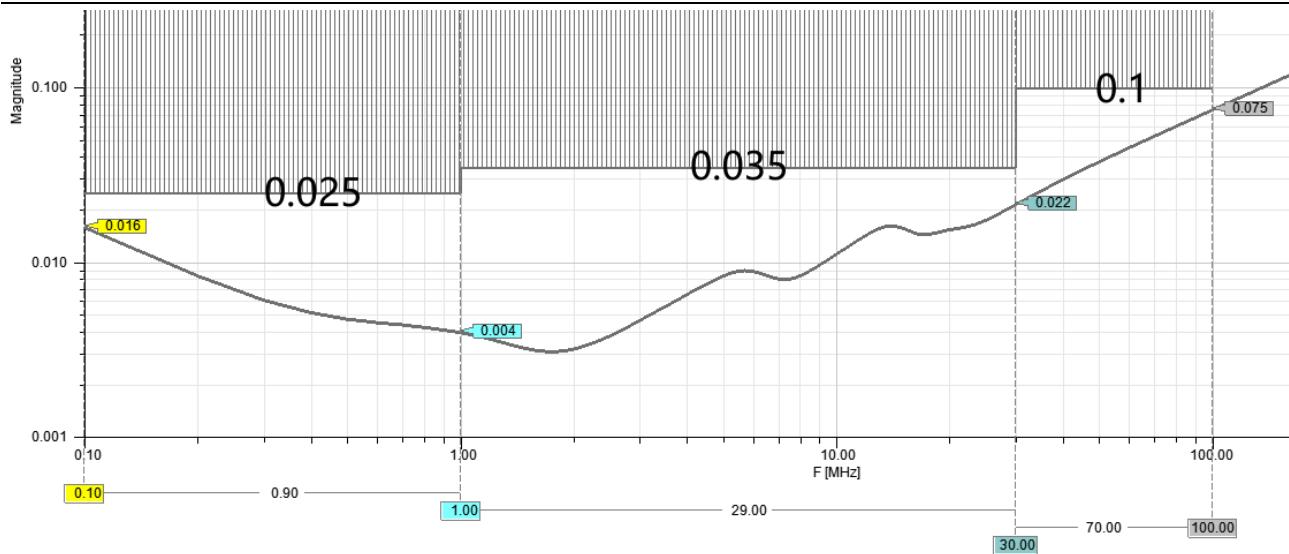


图 3-59 LOGIC 电源建议 PDN 要求

3.4.2.7 RK3588S VDD_GPU 电源 PCB 设计

VDD_GPU 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_GPU 的电源在外围换层时，要尽可能的多打电源过孔（10 个以上 $0.5 \times 0.3\text{mm}$ 的过孔），降低换层过孔带来的压降；去耦电容的 GND 过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用。

RK3588S 芯片 VDD_GPU 的电源管脚就近放置过孔，并且顶层将 ball 和过孔通过走线连在一起，建议走线线宽 8mil。

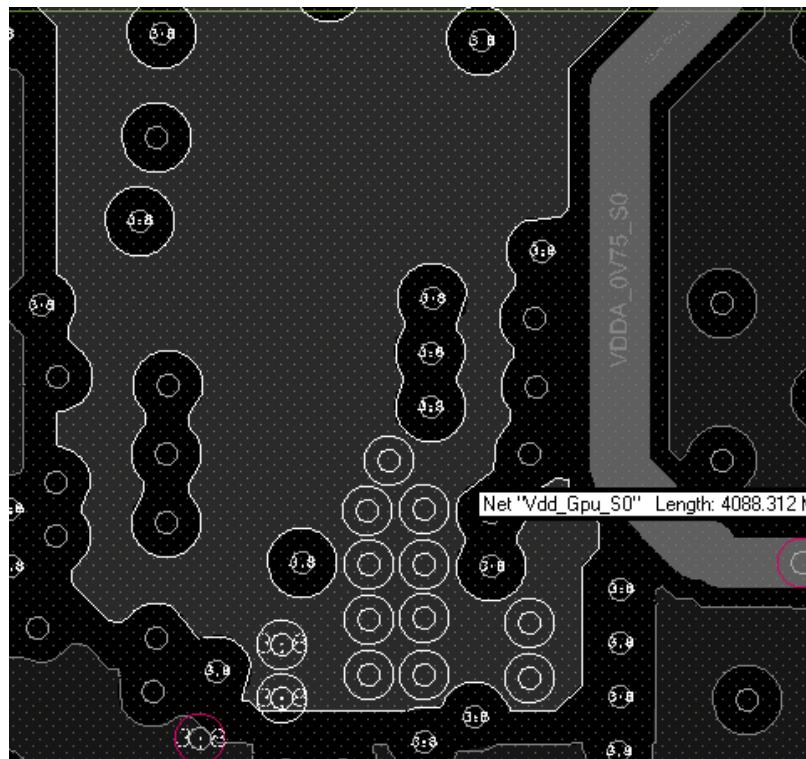


图 3-60 RK3588S 芯片 VDD_GPU 的电源管脚走线和过孔

原理图上靠近 RK3588S 的 VDD_GPU 电源管脚的去耦电容务必放在对应的电源管脚背面，电容的 GND pad 尽量靠近芯片中心的 GND Ball 放置，其余的去耦电容尽量靠近 RK3588S。

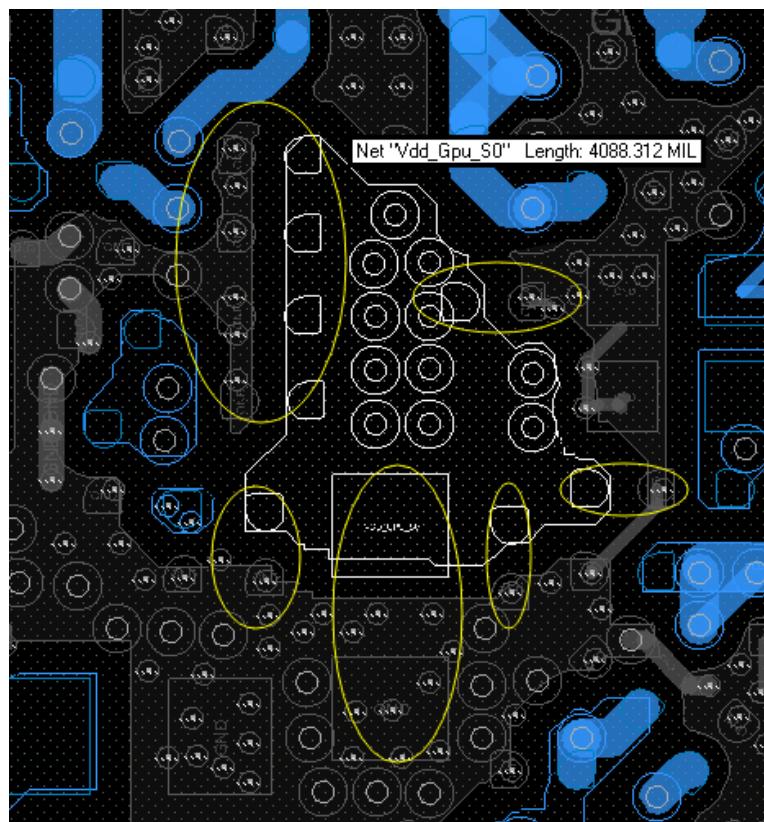


图 3-61 RK3588S 芯片 VDD_GPU 的电源管脚背面去耦电容放置情况

VDD_GPU 电源在 GPU 区域线宽不得小于 300mil，外围区域宽度不小于 500mil，采用两层覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）。

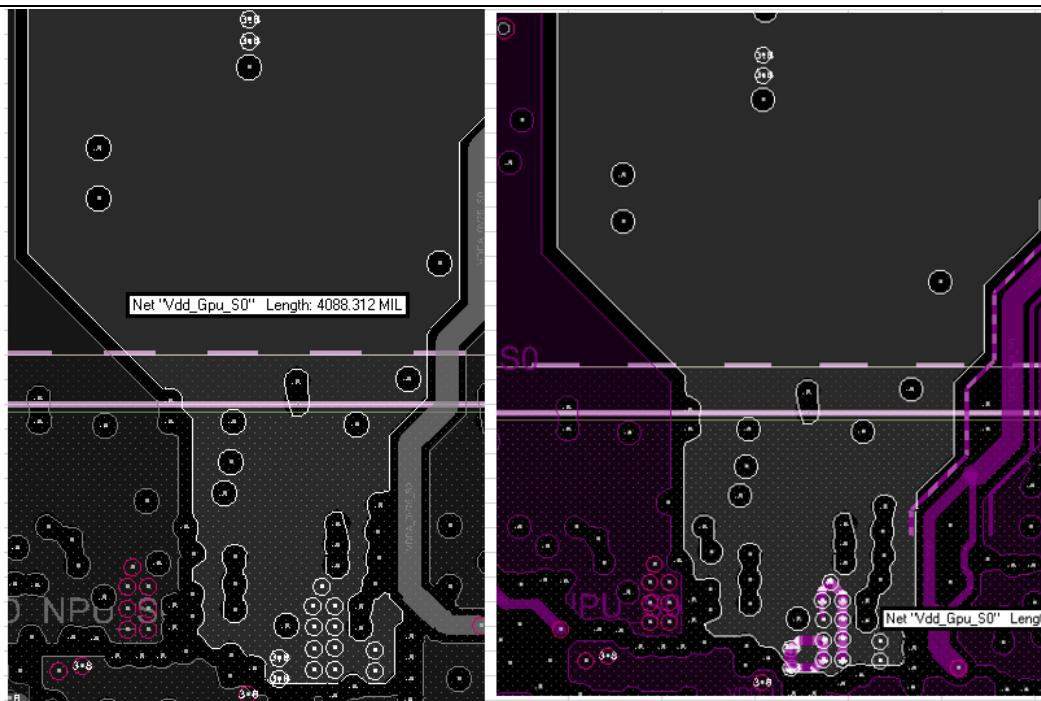


图 3-62 RK3588S 芯片 VDD_GPU 电源层覆铜情况

电源过孔 40mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量, 建议 ≥ 13 。

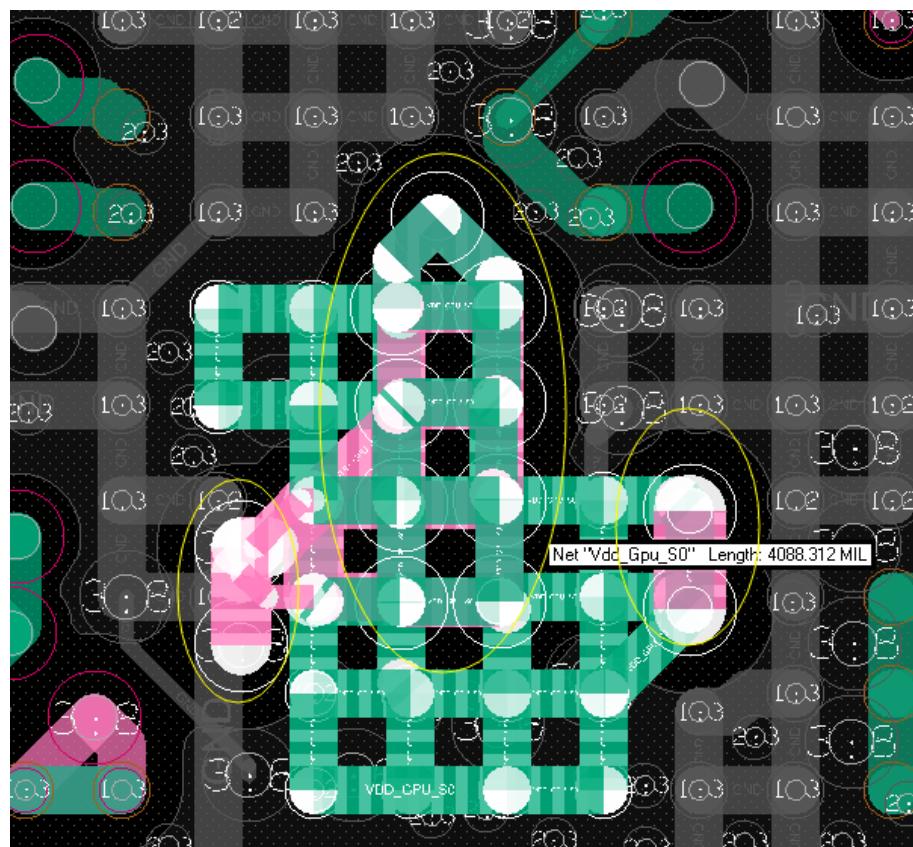


图 3-63 GPU 电源地过孔放置图

GPU 电源 PDN 目标阻抗建议值如下表:

表 3-9 GPU 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.025
1Mhz ~30Mhz	≤ 0.035
30Mhz~100Mhz	≤ 0.12

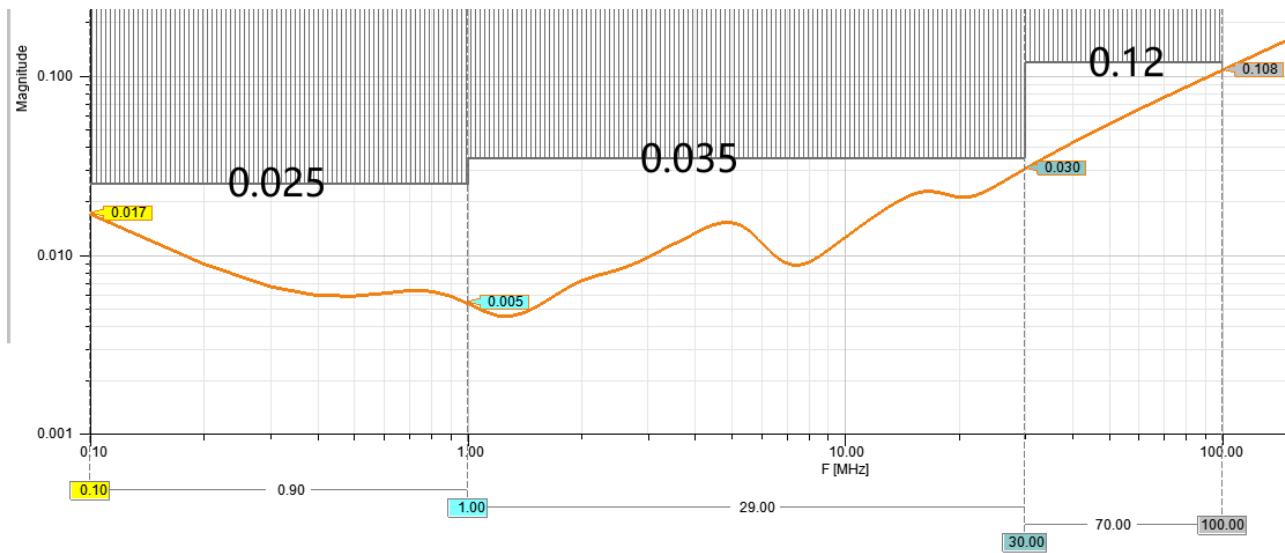


图 3-64 GPU 电源建议 PDN 要求

3.4.2.8 RK3588S VDD_NPU 电源 PCB 设计

VDD_NPU 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_NPU 的电源在外围换层时，要尽可能的多打电源过孔（7 个以上 $0.5 \times 0.3\text{mm}$ 的过孔），降低换层过孔带来的压降；去耦电容的 GND 过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用。

RK3588S 芯片 VDD_NPU 的电源管脚就近放置过孔，并且顶层将 ball 和过孔通过走线连在一起，建议走线线宽 8mil。



图 3-65 RK3588S 芯片 VDD_NPU 的电源管脚走线和过孔

原理图上靠近 RK3588S 的 VDD_NPU 电源管脚的去耦电容务必放在对应的电源管脚背面，电容的 GND pad 尽量靠近芯片中心的 GND Ball 放置，其余的去耦电容尽量靠近 RK3588S。



图 3-66 RK3588S 芯片 VDD_NPU 的电源管脚背面去耦电容放置情况

VDD_NPU 电源在 NPU 区域线宽不得小于 300mil，外围区域宽度不小于 500mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于

地层的覆铜）。

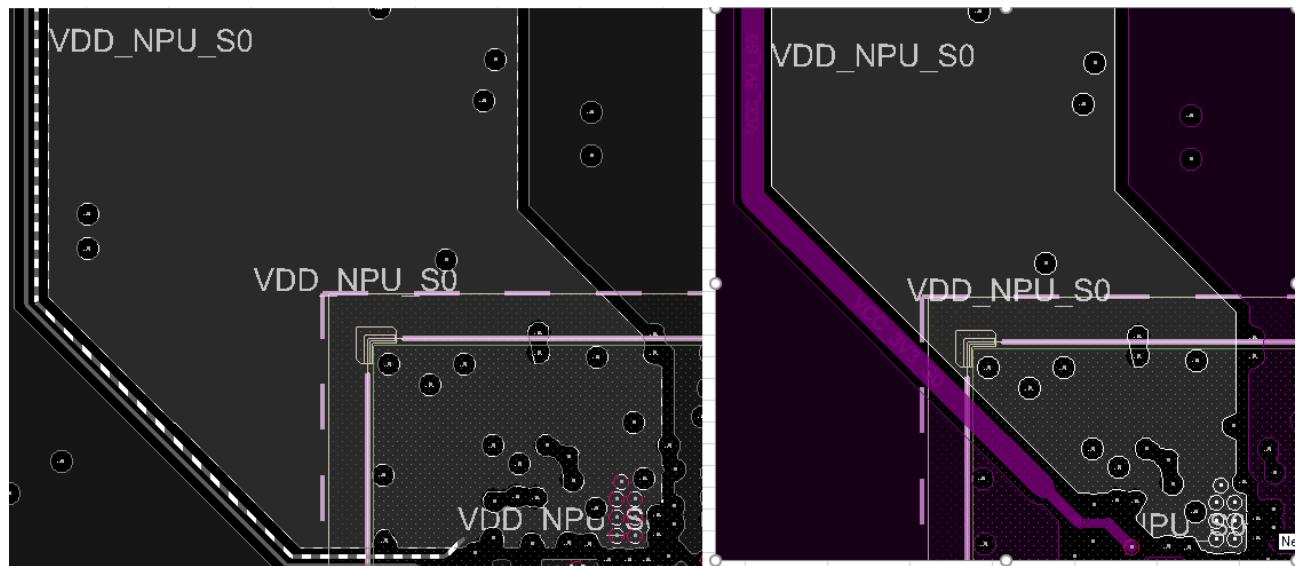


图 3-67 RK3588S 芯片 VDD_NPU 电源层覆铜情况

电源过孔 40mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量, 建议 ≥ 9 。

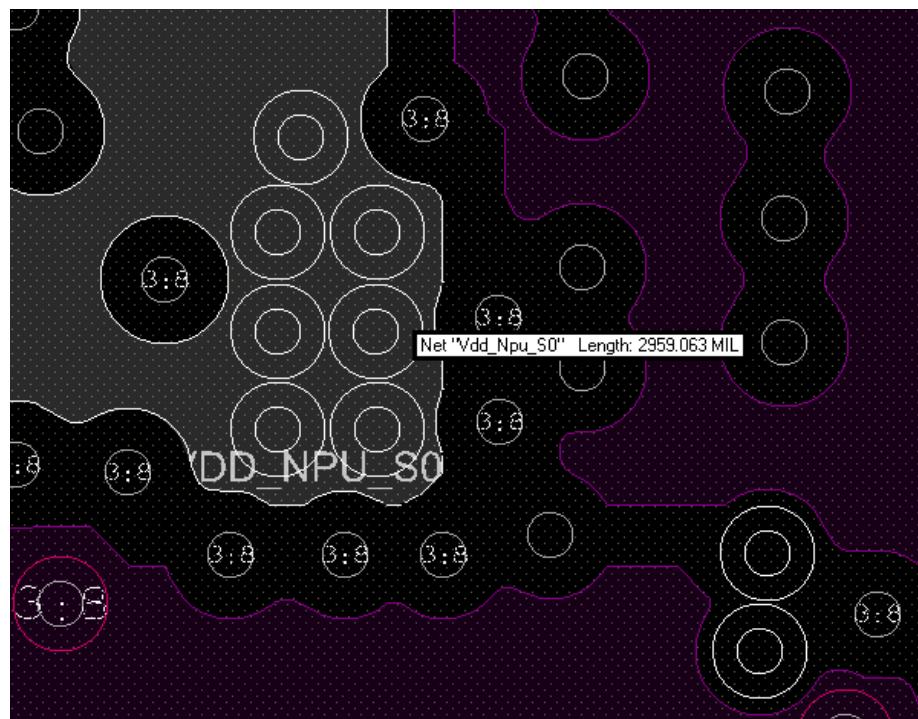


图 3-68 NPU 电源地过孔放置图

NPU 电源 PDN 目标阻抗建议值如下表:

表 3-10 NPU 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.025
1Mhz ~30Mhz	≤ 0.055
30Mhz~100Mhz	≤ 0.17

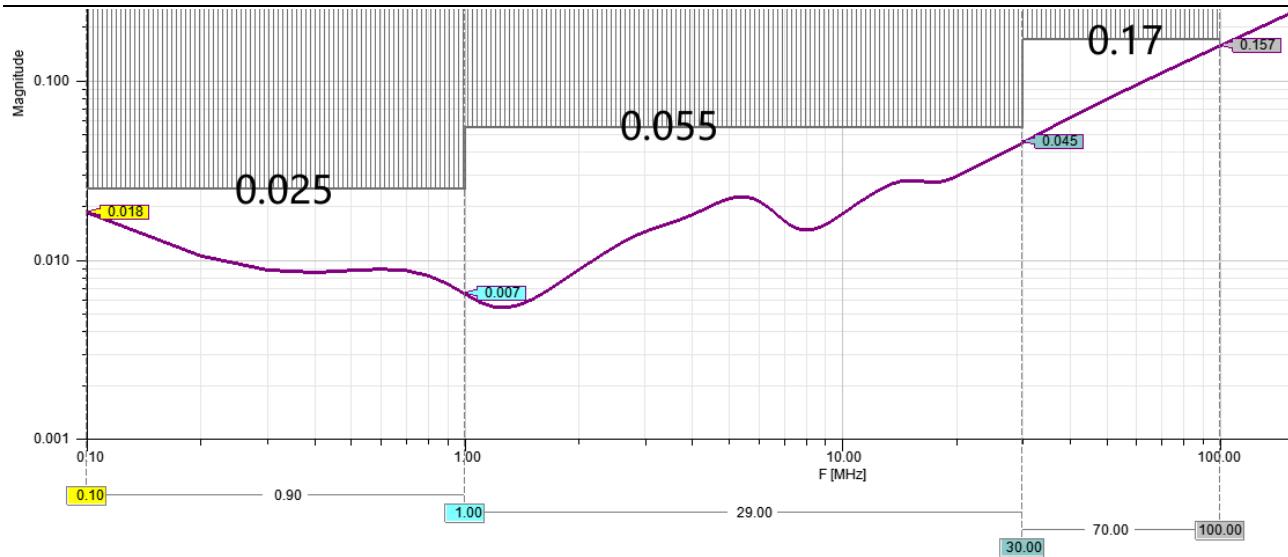


图 3-69 NPU 电源建议 PDN 要求

3.4.2.9 RK3588S VDD_CPU_LIT 电源 PCB 设计

VDD_CPU_LIT 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_CPU_LIT 的电源在外围换层时，要尽可能的多打电源过孔（9 个以上 $0.5 \times 0.3\text{mm}$ 的过孔），降低换层过孔带来的压降；去耦电容的 GND 过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用。

RK3588S 芯片 VDD_CPU_LIT 的电源管脚就近放置过孔，并且顶层将 ball 和过孔通过走线连在一起，建议走线线宽 8mil。



图 3-70 RK3588S 芯片 VDD_CPU_LIT 的电源管脚走线和过孔

原理图上靠近 RK3588S 的 VDD_CPU_LIT 电源管脚的去耦电容务必放在对应的电源管脚背面，电容的 GND pad 尽量靠近芯片中心的 GND Ball 放置，其余的去耦电容尽量靠近 RK3588S。



图 3-71 RK3588S 芯片 VDD_CPU_LIT 的电源管脚背面去耦电容放置情况

VDD_CPU_LIT 电源在 CPU 区域线宽不得小于 120mil，外围区域宽度不小于 300mil，采用双层电源覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）。

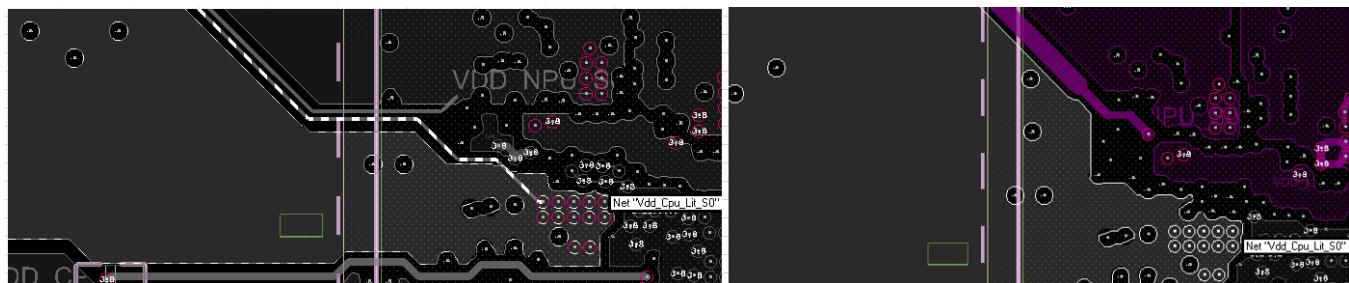


图 3-72 RK3588S 芯片 VDD_CPU_LIT 电源层覆铜情况

电源过孔 40mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量，建议 ≥ 9 。

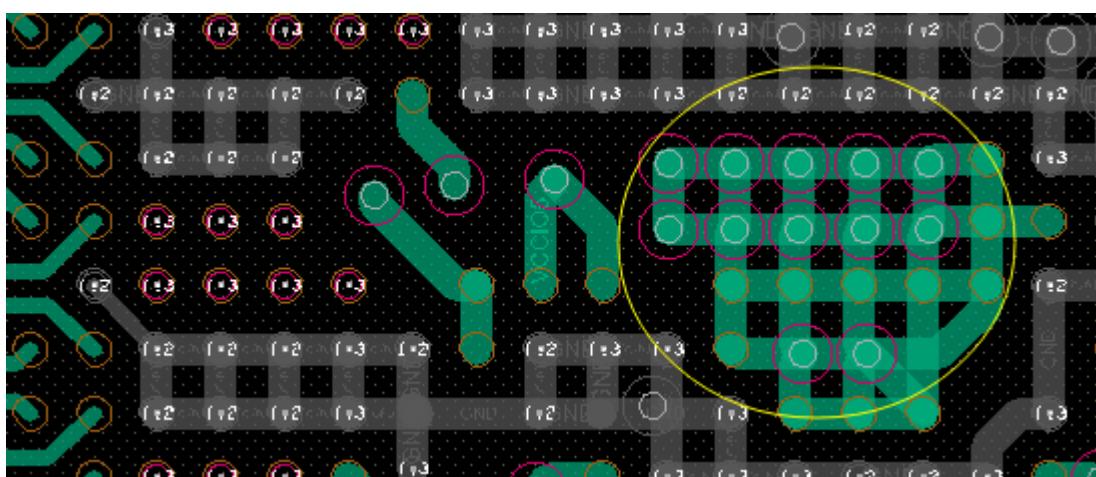


图 3-73 LIT 电源地过孔放置图

LIT 电源 PDN 目标阻抗建议值如下表：

表 3-11 LIT 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.025

1Mhz ~30Mhz	≤ 0.055
30Mhz~100Mhz	≤ 0.17

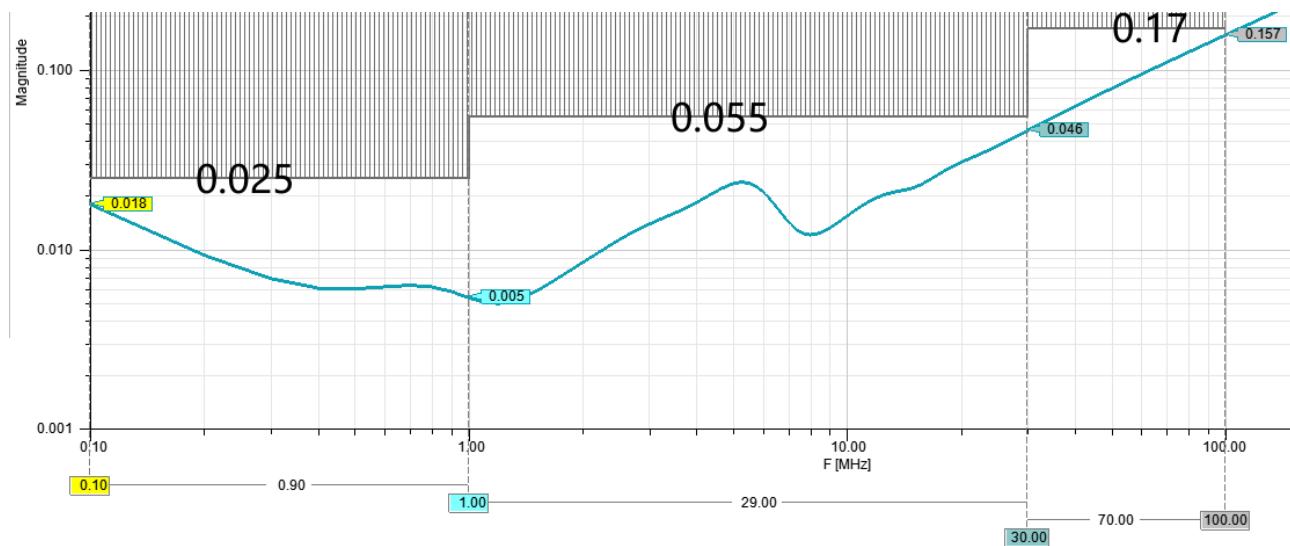


图 3-74 LIT 电源建议 PDN 要求

3.4.2.10 RK3588S VDD_VDENC 电源 PCB 设计

VDD_VDENC 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_VDENC 的电源在外围换层时，要尽可能的多打电源过孔（9 个以上 $0.5*0.3\text{mm}$ 的过孔），降低换层过孔带来的压降；去耦电容的 GND 过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用。

RK3588S 芯片 VDD_VDENC 的电源管脚就近放置过孔，并且顶层将 ball 和过孔通过走线连在一起，建议走线线宽 8mil。

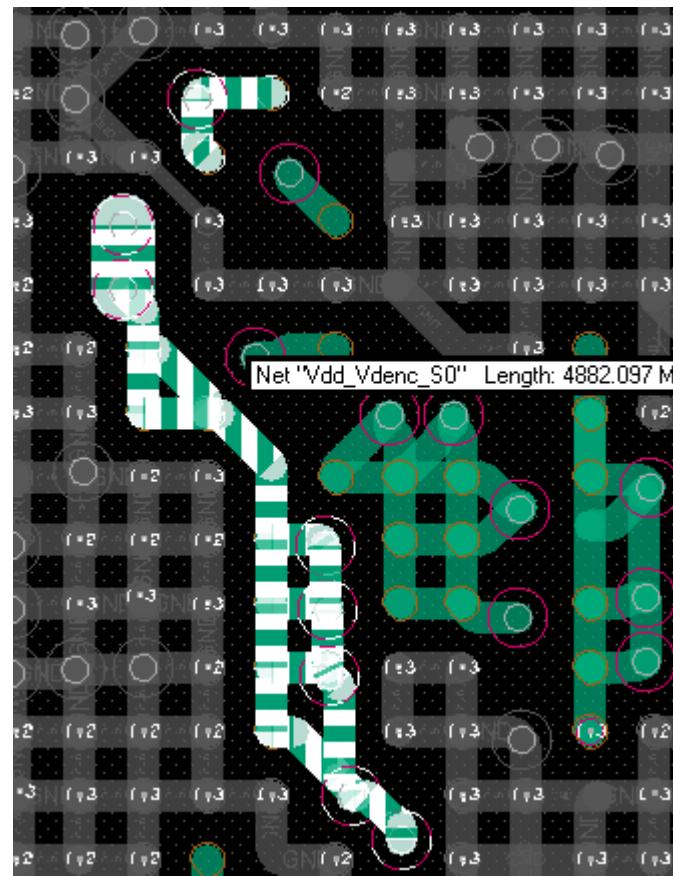


图 3-75 RK3588S 芯片 VDD_VDENC 的电源管脚走线和过孔

原理图上靠近 RK3588S 的 VDD_VDENC 电源管脚的去耦电容务必放在对应的电源管脚背面，电容的 GND pad 尽量靠近芯片中心的 GND Ball 放置，其余的去耦电容尽量靠近 RK3588S。

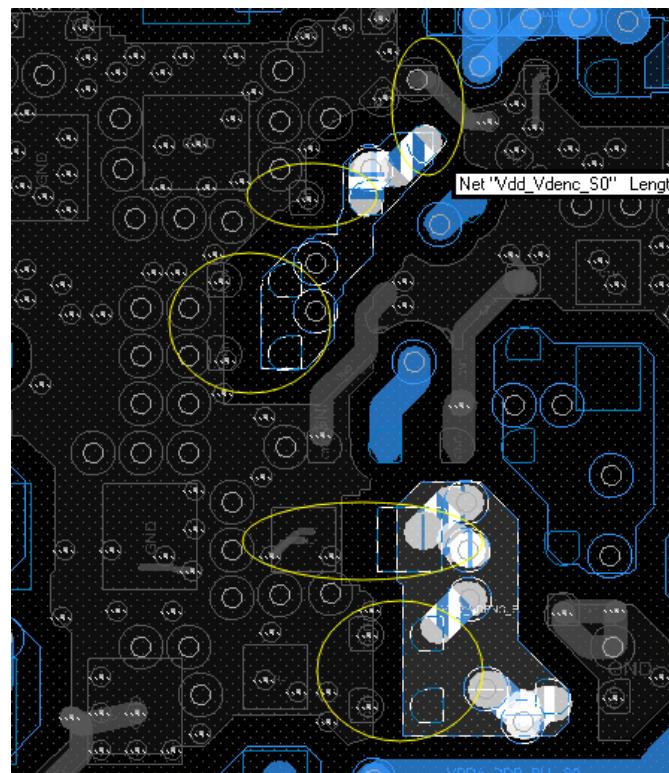


图 3-76 RK3588S 芯片 VDD_VDENC 的电源管脚背面去耦电容放置情况

VDD_VDENC 电源在 CPU 区域线宽不得小于 100mil，外围区域宽度不小于 300mil，采用双层电源覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）。

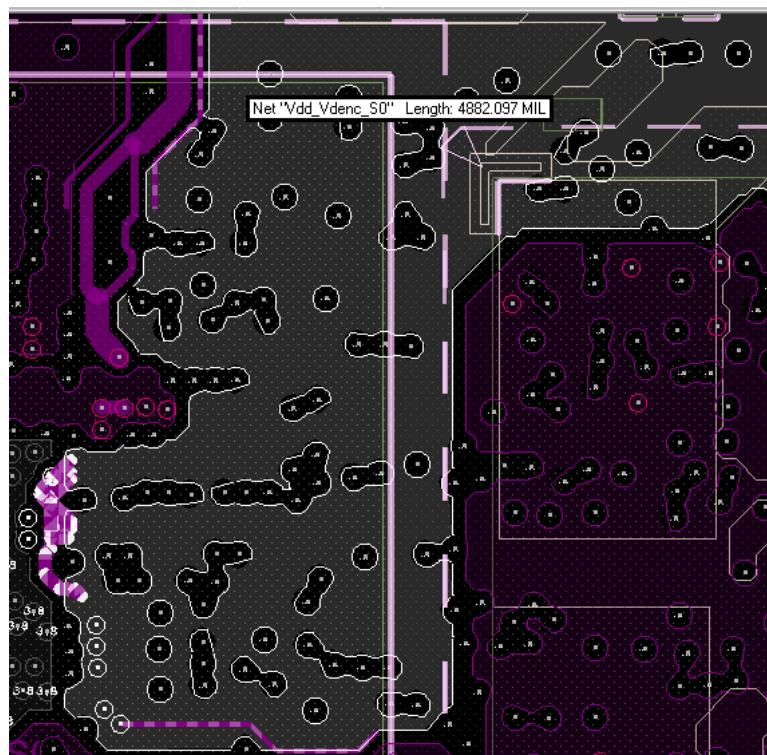


图 3-77 RK3588S 芯片 VDD_VDENC 电源层覆铜情况

电源过孔 30mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量，建议 ≥ 8 。

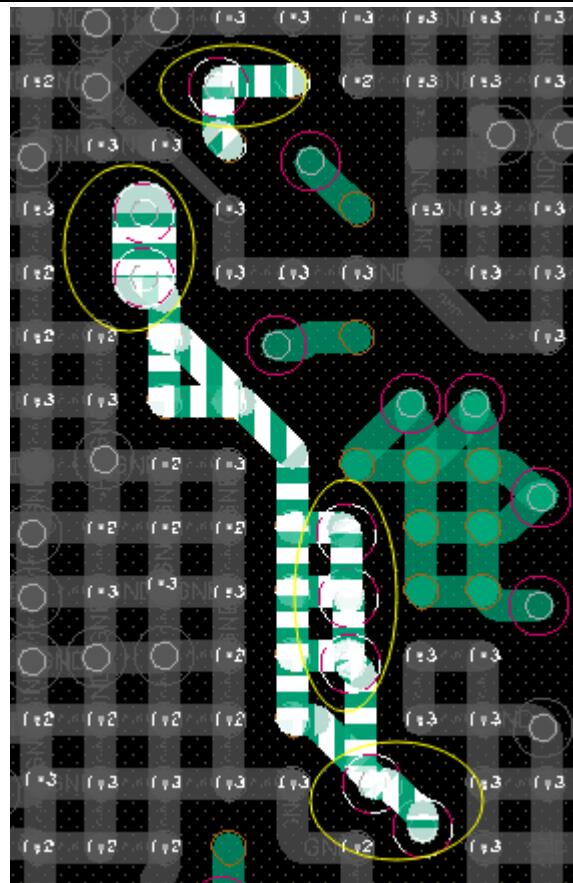


图 3-78 VDENC 电源地过孔放置图

VDENC 电源 PDN 目标阻抗建议值如下表：

表 3-12 VDENC 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.04
1Mhz ~30Mhz	≤0.05
30Mhz~100Mhz	≤0.17

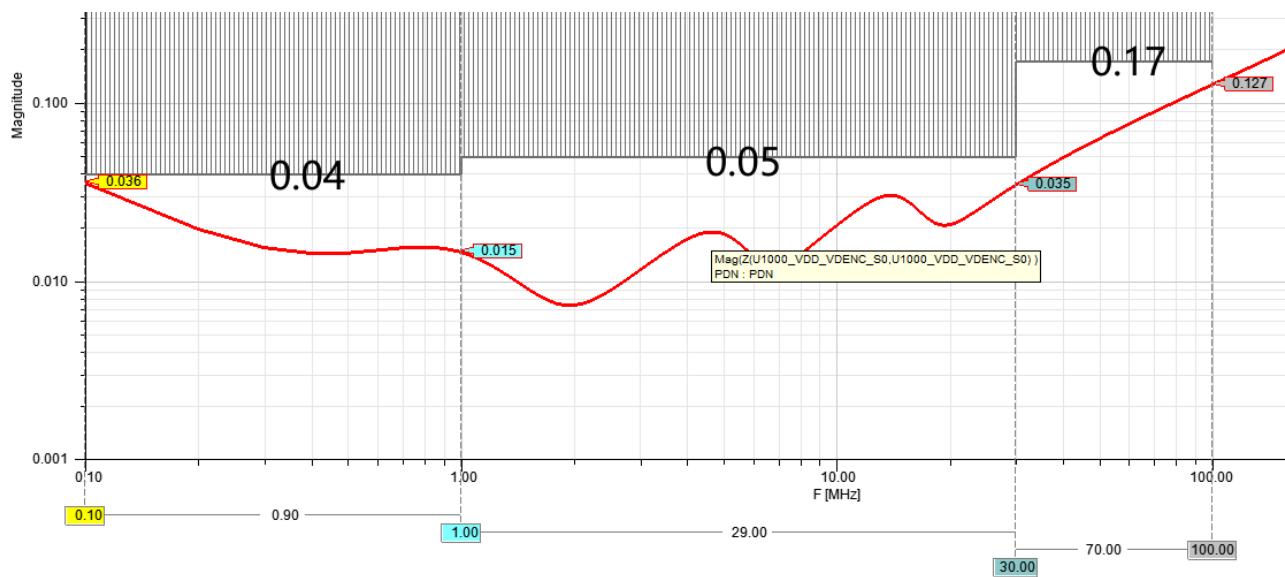


图 3-79 VDENC 电源建议 PDN 要求

3.4.2.11 RK3588S VDD_DDR 电源 PCB 设计

VDD_DDR 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_DDR 的电源在外围换层时，要尽可能的多打电源过孔（9 个以上 $0.5*0.3\text{mm}$ 的过孔），降低换层过孔带来的压降；去耦电容的 GND 过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用。

RK3588S 芯片 VDD_DDR 的电源管脚就近放置过孔，并且顶层将 ball 和过孔通过走线连在一起，建议走线线宽 8mil。

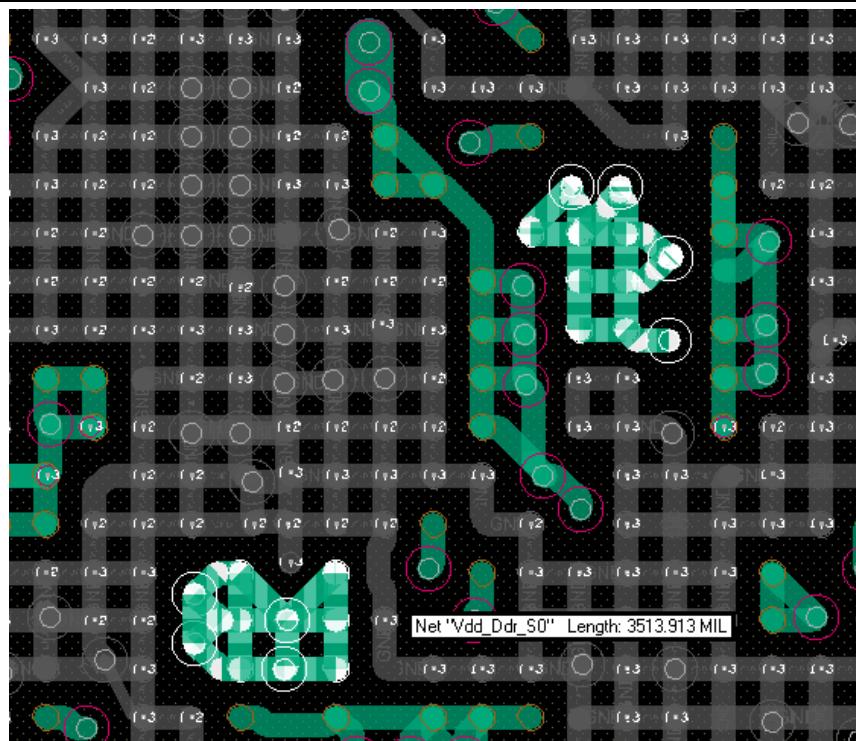


图 3-80 RK3588S 芯片 VDD_DDR 的电源管脚走线和过孔

原理图上靠近 RK3588S 的 VDD_DDR 电源管脚的去耦电容务必放在对应的电源管脚背面，电容的 GND pad 尽量靠近芯片中心的 GND Ball 放置，其余的去耦电容尽量靠近 RK3588S。

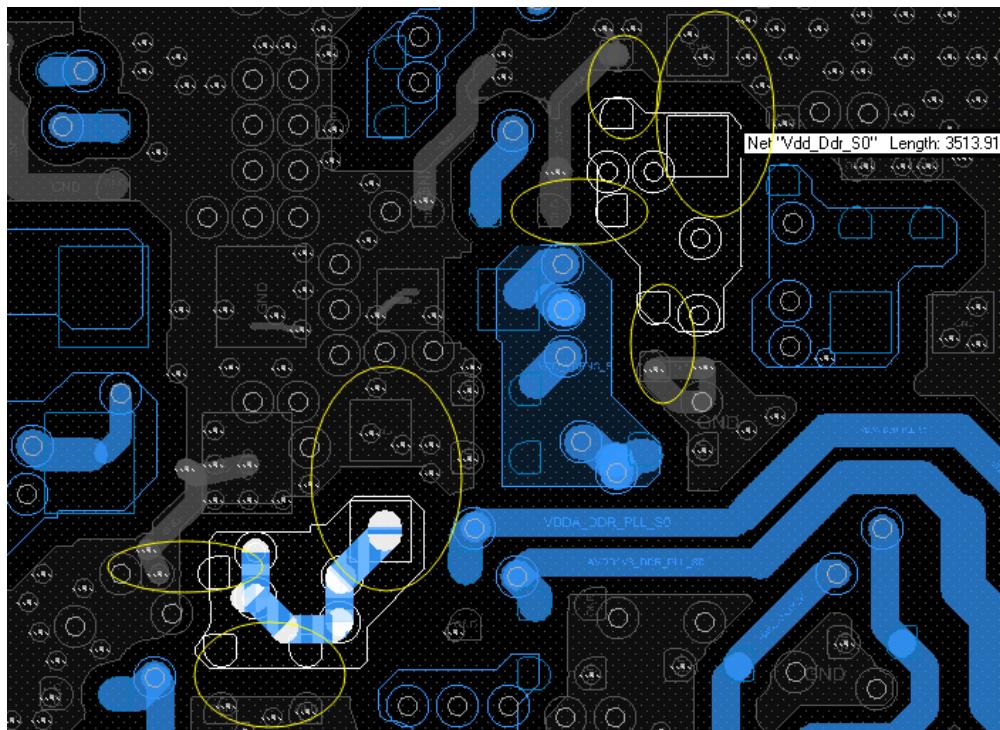


图 3-81 RK3588S 芯片 VDD_DDR&VDDQ_DDR 的电源管脚背面去耦电容放置情况

VDD_DDR 电源在 CPU 区域线宽不得小于 120mil，外围区域宽度不小于 200mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）。

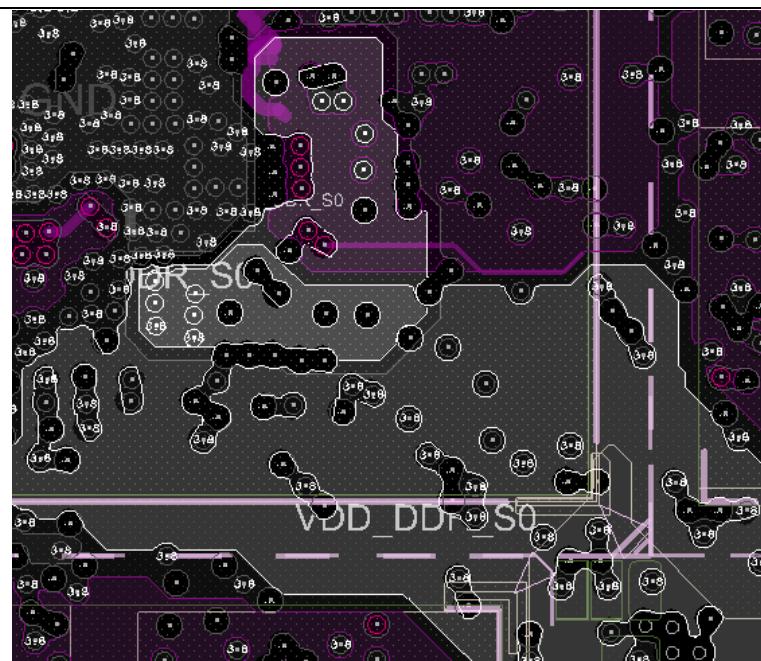


图 3-82 RK3588S 芯片 VDD_DDR&VDDQ_DDR 电源层覆铜情况

3.4.2.12 RK3588S GND 管脚 PCB 设计

RK3588S 芯片的 GND 管脚，尽量每个 Ball 对应一个过孔，提供更优的 SI, PI 条件，以及对散热也有帮助。

RK3588S 芯片的相邻层必须是一个完整的 GND 平面，保证主参考地靠近 CPU 的 Ball，用于保证电源完整性以及加强 PCB 的散热。

RK3588S 芯片下方相同网络的 GND Ball 在顶层走“井”字形，建议走线线宽 8mil。

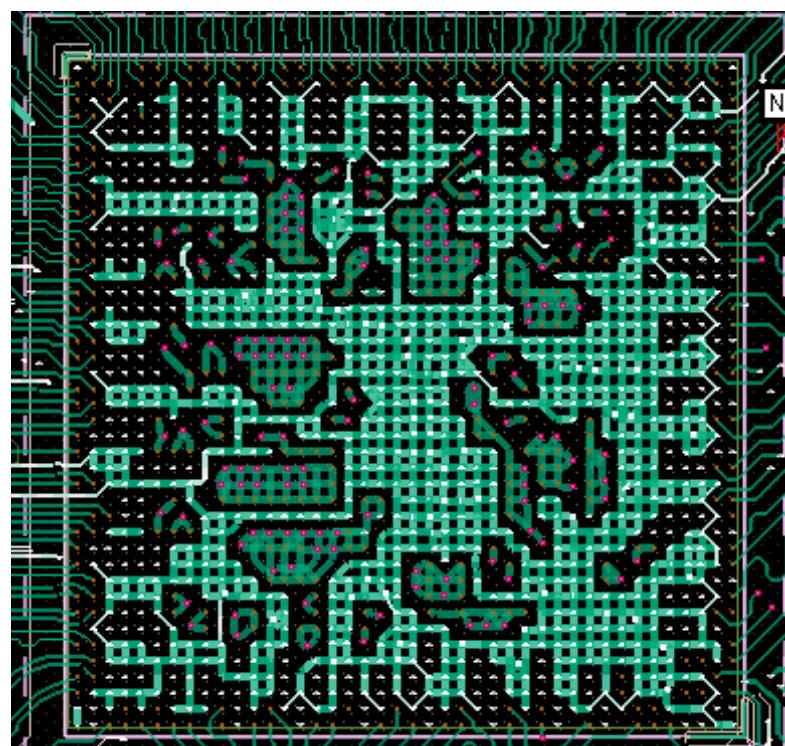


图 3-83 RK3588S 芯片 VSS 的管脚走线和过孔

如图, GND 层的覆铜情况, RK3588S 芯片中间的地有大面积的铜皮和外面地铜皮连接, 一方面有利于电源, 信号完整性, 另外一方面有利于芯片散热。

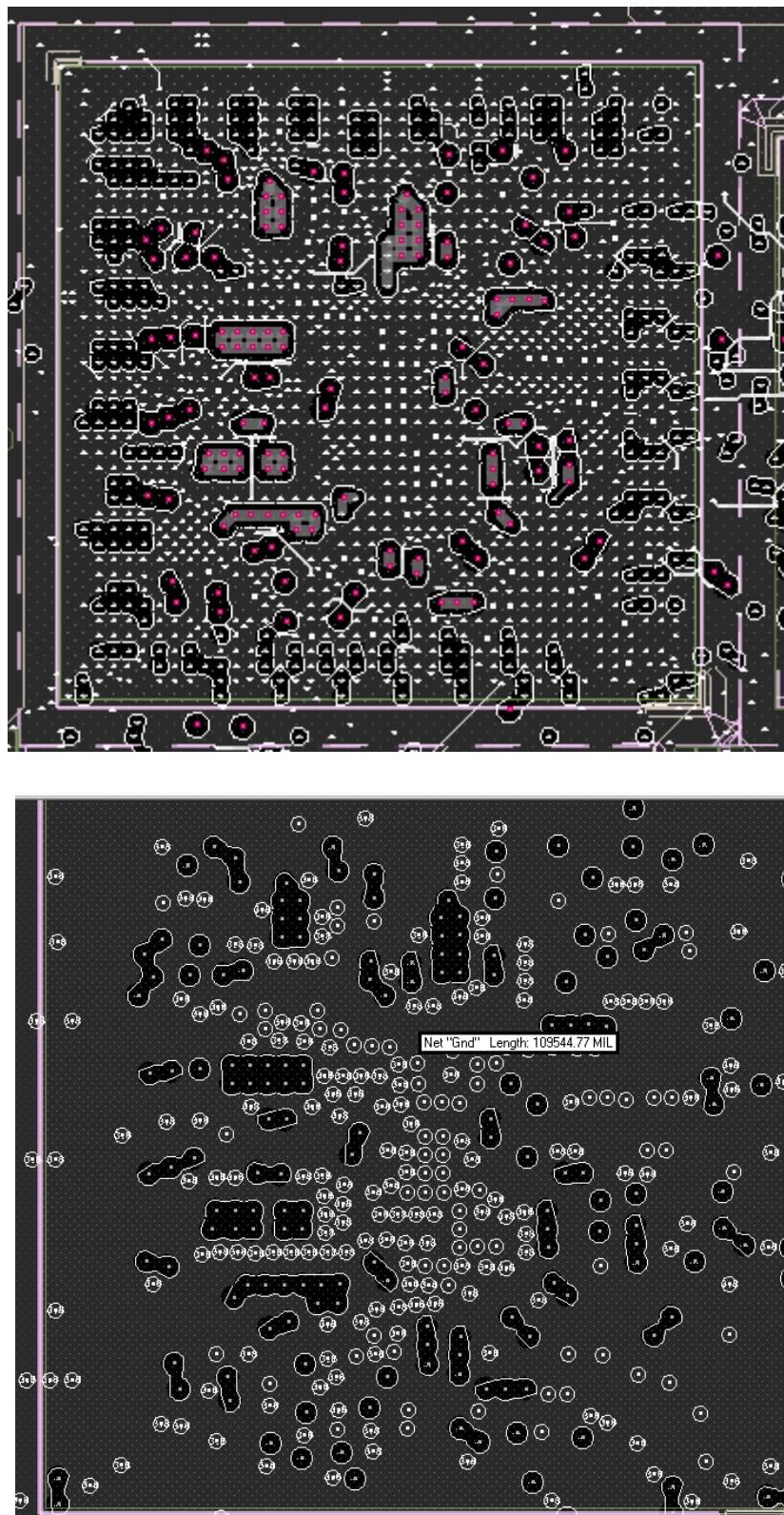


图 3-84 RK3588S 芯片地层覆铜情况

3.4.2.13 RK3588S 其它电源的 PCB 设计

RK3588S 其它电源的去耦电容，必须放在芯片管脚背面，走线时，尽量形成先经过电容焊盘再到芯片管脚。

3.4.2.14 DRAM 电路 PCB 设计（10 层 HDI PCB）

由于 RK3588S DDR 接口速率 $\geq 4266\text{bps}$ ，PCB 设计难度大，所以强烈建议使用我们提供的 DDR 模板和对应的 DDR 固件。DDR 模板是经过严格的仿真和测试验证后发布的。如果自己设计 PCB，请参考如下 PCB 设计建议，强烈建议进行仿真优化后再发板。

(1) CPU 管脚，对应的 GND 过孔数量，建议严格参考模板设计，不能删减 GND 过孔。举例 RK 提供的 PCB 模板，CPU 管脚 GND 过孔设计如下图。

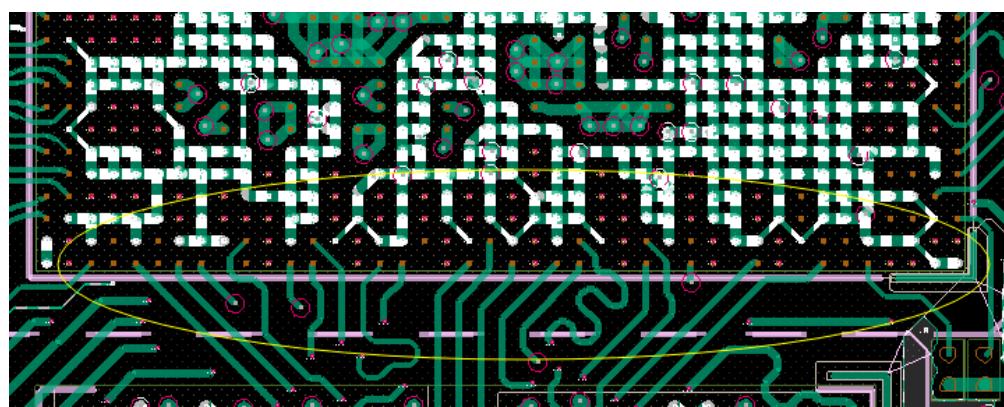


图 3-85

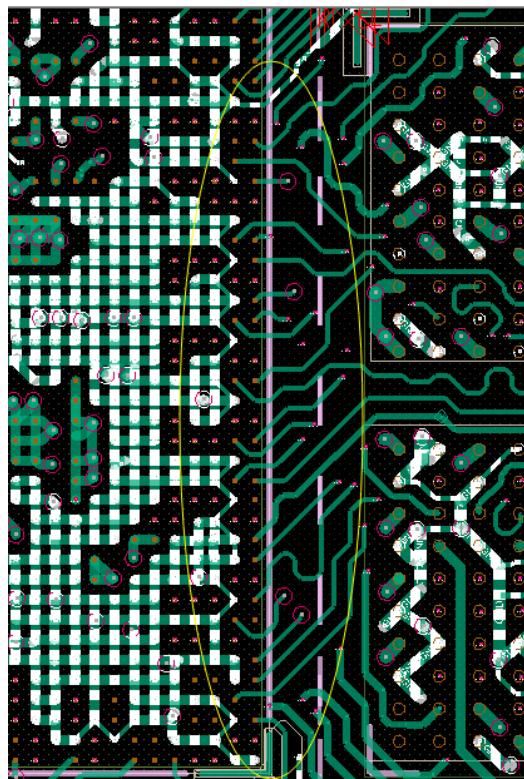


图 3-86

(2) 信号换层前后，参考层都为 GND 平面时，在信号过孔 25mil（过孔和过孔的中心间距）范围内需要添加 GND 回流过孔，改善信号回流路径，GND 过孔需要把信号换层前后 GND 参考平面连接起来。一个信号过孔，至少要有一个 GND 回流过孔，尽可能增加 GND 回流过孔数量，可以进一步改善信号质量。

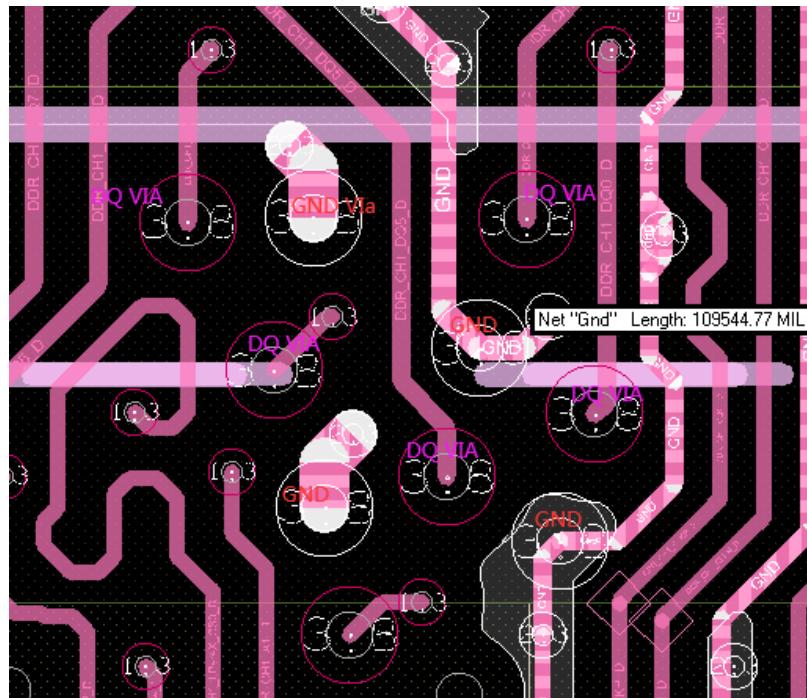


图 3-87

(3) GND 过孔和信号过孔的位置会影响信号质量，建议 GND 和信号过孔交叉放置如下图。如下图虽然同样是 4 个 GND 回流过孔，4 个信号过孔在一起的情况要避免，这种情况下过孔的串扰最大。

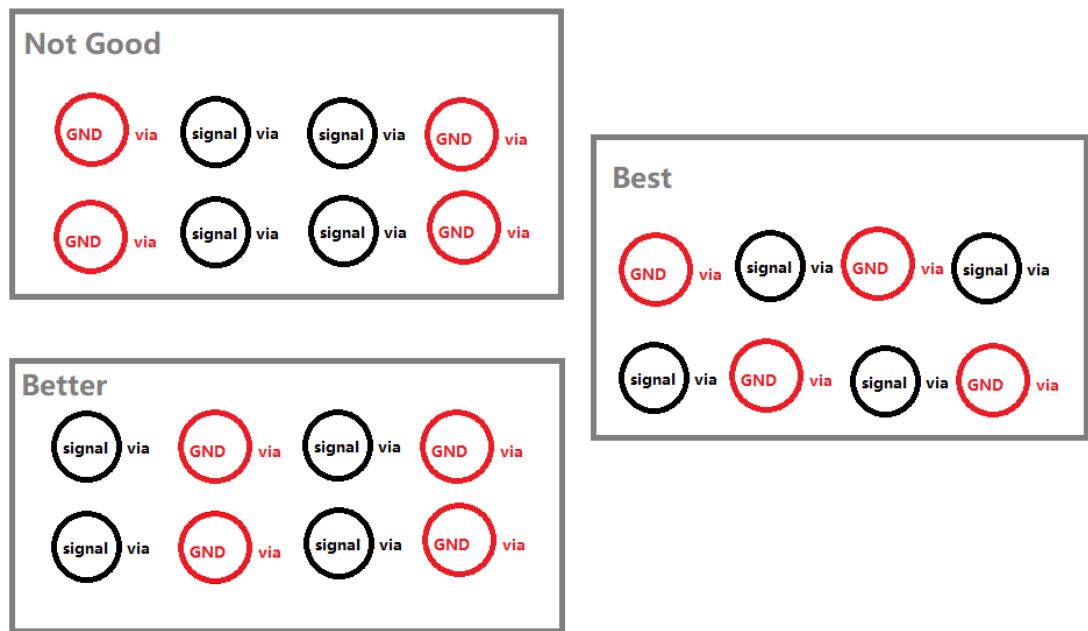


图 3-88

(4) DQ、DQS 信号需要参考完整的 GND 平面。如果 GND 平面不完整，将会对信号质量造成很大的影响。地址和控制信号建议优先选择参考完整的 GND 平面。如果不能满足，当地址和控制信号走内层，

一层参考完整的 GND 平面，一层参考电源平面是可以接受的。

(5) 如下图所示，当过孔导致信号参考层破裂时，可以考虑用 GND 走线优化下参考层，改善信号质量。

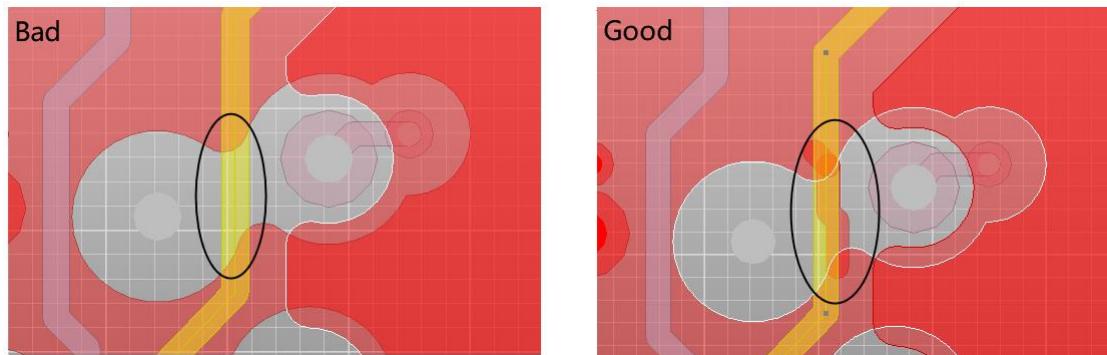


图 3-89

(6) 走线距离参考层的边缘越近，信号的阻抗会越大，走线和参考层边缘的距离建议 $\geq 12\text{mil}$ 。

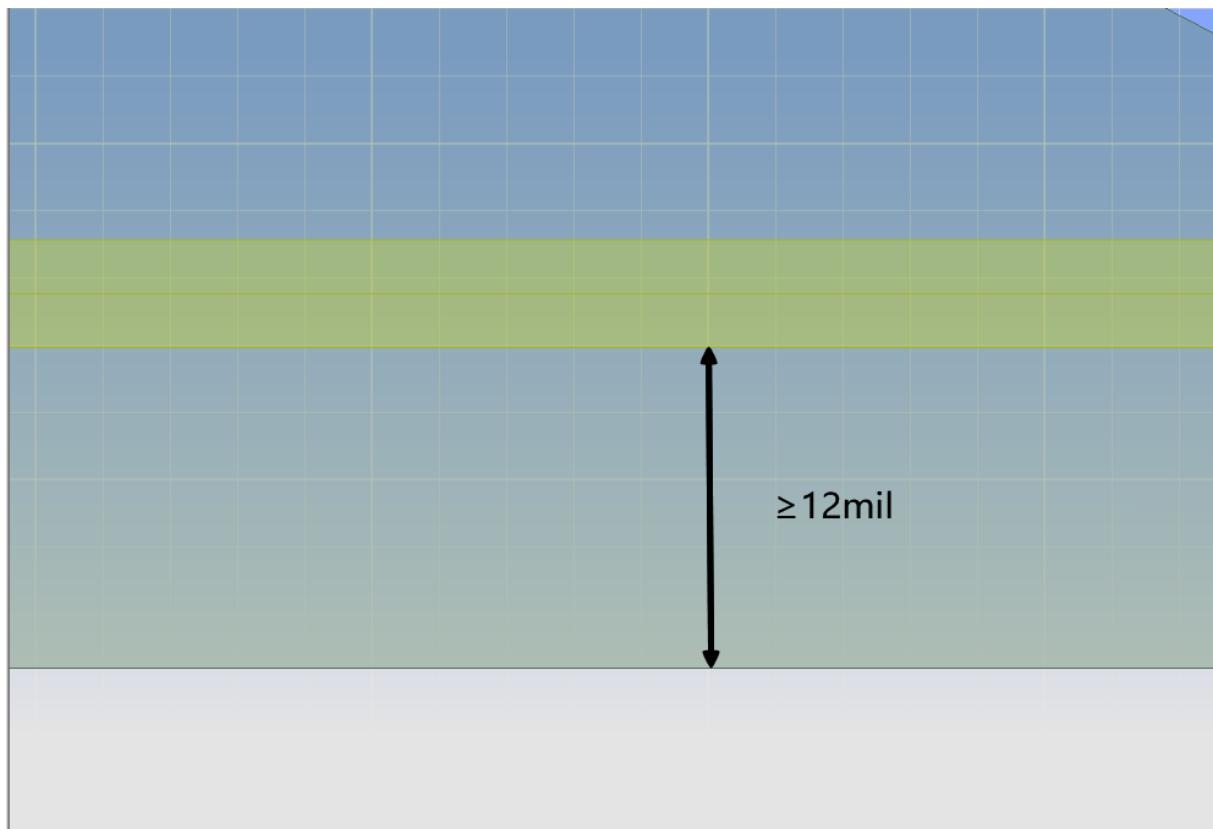


图 3-90

(7) 带状线和微带线的延时不同，微带线差分信号的延时和单端信号不同，带状线差分信号的延时和单端信号的延时差别较小。参考 Demo PCB 设计，DQ、DQS、CLK、WCLK 信号走内层。CKE 信号建议走表层，更好满足 50 欧的目标阻抗，其他地址线和控制线走内层。由于除了 CKE 信号外其他信号都在内层走线，内层信号速率差异不大，PCB 按等长规则设计，PCB 软件设置会比较简单。

(8) 绕线自身的串扰会影响信号延时，走线绕等长时建议 $S \geq 3W$ 。

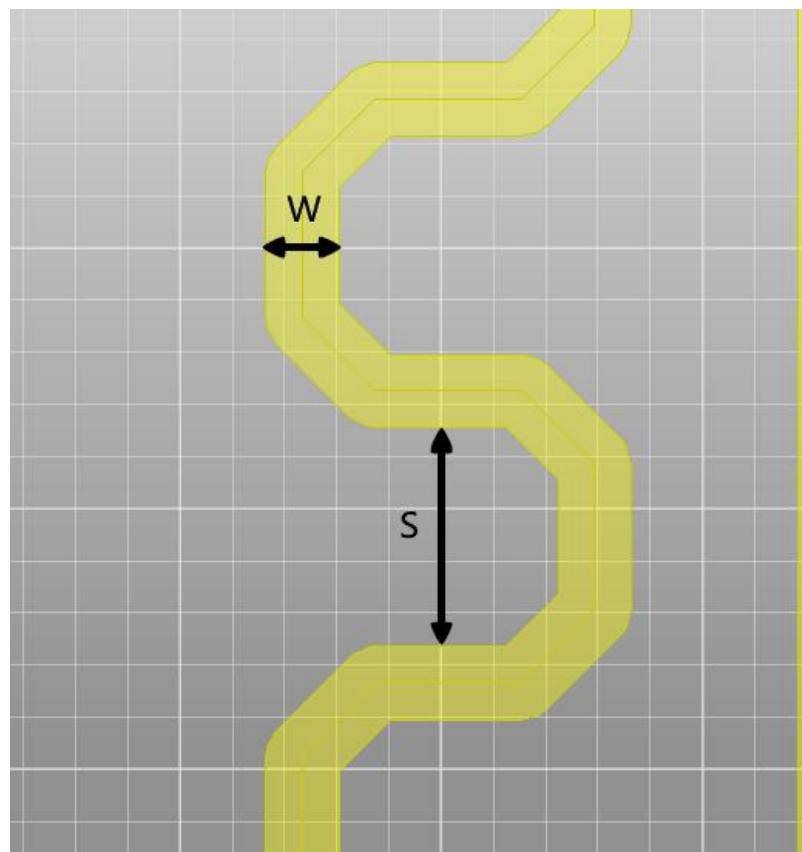


图 3-91

(9) 在做等长时，需要考虑过孔的长度。

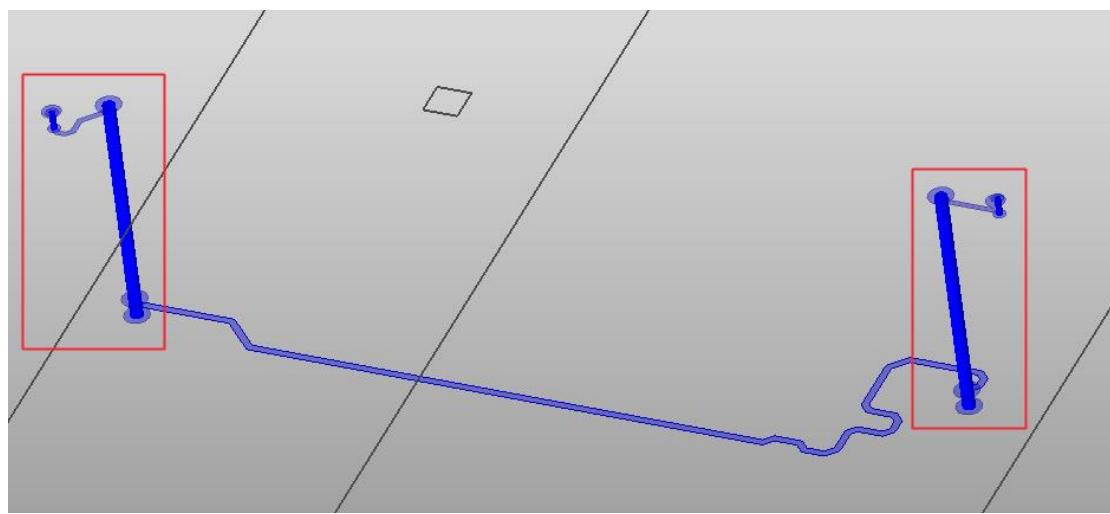


图 3-92

(10) DDR 颗粒区域，一个管脚对应一个 GND 过孔，有空间的地方尽可能增加 GND 过孔。

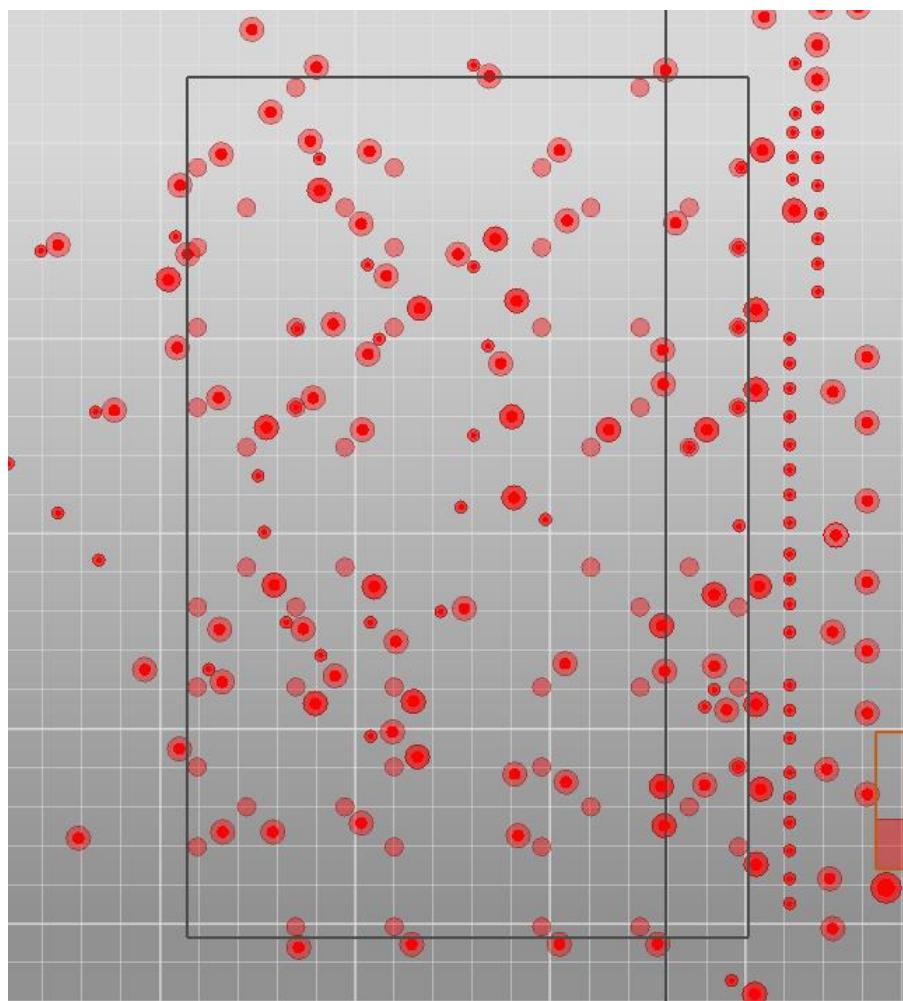


图 3-93

(11) 非功能焊盘会破坏铜皮，以及增大过孔的寄生电容，需要删除过孔的非功能焊盘。

(12) 走线距离过孔越近，参考平面越差，走线距离过孔钻孔的距离建议 $\geq 8\text{mil}$ ，有空间的地方增大间距。

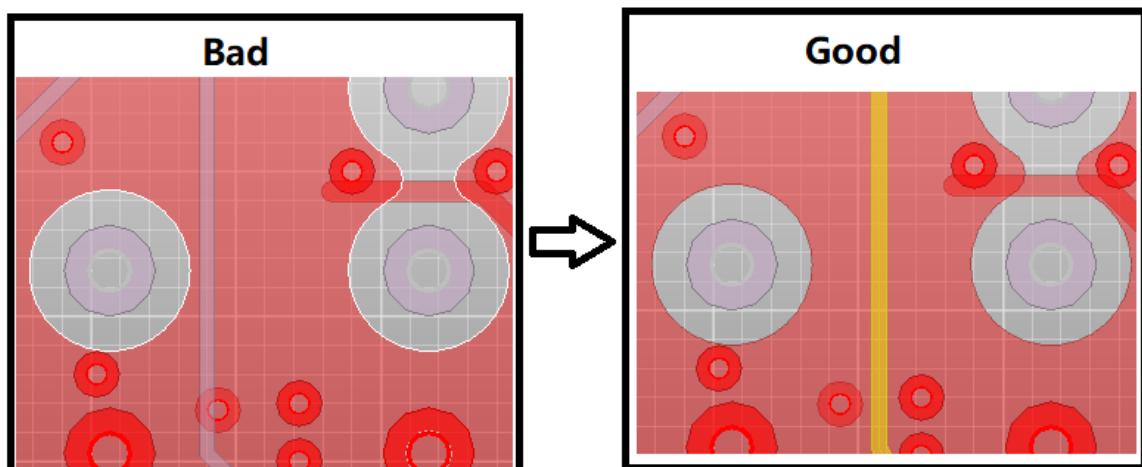


图 3-94

(13) 用走线优化平面的裂缝，可以改善回流路径。

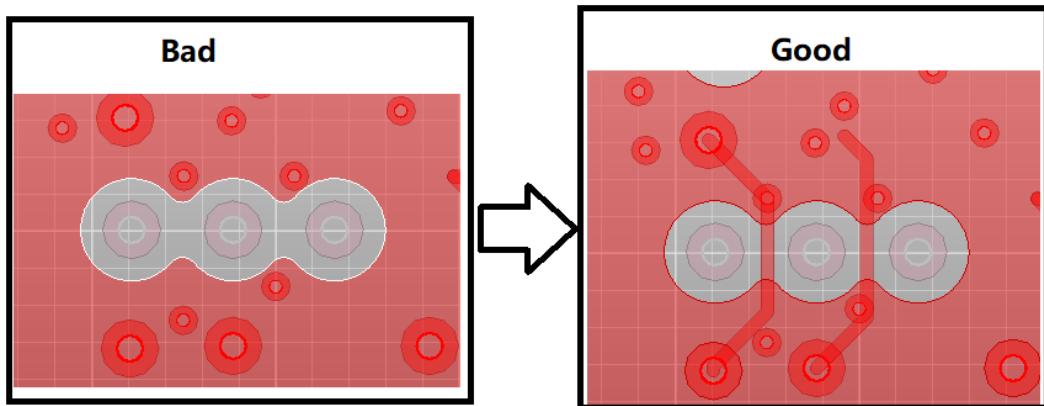


图 3-95

(14) DQS、CLK、WCLK 信号需要做包地处理，包地线或铜皮建议每隔 $\leq 400\text{mil}$ ，打一个 GND 过孔。

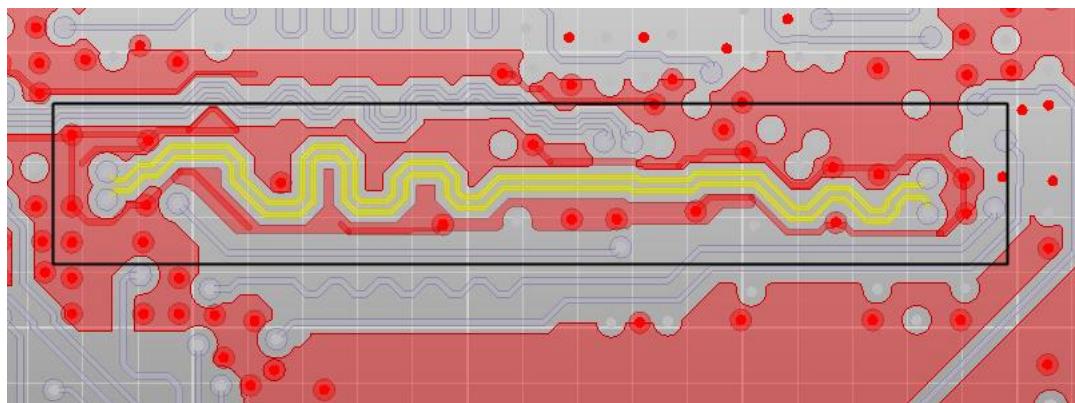


图 3-96

(15) 对于 VDD_DDR_S0 电源，DCDC 区域电源换层时，建议打 ≥ 6 个 0503 过孔。



图 3-97

(16) 对于 VDDQ_DDR_S0 电源，DCDC 区域电源换层时，建议打 ≥ 6 个 0503 过孔。

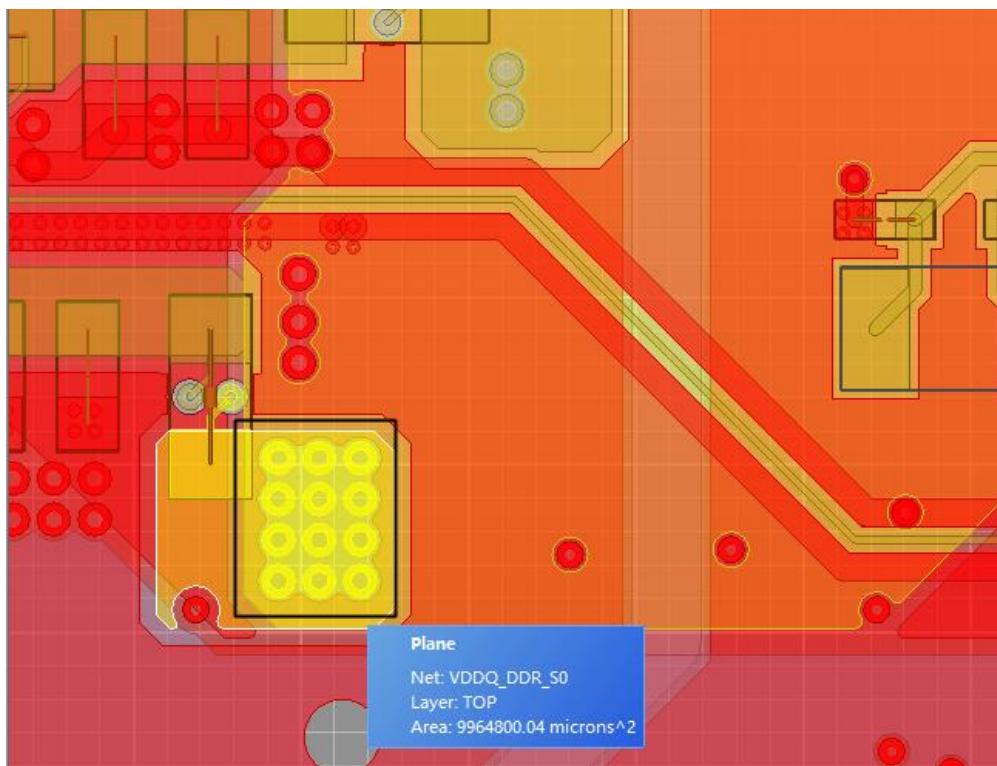


图 3-98

(17) 对于 VDD2_DDR_S3、VDD2H_DDR_S3 电源，DCDC 区域电源换层时，建议打 ≥ 6 个 0503 过孔。举例如下

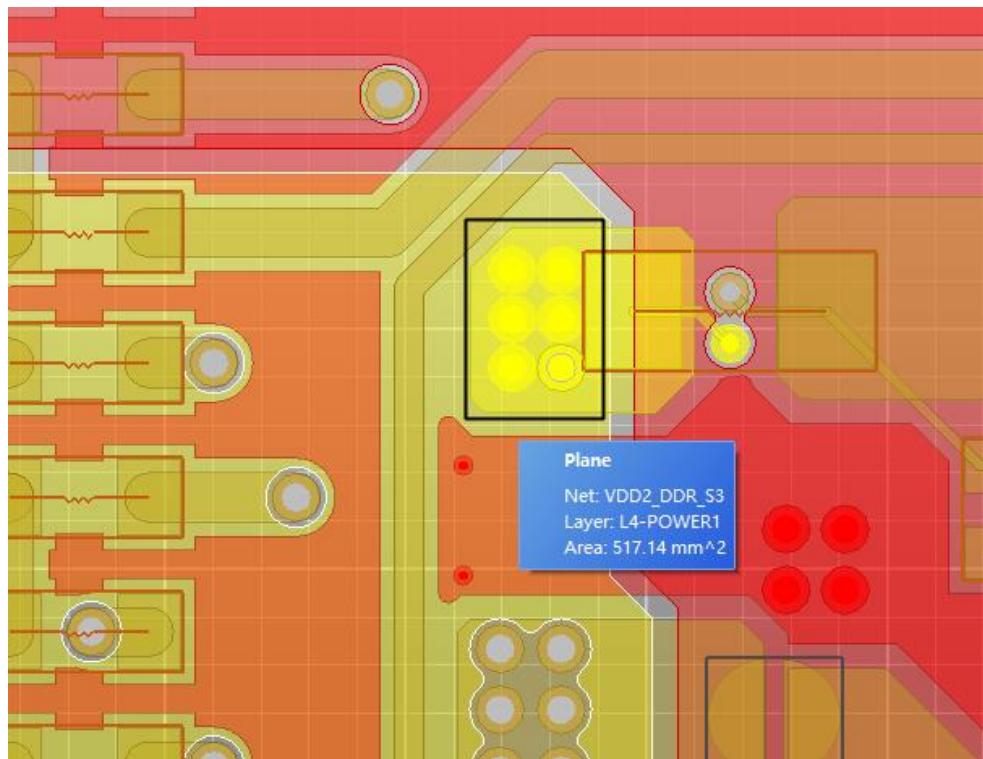


图 3-99

(18) 对于 VDD1_1V8_DDR 电源，电源平面换层时，建议至少打 ≥ 2 个 0402 过孔。

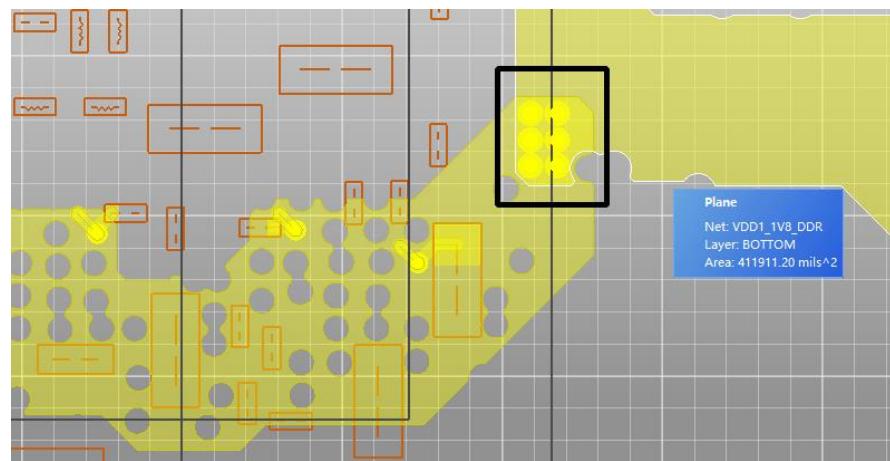


图 3-100

(19) 每个电容焊盘建议至少一个过孔，对于 0603 或者 0805 封装的电容建议一个焊盘对应两个过孔。

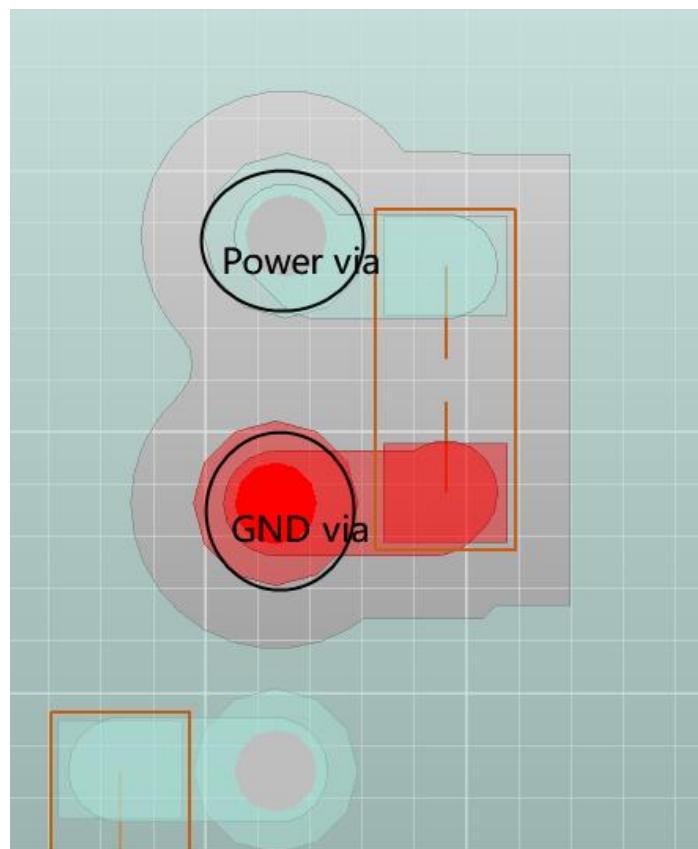


图 3-101

(20) 过孔靠近管脚放置，可以减小回路电感。

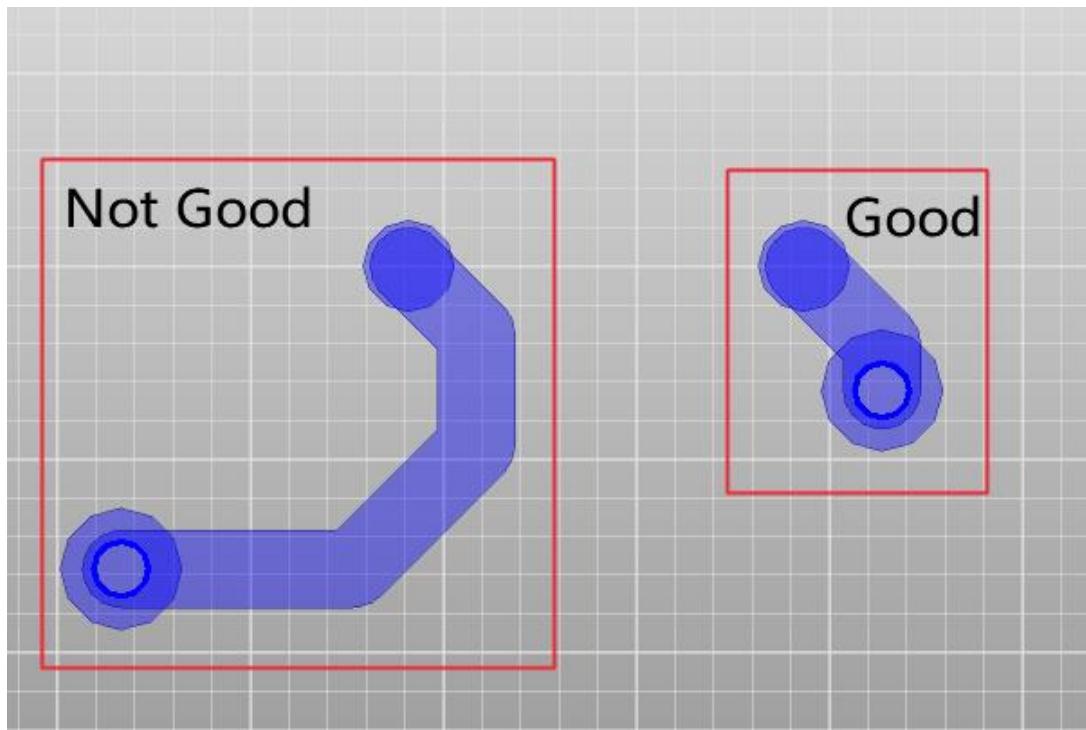


图 3-102

(21) CPU 的 VDDQ_DDR_S0 和 VDD_DDR_S0 管脚对应的电源过孔数量，参考 DDR 模板，不建议删除电源过孔。



图 3-103

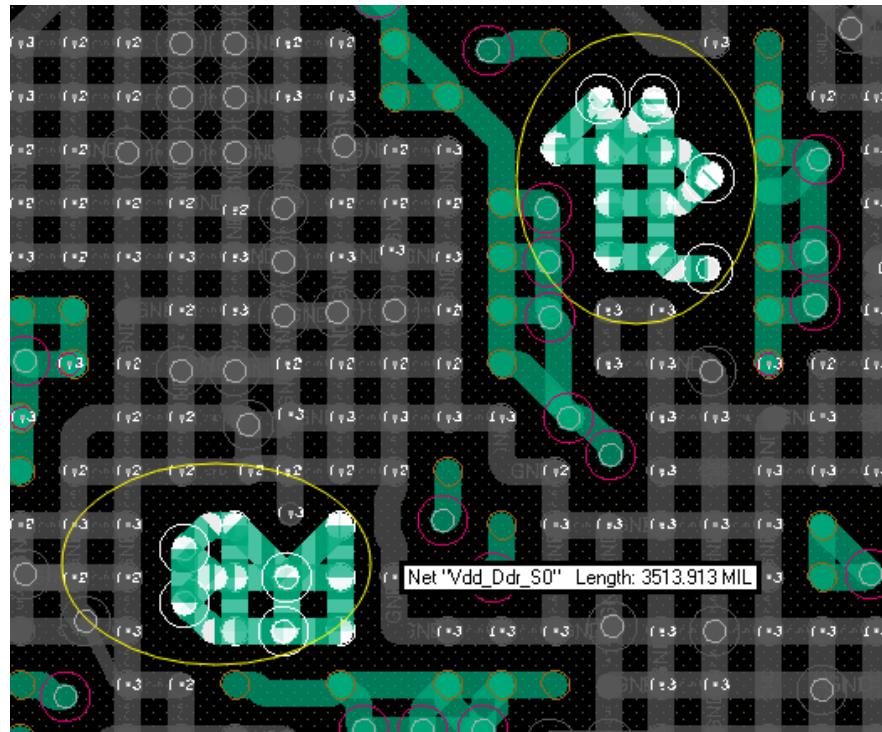


图 3-104

(22) DDR 颗粒的 VDDQ_DDR、VDD2_DDR_S3、VDD1_1V8_DDR 电源，建议一个管脚，对应一个电源通孔，举例如下。

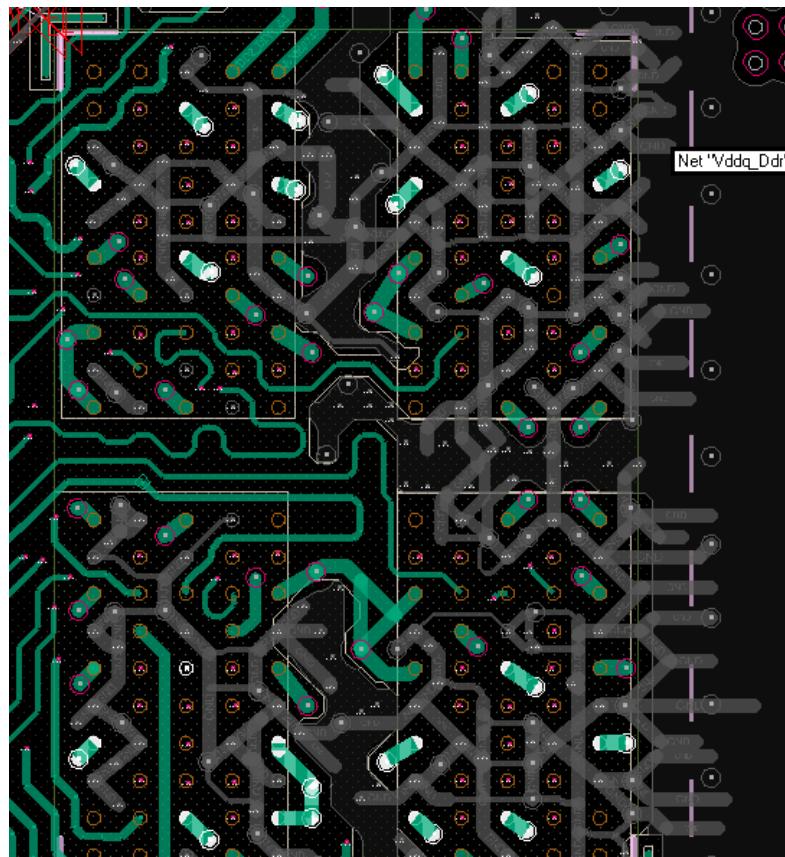


图 3-105

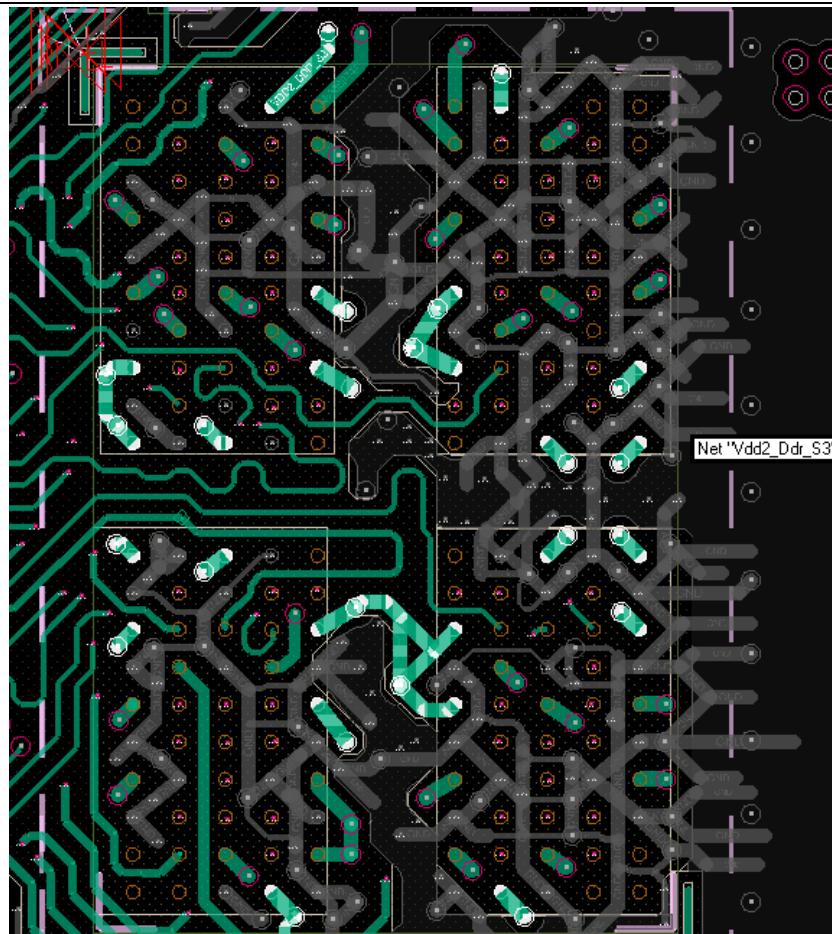


图 3-106

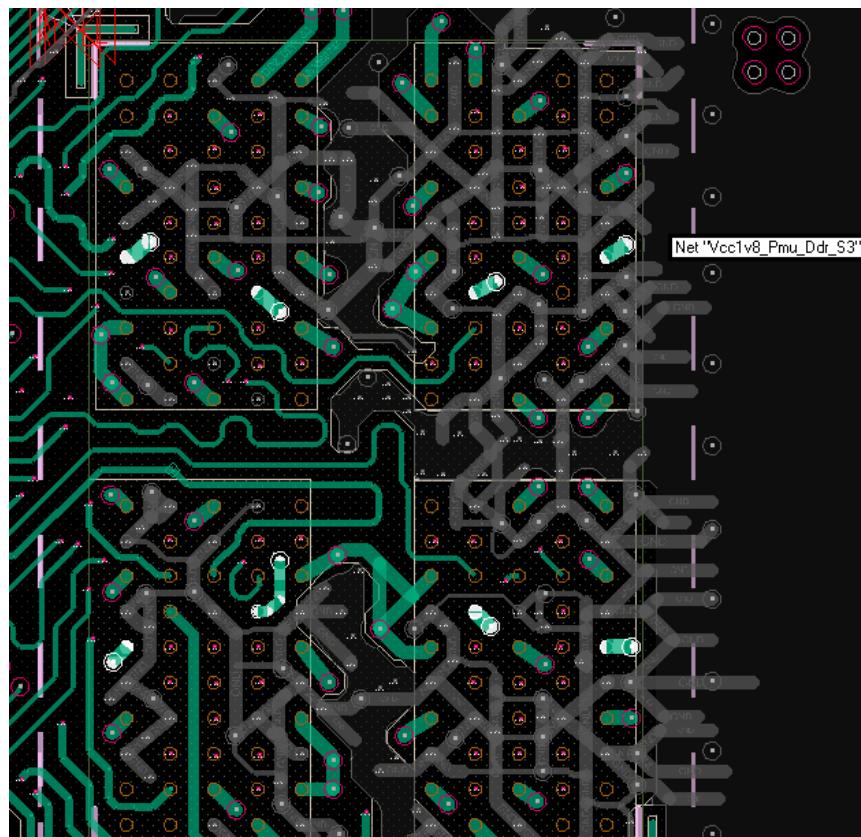


图 3-107

(23) DDR 颗粒 VDD2H_DDR_S3 电源，建议每 1 个电源管脚 ≥ 0.7 个电源通孔。

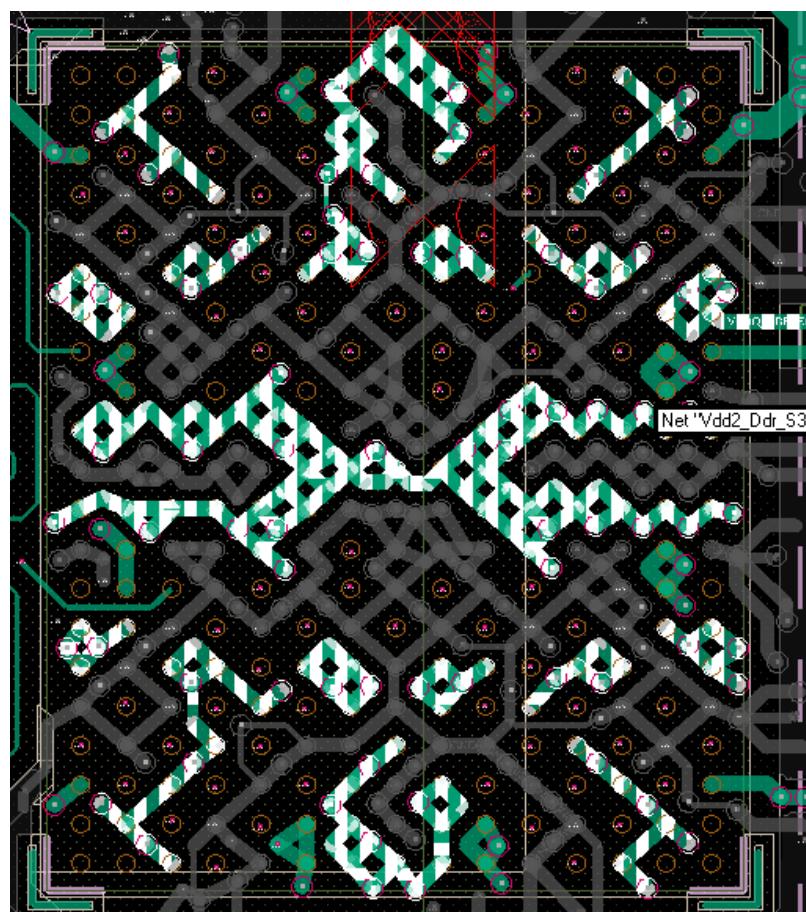


图 3-108

(24) DDR 电源 (VDDQ_DDR、VDD2_DDR_S3、VDD_DDR、VDD2H_DDR_S3) 换层时，需要有足够的电源过孔数量 (≥ 8 个 0402 过孔或者 6 个 0503 过孔)，举例如下。

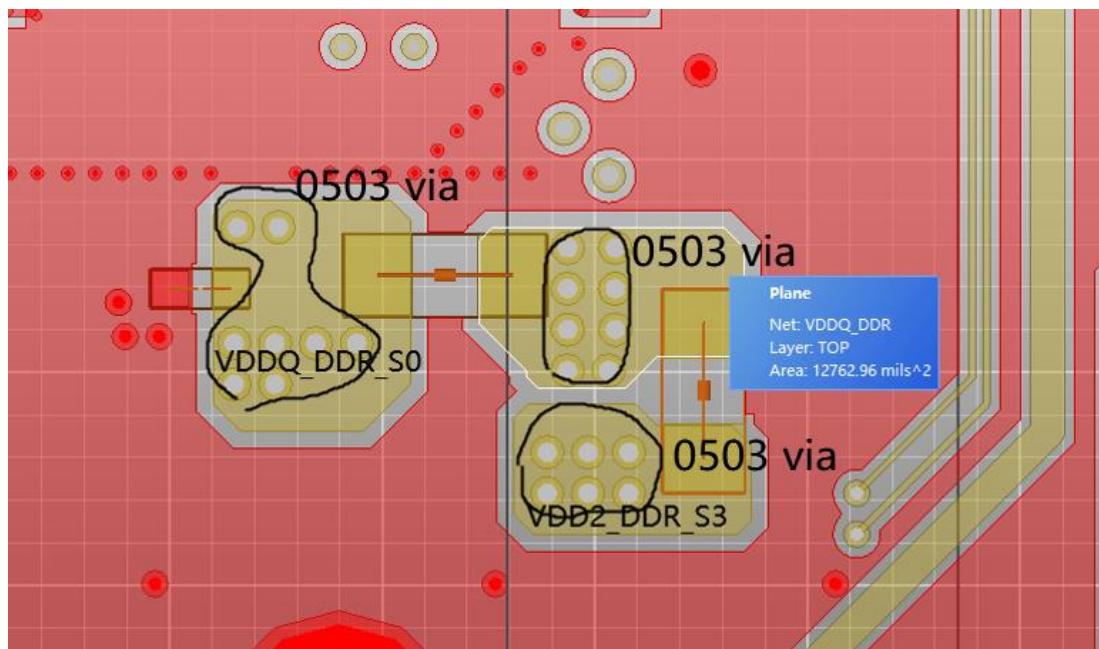


图 3-109

(25) 避免电源层被走线或者连排过孔破坏。

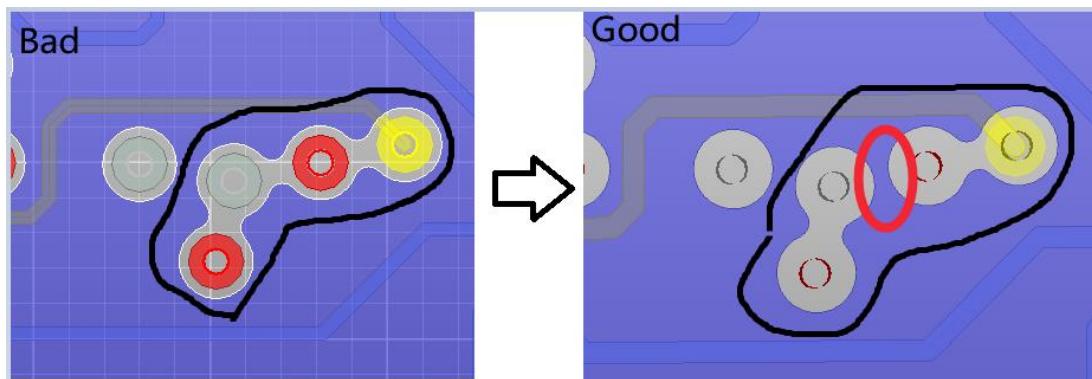


图 3-110

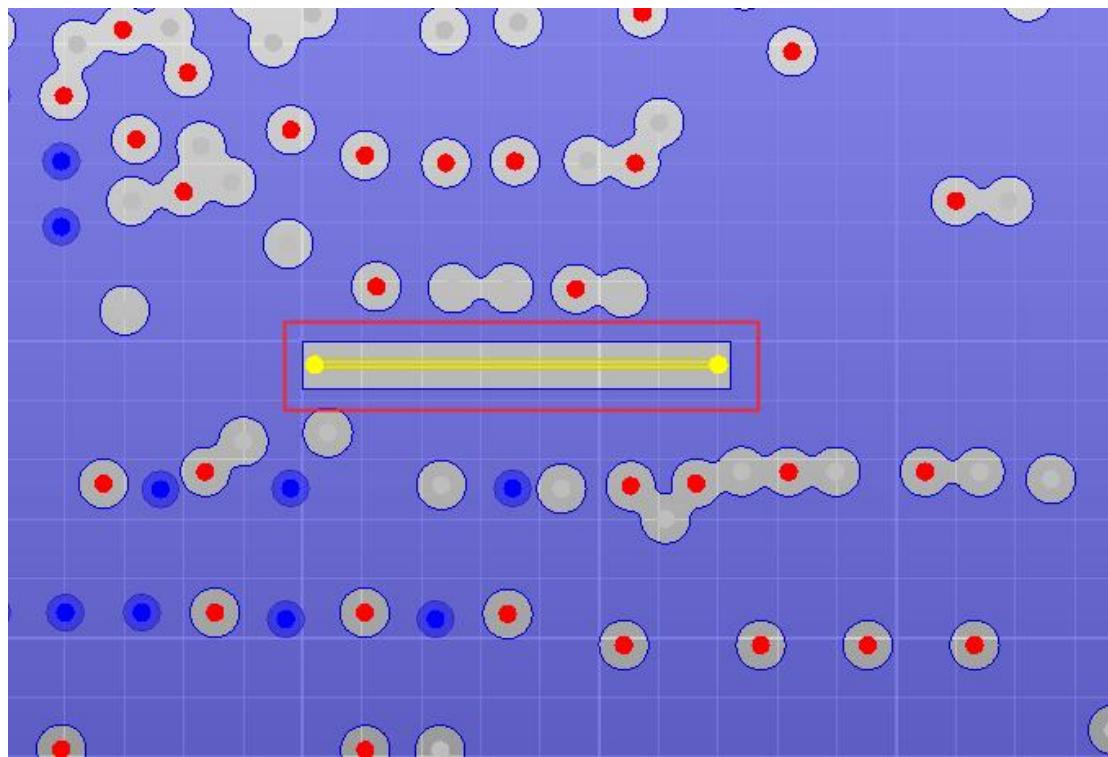


图 3-111

(26) DDR 颗粒的去耦电容要靠近管脚放置，这样可以减小电容的安装电感。电容的数量建议参考模板设计，不建议删除电容。不同容值的电容分散、均匀放置。

(27) CPU 区域 VDD_DDR_S0 电源建议 PDN 要求如下图.

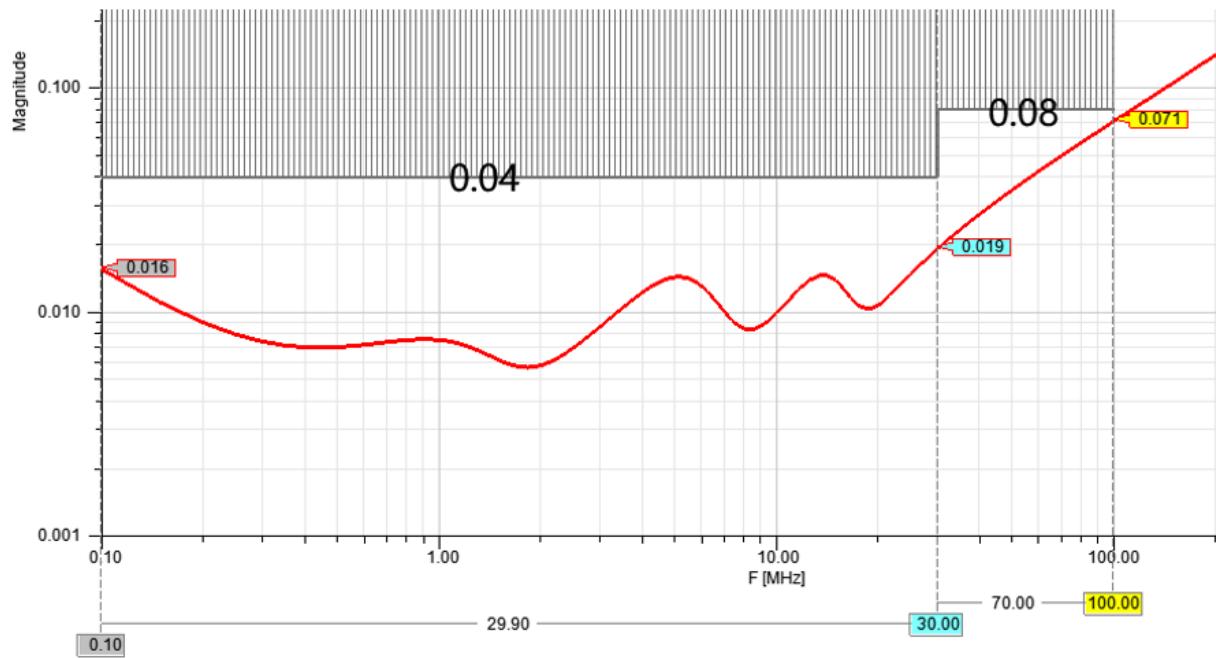


图 3-112

(28) CPU 区域 VDDQ_DDR_S0 电源建议 PDN 要求如下图.

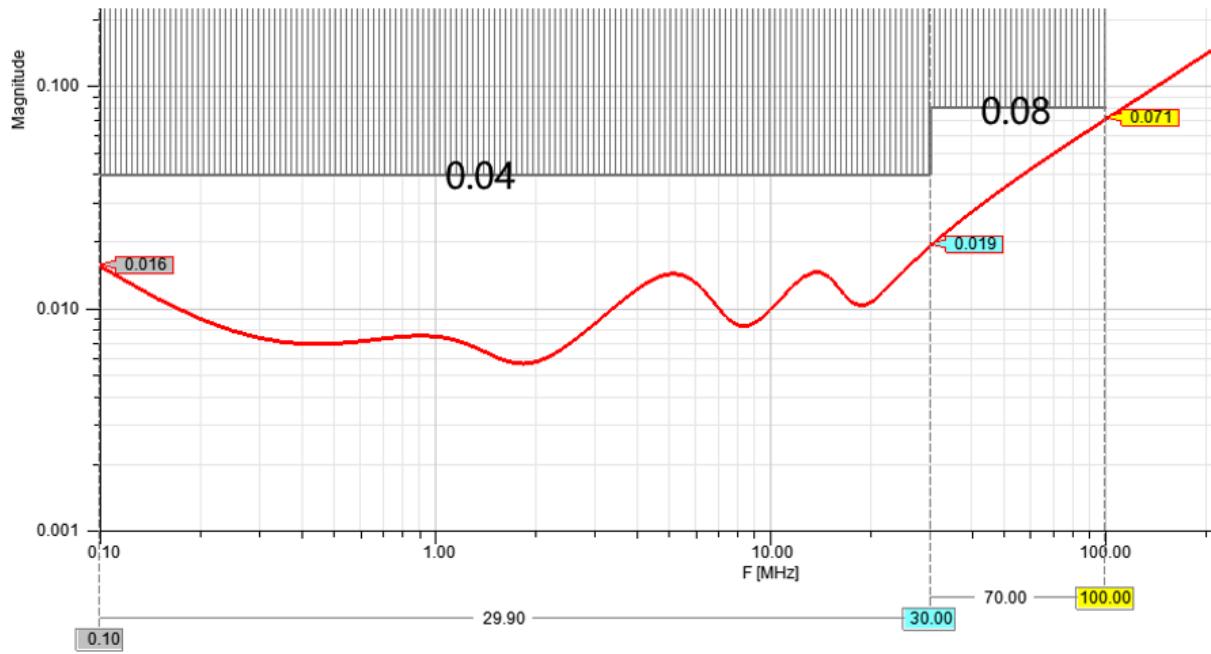


图 3-113

(29) DDR 颗粒区域 VDDQ_DDR 电源建议 PDN 要求如下.

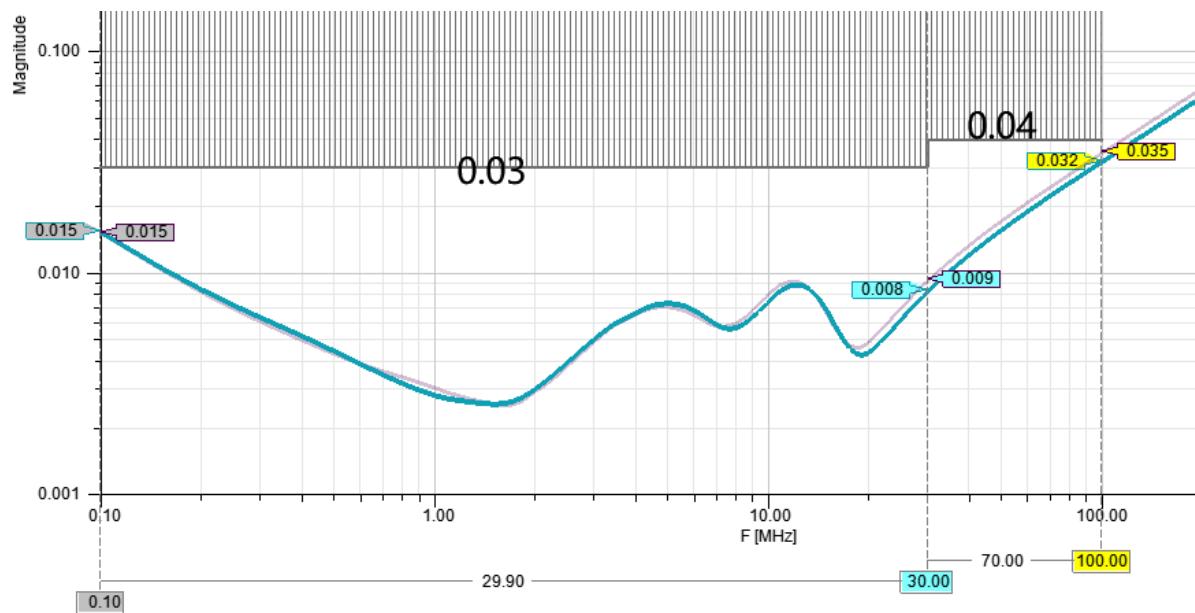


图 3-114

(30) DDR 颗粒区域 VDD2_DDR_S3 电源建议 PDN 要求如下.

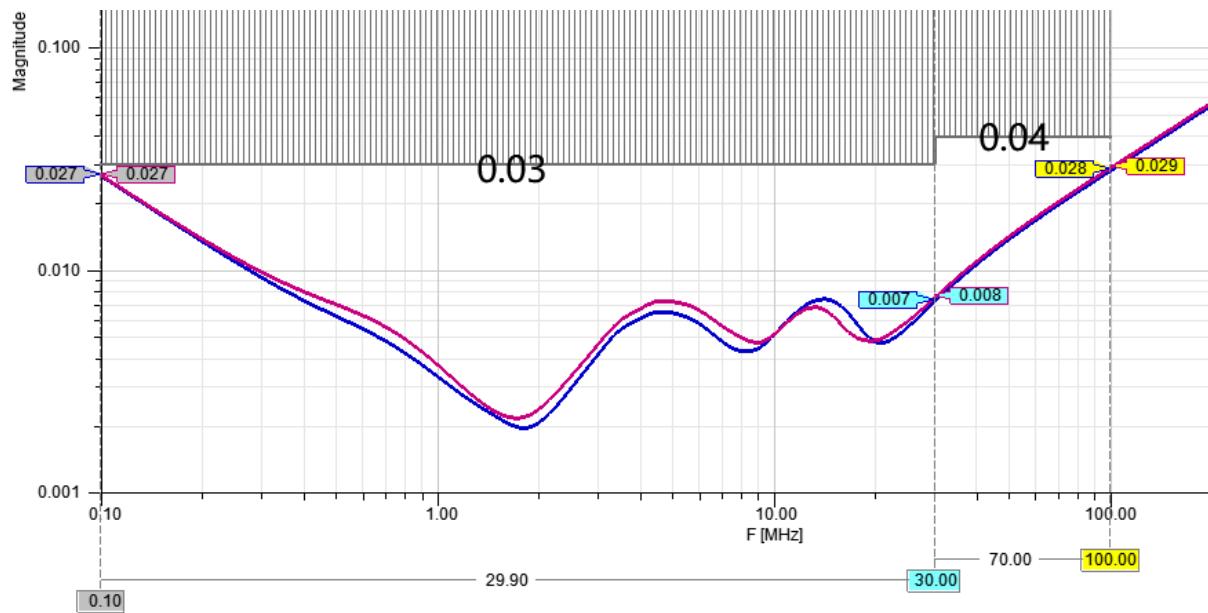


图 3-115

(31) DDR 颗粒区域 VDD2H_DDR_S3 电源建议 PDN 要求如下.

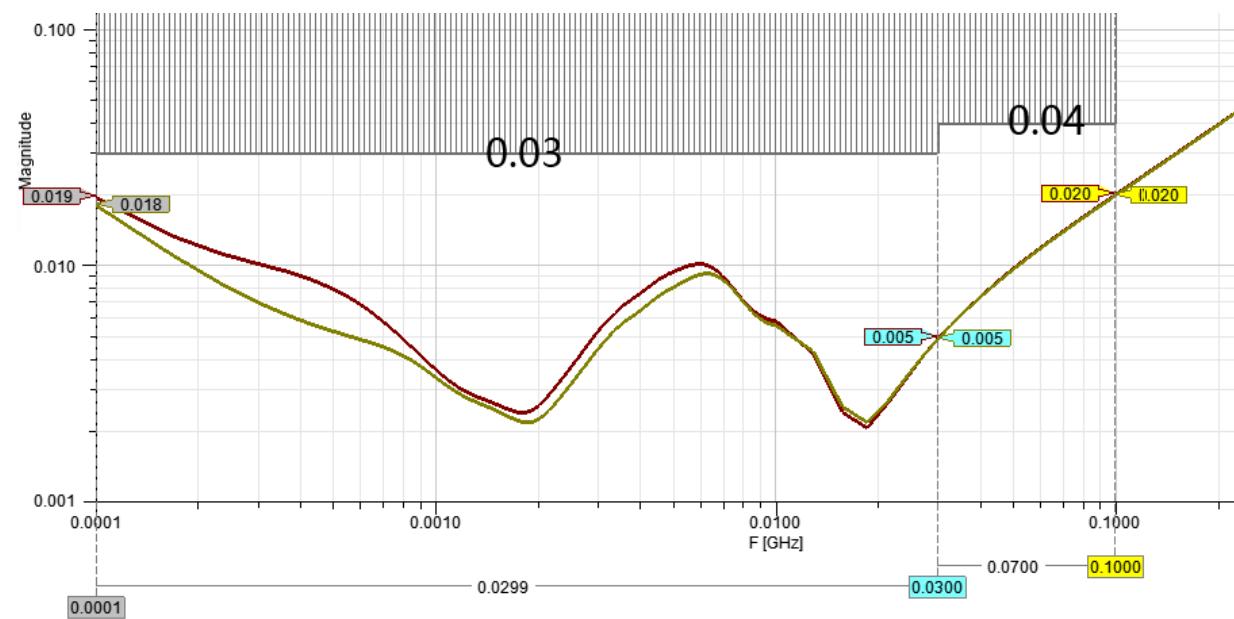


图 3-116

(32) DDR 颗粒区域 VDD2L_0V9_DDR 电源建议 PDN 要求如下.

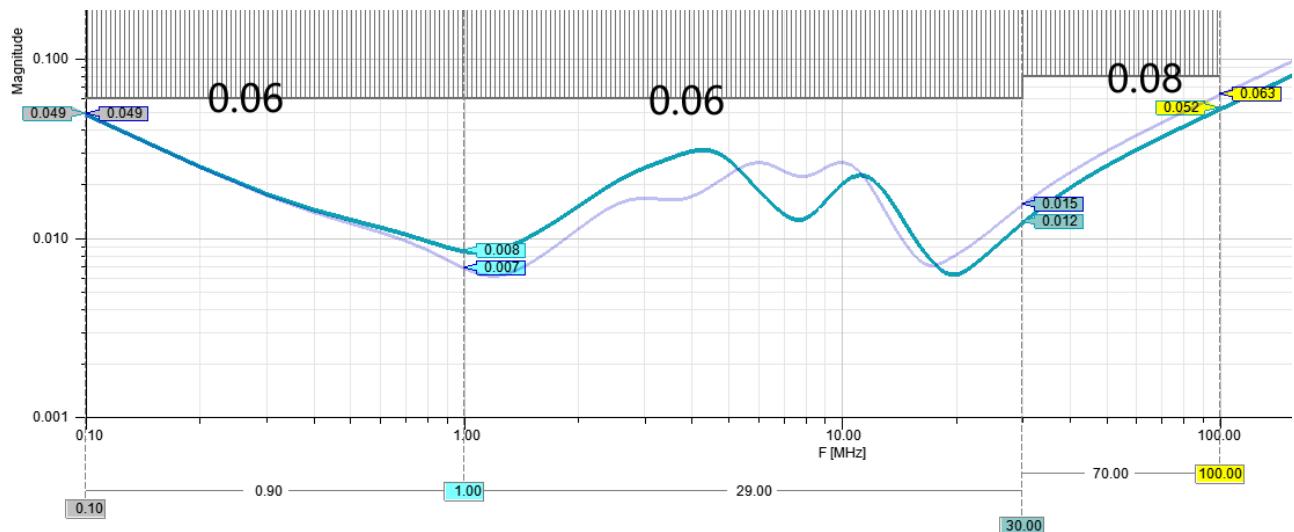


图 3-111

3.4.2.14.1 LPDDR5

由于 10 层 HDI 板，DQ、DM、DQS、WCLK、地址、CLK 信号走内层，差分信号和单端信号的速率差异较小，所以设计规则按等长来要求，PCB 软件设置更简单。

表 3-13 LPDDR5 走线要求

参数	要求
DQ、DM 单端信号阻抗	$45 \text{ Ohm} \pm 10\%$
地址、控制线单端信号阻抗	$50 \text{ Ohm} \pm 10\%$

参数	要求
差分信号阻抗	$90\text{ Ohm} \pm 10\%$
DQ 和 DQS、WCLK 之间的等长（同一个 Byte 内）	$\leq 25\text{mil}$
DM 和 DQS、WCLK 之间的等长（同一个 Byte 内）	$\leq 25\text{mil}$
地址、控制线和 CLK 之间的等长	$\leq 40\text{mil}$
DQS_P 和 DQS_N 之间的等长（同一个 Byte 内）	$\leq 5\text{mil}$
WCLK_P 和 WCLK_N 之间的等长（同一个 Byte 内）	$\leq 5\text{mil}$
CLK_P 和 CLK_N 之间的等长	$\leq 5\text{mil}$
DQS、WCLK 和 CLK 之间的等长	$\leq 200\text{mil}$
不同 Byte 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度
同一个 Byte 内 DQ 和 WCLK 之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度
地址控制线之间的间距 (airgap)	≥ 2 倍走线宽度
CLK 和其他信号线之间的间距	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度

3.4.2.14.2 LPDDR4X

由于 10 层 HDI 板，DQ、DM、DQS、WCLK、地址、CLK 信号走内层，差分信号和单端信号的速率差异较小，所以设计规则按等长来要求，PCB 软件设置更简单。

表 3-14 LPDDR4X 走线要求

参数	要求
DQ、DM 单端信号阻抗	$45\text{ Ohm} \pm 10\%$
地址控制线（除了 CKE 信号）单端信号阻抗	$50\text{ Ohm} \pm 10\%$
差分信号阻抗	$90\text{ Ohm} \pm 10\%$
DQ 和 DQS 之间的等长（同一个 Byte 内）	$\leq 25\text{mil}$
DM 和 DQS 之间的等长（同一个 Byte 内）	$\leq 25\text{mil}$
地址、控制线和 CLK 之间的等长	$\leq 40\text{mil}$
DQS_P 和 DQS_N 之间的等长（同一个 Byte 内）	$\leq 5\text{mil}$
CLK_P 和 CLK_N 之间的等长	$\leq 5\text{mil}$
DQS 和 CLK 之间的等长	$\leq 250\text{mil}$
不同 Byte 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度
地址控制线之间的间距 (airgap)	≥ 2 倍走线宽度
CLK 和其他信号线之间的间距	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度

3.4.2.14.3 LPDDR4

由于 10 层 HDI 板，DQ、DM、DQS、WCLK、地址、CLK 信号走内层，差分信号和单端信号的速率差异较小，所以设计规则按等长来要求，PCB 软件设置更简单。

表 3-15 LPDDR4 走线要求

参数	要求
DQ、DM 单端信号阻抗	$45\text{ Ohm} \pm 10\%$
地址控制线单端信号阻抗	$50\text{ Ohm} \pm 10\%$
差分信号阻抗	$90\text{ Ohm} \pm 10\%$
DQ 和 DQS 之间的等长 (同一个 Byte 内)	$\leq 25\text{mil}$
DM 和 DQS 之间的等长 (同一个 Byte 内)	$\leq 25\text{mil}$
地址、控制线和 CLK 之间的等长	$\leq 40\text{mil}$
DQS_P 和 DQS_N 之间的等长 (同一个 Byte 内)	$\leq 5\text{mil}$
CLK_P 和 CLK_N 之间的等长	$\leq 5\text{mil}$
DQS 和 CLK 之间的等长	$\leq 250\text{mil}$
不同 Byte 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度
地址控制线之间的间距 (airgap)	≥ 2 倍走线宽度
CLK 和其他信号线之间的间距	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度

3.4.3 DP1.4

表 3-16 布线要求-DP1.4

参数	要求
走线阻抗	差分 $100\text{ohm} \pm 10\%$ (只作为DP接口, 无复用) 差分 $95\text{ohm} \pm 10\%$ (USB3.0 / DP1.4复用)
差分对内时延差	$<6\text{mil}$
差分对间等长要求	$<1000\text{mil}$
走线长度	$<6\text{ inches}$
差分对间间距 (airgap)	建议大于等于6倍DP线宽
DP与其它信号间距 (airgap)	建议大于等于6倍DP线宽
各信号所允许过孔数量	建议不超过2个
电容要求	建议 100nF ($75\text{nF} \sim 200\text{nF}$ 含误差)
ESD	I/O对地电容不超过 0.2pF

建议在 BGA 区域的以下位置加地通孔，并建议按第 3.2 章节第 24 条建议作包地处理，包地线的地孔间隔小于 300mil。

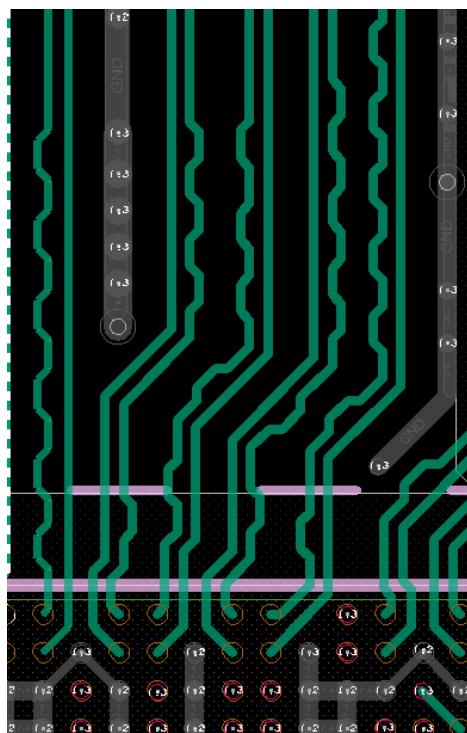


图 3-117

3.4.4 PCIE2.0

表 3-17 布线要求-PCIE2.0

参数	要求
走线阻抗	差分85ohm ±10%
差分对内最大时延差	<6mil
差分对间等长要求	<6inches
走线长度	<6inches
电容要求	100nF ±20%， 建议用0201封装
差分对间间距 (airgap)	建议大于等于4倍PCI-E线宽
差分对内最大时延差(REFCLK)	<12mil
走线阻抗(REFCLK)	差分100ohm±10%
PCI-E与其它信号间距 (airgap)	建议大于等于5倍PCI-E线宽，至少要4倍PCI-E线宽
各信号所允许过孔数量	建议不超过2个

3.4.5 HDMI 2.0 RX

表 3-18 布线要求-HDMI 2.0 RX

参数	要求
走线阻抗	差分100ohm ±10%
差分对内最大时延差	<6mil
时钟与数据等长要求	<480mil
走线长度	<6 inches

参数	要求
差分对间间距 (airgap)	建议大于等于5倍HDMI线宽
HDMI与其它信号间距 (airgap)	建议大于等于5倍HDMI线宽
各信号所允许过孔数量	建议不超过2个

3.4.6 HDMI 2.1

表 3-19 布线要求-HDMI2.1

参数	要求
走线阻抗	差分 $100\text{ohm} \pm 10\%$
差分对内最大时延差	<6mil
差分对间等长要求	<480mil
走线长度	<4 inches
电容要求	$220\text{nF} \pm 20\%$, 建议用 0201 封装
差分对间间距 (airgap)	建议大于等于 7 倍 HDMI 线宽
HDMI 与其它信号间距 (airgap)	建议大于等于 7 倍 HDMI 线宽
各信号所允许过孔数量	建议不加过孔
ESD	I/O 对地电容不超过 0.2pF

(1) 建议在 BGA 区域的以下位置加地通孔，并建议按 3.2 章节第 24 条建议作包地处理，包地线的地孔间隔小于 150mil。

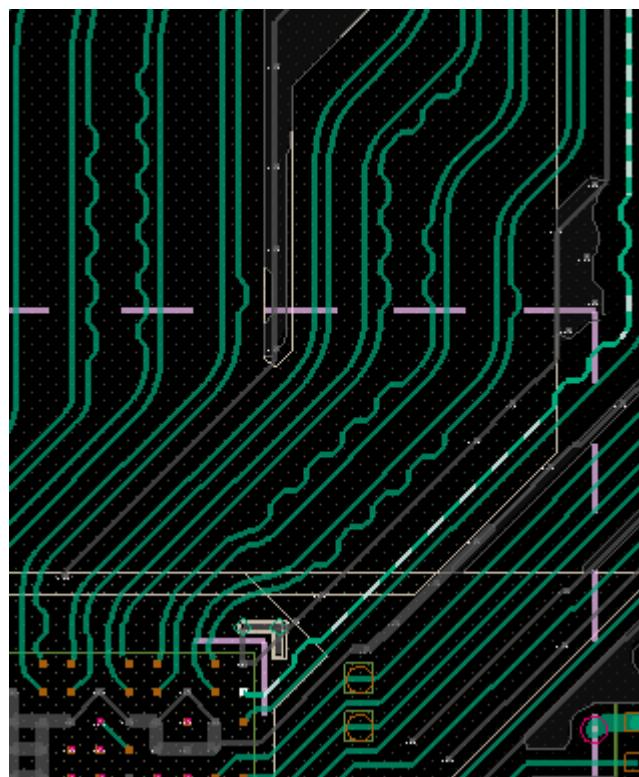


图 3-118

(2) 注意隔直电容和电阻之间的走线需按差分信号布线。

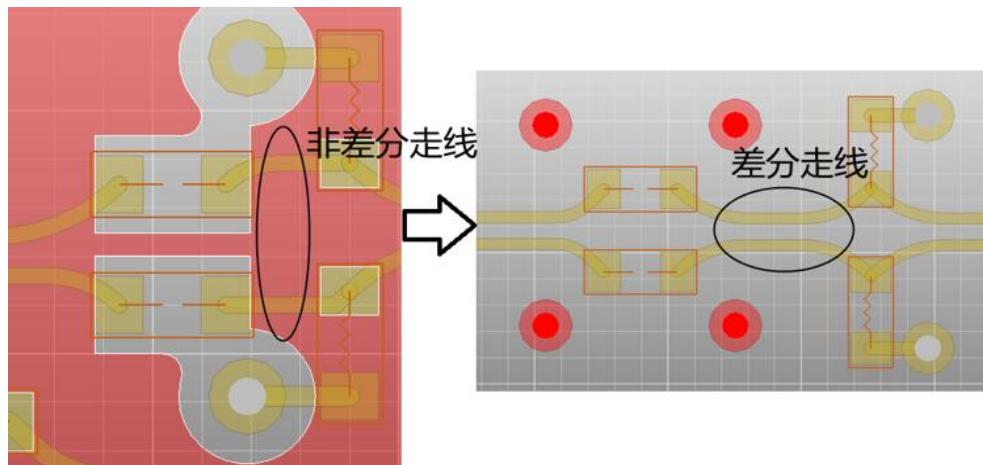


图 3-119

(3) 590 欧电阻做隔层参考，相邻层挖去和电阻 pad 大小一样的 GND 铜皮。同时不允许差分走线和电阻 pad 之间有残桩。

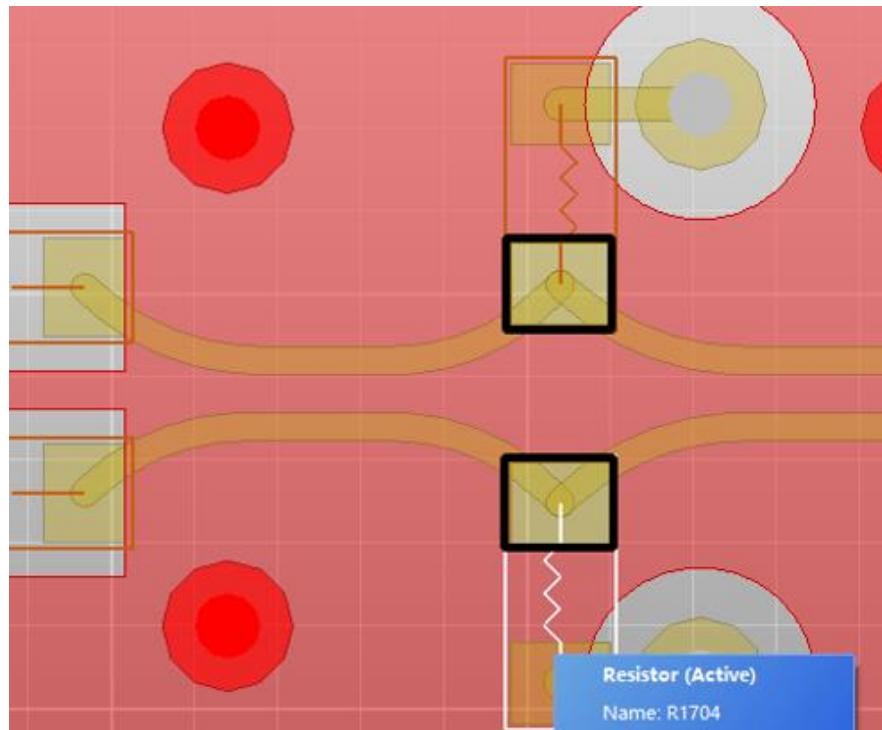


图 3-120

3.4.7 SATA 3.0

表 3-20 布线要求-SATA3.0

参数	要求
走线阻抗	差分100ohm ± 10% (建议优先选择100欧, 如果叠层无法实现100欧, 至少保证阻抗满足90ohm ± 10%)
差分对内最大时延差	<6mil

走线长度	<6 inches
电容要求	10nF ±20%， 建议用0201封装
差分对间间距 (airgap)	建议大于等于4倍SATA线宽
SATA与其它信号间距 (airgap)	建议大于等于4倍SATA线宽
各信号所允许过孔数量	建议不超过2个

3.4.8 USB 2.0

表 3-21 布线要求-USB2.0

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<20mil
走线长度	<6 inches
各信号所允许过孔数量	建议不超过4个，不得超过6个

3.4.9 USB 3.0

表 3-22 布线要求-USB3.0

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<6mil
走线长度	<6 inches
电容要求	100nF ±20%， 建议用0201封装
差分对间间距 (airgap)	建议大于等于4倍USB线宽
USB与其它信号间距 (airgap)	建议大于等于4倍USB线宽
各信号所允许过孔数量	建议不超过2个
ESD	I/O对地电容不超过0.2pF

3.4.10 MIPI-D/C PHY

表 3-23 布线要求-MIPI-DPHY

参数	要求
走线阻抗	差分100ohm ±10% (优先选择100欧目标阻抗, 如果叠层无法满足100欧目标阻抗, 至少保证阻抗满足95ohm ±10%。)
差分对内最大时延差	<6mil
时钟与数据之间等长	<12mil
走线长度	<6 inches
各信号所允许过孔数量	建议不超过4个
差分对间间距 (airgap)	建议大于等于4倍MIPI线宽, 至少要3倍MIPI线宽
MIPI与其它信号间距 (airgap)	建议大于等于4倍MIPI线宽, 至少要3倍MIPI线宽

表 3-24 布线要求-MIPI-CPHY

参数	要求
走线阻抗	单端50ohm±10%
组内(TRIO_A\TRIO_B\TRIO_C)最大时延差	< 6mil
组间(TRIO0\TRIO1\TRIO2)等长要求	<100mil
走线长度	<5 inches
各信号所允许过孔数量	建议不超过2个
走线间距 (airgap)	建议大于等于4倍MIPI线宽
MIPI与其它信号间距 (airgap)	建议大于等于4倍MIPI线宽

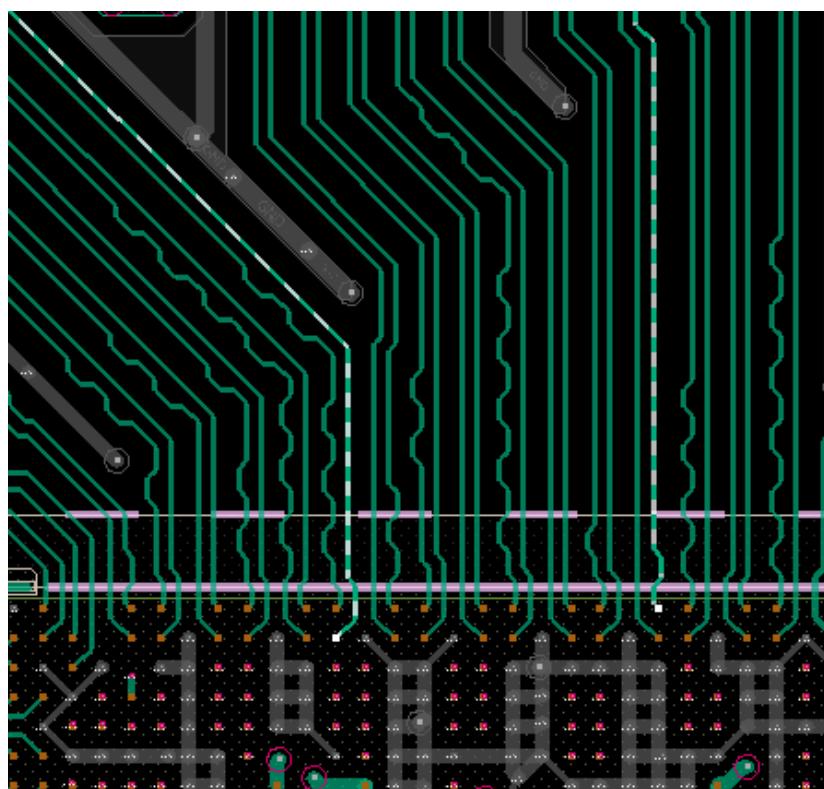


图 3-121

3.4.11 eDP

表 3-25 布线要求-eDP

参数	要求
走线阻抗	差分90ohm±10%(确保EDP线缆的阻抗和PCB一致)
差分对内最大时延差	<6mil
走线长度	<6 inches
差分对间间距 (airgap)	建议大于等于4倍EDP线宽
电容要求	220nF ±20%， 建议用0201封装

参数	要求
EDP与其它信号间距 (airgap)	建议大于等于4倍EDP线宽
各信号所允许过孔数量	建议不超过2个

3.4.12 EMMC

表 3-26 布线要求-EMMC

参数	要求
走线阻抗	单端50ohm±10%
时钟与数据之间等长	<120mil
走线长度	<3.5 inches
eMMC信号线之间间距 (airgap)	至少2倍eMMC线宽
eMMC与其它信号间距 (airgap)	建议3倍线宽, 至少2倍eMMC线宽
各信号所允许过孔数量	建议不超过2个

EMMC 信号换层前后, 参考层建议都为地平面, 在信号过孔 30mil (过孔和过孔的中心间距) 范围内建议添加地回流过孔, 改善信号回流路径, 地过孔需要把信号换层前后地参考平面连接起来。

3.4.13 SDMMC

表 3-27 布线要求-SDMMC

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间等长	<120mil
走线长度	<4 inches
SDMMC信号线之间间距 (airgap)	至少2倍SDMMC线宽

3.4.14 SDIO

表 3-28 布线要求- SDIO

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间等长	<120mil
走线长度	<4 inches
SDIO信号线之间间距 (airgap)	至少2倍SDIO线宽

3.4.15 FSPI

表 3-29 布线要求- FSPI

参数	要求
走线阻抗	单端50ohm ±10%

时钟与数据等长	<200mil
走线长度	<4 inches
FSPI信号线之间间距 (airgap)	至少2倍线宽

3.4.16 BT1120

表 3-30 布线要求- BT1120

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<180mil
走线长度	<5 inches
BT1120信号线之间间距 (airgap)	建议≥2倍BT1120线宽

3.4.17 RGMII

表 3-31 布线要求-RGMII

参数	要求
走线阻抗	单端50ohm ±10%
(TXD{0-3}, TXEN) to TXCLK等长	<120mil
(RXD{0-3}, RXDV) to RXCLK等长	<120mil
走线长度	<5 inches
RGMII信号线之间间距 (airgap)	建议≥2倍RGMII线宽
RGMII与其它信号间距 (airgap)	建议3倍RGMII线宽, 至少2倍RGMII线宽

3.4.18 音频接口电路 PCB 设计

对于 RK3588S 平台的数字音频接口，走线要求如下：

- 所有 CLK 信号走线不得挨在一起，避免串扰；需要独立包地，包地的走线间隔 300mil 以内必须有地过孔；
- 芯片的各 IO 电源域的去耦电容务必放在对应的电源管脚背面；对于单面贴的情况，靠近芯片最近处放置；
- 对于一个 I2S 接口接多个设备的情况，相关的 CLK 应按照菊花链走线拓扑连接；
- 对于一个 PDM 接口接多个设备的情况，相关的 CLK 应按照菊花链走线拓扑连接；如果 GPIO 充裕情况下，PDM 接口一组内的两个 CLK 都可以使用，以优化走线分支；
- SPDIF 信号建议全程包地处理，包地的走线间隔 300mil 以内必须有地过孔。

对于外设的相关音频信号走线要求，以对应器件的设计指南为准，如果没有强调的，可参考以下说明：

- 喇叭的 SPKP/SPKN 信号耦合走线，并整组包地，线宽根据输出的峰值电流进行计算，并尽量缩短走线以控制线阻；
- 喇叭的功放输出如有放置磁珠、LC 滤波等器件，建议靠近功放输出放置，可优化 EMI；
- Headphone 的左右声道输出应独立包地，避免串扰，优化隔离度，建议走线宽度大于 10mil；
- 麦克风单端连接时，MIC 信号单独走线并分别包地；
- 麦克风差分连接时，特别大多数伪差分的情况，也要按照差分走线，并整组包地；
- 麦克风信号的走线建议线宽 8mil 以上；
- 所有音频信号都应原理 LCD、DRAM 等高速信号线。禁止在高速信号线相邻层走线，音频信号的相邻层必须为地平面，禁止在高速信号线附近打孔换层；
- 所有音频信号线走线应远离电感区域、远离 RF 信号和器件；
- 对于耳机座、麦克风的 TVS 保护二极管，放置上尽量靠近连接座，信号拓扑为：耳机座/麦克风 → TVS → IC；这样使得发生 ESD 现象时，ESD 电流先经过 TVS 器件衰减；TVS 器件走线上不要有残桩，TVS 的地管脚建议尽量增加地过孔，至少保证两个 0.4mm*0.2mm 的过孔，加强静电泄放能力。

3.4.19 WIFI/BT PCB 设计

- 整体布局时，WIFI 模组适当放置，模组远离 DDR、HDMI、USB、LCD 电路以及喇叭等易干扰模块或连接座；
- 模组下方 TOP 层不允许走线，需保证参考面为完整的地平面，SDIO/PCIe/UART/PCM 信号线建议绕过模组投影区域后连接到模组管脚；
- 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置以避免打过孔，晶体走线尽可能的短，远离干扰源，尽量天线区域；
- 晶体以及时钟信号需要全程包地处理，包地线每隔 100mil 至少添加一个 GND 过孔，并且必须保证邻层的地参考面完整；
- 晶体电路布局时如果与芯片不同层放置，晶体走线及必须全程包地处理，避免被干扰；
- 32.768k 单独走线并做包地处理，并且包地线每隔 400mil 至少添加一个 GND 过孔；
- SDIO WIFI 时，SDIO 信号 PCB 设计要求见：3.2.5 章节要求；
- PCIe WIFI 时，PCIe 信号 PCB 设计要求见：3.2.7 及 3.2.8 章节要求；
- 模组的电感布局时，请注意走线经电感出来后，先经过电容，再进入模组电源管脚；

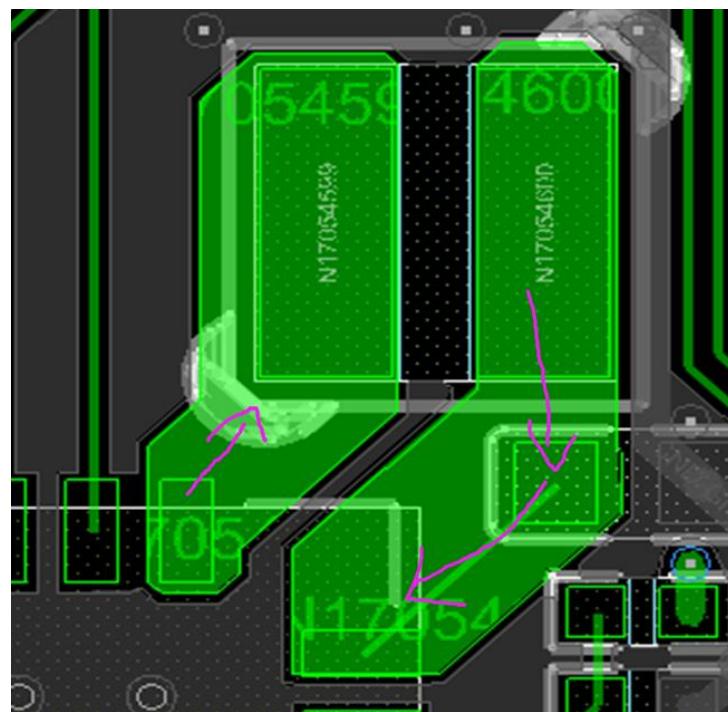


图 3-122 WIFI 模块的电感电容走线示意图

- 模组的电源去耦电容必须靠近模组电源管脚；
- 模组的 VBAT 管脚走线宽度必须大于 40mil；
- 天线布线越长，能量损耗越大，因此在设计时，天线路径越短越好，不能有分支出现，尽量不换层；
- 天线匹配电路必须靠近天线座，天线走线 50 欧，保证参考地完整，阻抗不要突变，下方不允许有其他信号线或电源；走线的伴随地需要与主地参考面使用地墙连接；

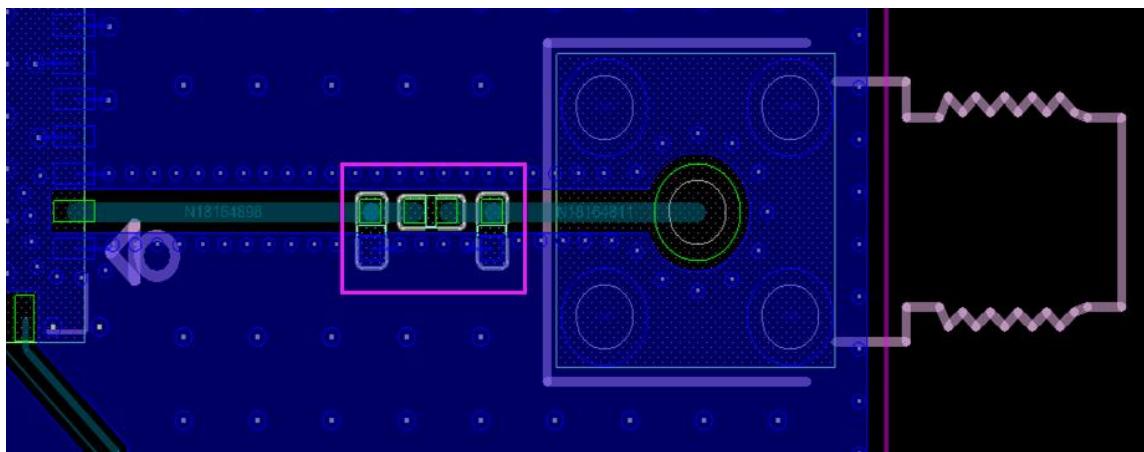


图 3-123 WiFi 模块天线走线示意图

- 模组的天线以及天线走线区域下方所有层都不允许其它信号线或电源；
- 如果是 2X2 MIMO 天线接口，两个天线口之间的出线方向需要考虑两个天线的位置，两个天线的位置需要尽量远离避免干扰，并考虑垂直放置以避免互相干扰。

3.4.20 VGA OUT PCB 设计

- 整体布局时，VGA 座子尽量靠近转换芯片放置，尽量缩短 VGA 模拟信号走线；
- 转换芯片电源的去耦电容，都需要尽量靠近转换芯片各电源管脚放置；
- VGA_R/G/B 走线线宽尽量加粗，建议 12mil 以上；
- VGA_R/G/B 之间的长度差不得超过 200mil；
- VGA_R/G/B 75ohm 电阻必须靠近芯片放置；
- VGA_R/G/B 滤波电路必须靠近 VGA 座子放置；
- VGA_R/G/B 信号要求全程分开包地处理，包地的走线间隔 300mil 以内必须有地过孔；
- VGA_R/G/B 信号相邻层必须为地平面，不得为电源平面；
- VGA_R/G/B 信号都请远离 LCD、DRAM 等高速信号线，禁止在高速信号线相邻层走线；禁止在高速信号线附近打孔换层；走线不要穿过电感区域；远离 RF 信号和器件；
- VGA_HSYNC/VSYNC 的 RC 滤波必须靠近 VGA 座子放置，走线不得超过 6inch；
- VGA 座子所有信号 TVS 管应尽量靠近连接座放置，信号拓扑为：VGA 座--->TVS--->芯片管脚；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减；TVS 器件走线上不要有残桩(Stub)；TVS 的地管脚建议尽量增加地过孔，至少保证 2 个 0.4*0.2mm 的过孔，加强静电泄放能力。

3.4.21 LCD 屏和触摸屏 PCB 设计

- LED 背光 IC 的 FB 端限流电阻，请靠近屏座放置而不是 DC-DC；
- 背光升压电路，请注意电容摆放及电源走线，保证电源的充放电回路最小；
- 屏和触摸屏连接座如果有预留测试点，应靠近连接座，且走线上的残桩(Stub)尽量短。

3.4.22 摄像头 PCB 设计

- Camera 采用连接器时：MIPI 差分信号经过连接器时，相邻差分信号对之间必须使用 GND 管脚进行隔离；

- CIF/MIPI 等信号,如果有经连接器实现板对板连接时,建议全部信号串接一定阻值的电阻(2.2ohm-10ohm 之间, 具体以能满足 SI 测试为准), 以及预留 TVS 器件;
- Camera 连接座如果有预留测试点, 应靠近连接座, 且走线上的残桩(Stub)尽量短;
- 连接座 AVDD/DOVDD/DVDD 电源的去耦电容, 都需要尽量靠近 Camera 连接座放置;
- Camera 布局时需要远离大功率辐射器件, 如 GSM 天线等。

MIPI CSI RX 信号 PCB 设计要求见 3.2.9 章节要求。

4 热设计建议

良好的热设计对 RK3588S 的产品性能的提高、系统的稳定性、产品的安全性尤其重要。

4.1 热仿真结果

针对 RK3588S FCBGA1088_23x23mm_Pitch 0.65mm 的封装，基于 EVB 的 10 层板 PCB 采用有限元建模法（Finite Element Modeling，FEM），可以得出热阻的仿真报告。该报告基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件做出分析。



注意

热阻是在 PCB 没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

4.1.1 结果概要

热阻仿真结果如下表：

表 4-1 RK3588S 热阻仿真报告结果

Package (EHS-FCBGA)	θ_{JA} (°C/W)	θ_{JB} (°C/W)	θ_{JC} (°C/W)
JEDEC PCB	8.7	3.5	0.12

注：数据为仿真数据仅供参考，请以实物测试为准。

4.1.2 PCB 描述

热阻仿真用的 PCB 结构如下表：

表 4-2 RK3588S 热阻仿真的 PCB 结构

JEDEC PCB	PCB Dimension (L x W)	200 x 140mm
	PCB Thickness	1.6mm
	Number of Cu Layer	10-layers

4.1.3 术语解释

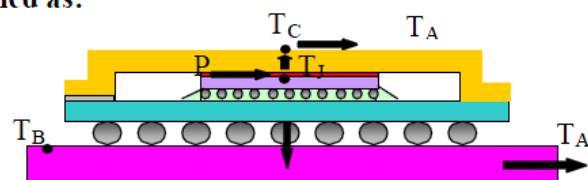
本章中的的术语解释如下：

- T_J : The maximum junction temperature;
- T_A : The ambient or environment temperature;
- T_c : The maximum compound surface temperature;
- T_B : The maximum surface temperature of PCB bottom;
- P : Total input power

The thermal parameter can be define as following

1. Junction to ambient thermal resistance, θ_{JA} , defined as:

$$\theta_{JA} = \frac{T_J - T_A}{P} ; \quad (1)$$



Thermal Dissipation of EHS-FCBGA

图 4-1 θ_{JA} 的定义

2. Junction to case thermal resistance, θ_{JC} , defined as:

$$\theta_{JC} = \frac{T_J - T_C}{P} ; \quad (2)$$

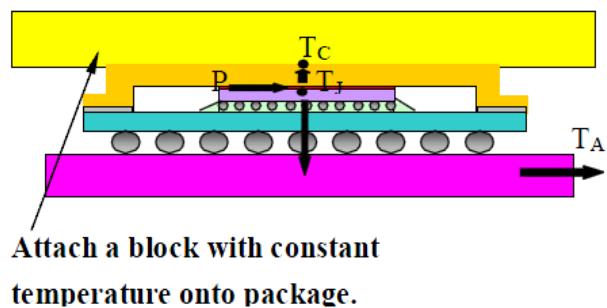


图 4-2 θ_{JC} 的定义

3. Junction to board thermal resistance, θ_{JB} , defined as:

$$\theta_{JB} = \frac{T_J - T_B}{P} ; \quad (3)$$

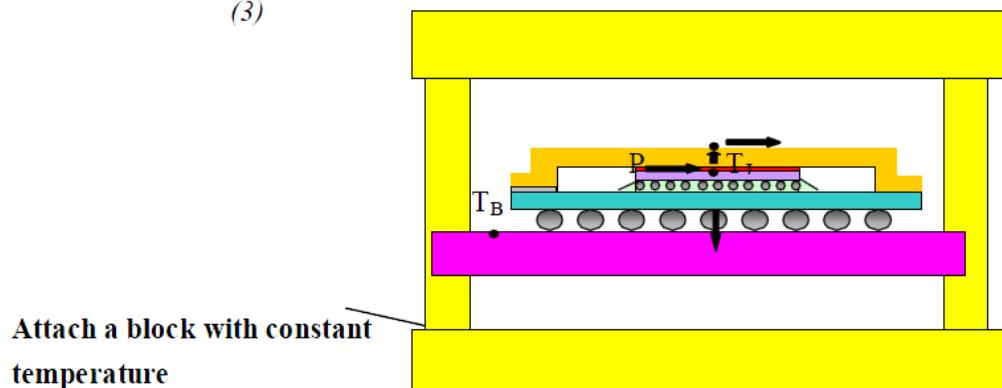


图 4-3 θ_{JB} 的定义

4.2 芯片内部热控制方式

4.2.1 温度控制策略

在 Linux 内核中，定义一套温控框架 linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power allocator：温控策略引入 PID(比例-积分-微分)控制，根据当前温度，动态给各 cooling device 分配 power，温度低的时候可分配的 power 比较大，即可以运行的频率高，随着温度上升，可分配的 power 逐渐减小，可运行的频率也逐渐降低，从而达到根据温度限制频率；
- Step wise：根据当前温度，cooling device 逐级降频；
- Fair share：频率档位比较多的 cooling device 优先降频；
- Userspace：不限制频率。

RK3588S 芯片内部有 T-sensor 检测片内温度，默认使用 Power_allocator 的策略。

4.2.2 温度控制配置

RK3588S SDK 中可以针对 CPU 和 GPU 分别提供温控策略，具体配置请参考《Rockchip_Developer_Guide_Thermal_CN.pdf》。

此文档未完成，完成后提供。

4.3 电路热设计参考

4.3.1 电路原理图热设计参考

- 在保证稳定性前提下，提供整体电源效率，比如少用高压差的 LDO，减少电源自身在电源转换过程中产生的热量；
- 根据实际产品，芯片不用的模块尽量不供电或让软件做 power down 处理；
- 选用导热系数大的材料，根据产品定义，使用环境等条件重新按《散热片尺寸计算》进行估算需要采用的散热器大小，建议尽量采用更大的散热器。

4.3.2 PCB 热设计参考

RK3588S 的产品中，RK3588S 芯片是发热量最大的器件，所有的散热处理都以芯片为主要对象。

除 RK3588S 外，其它主要发热器件有：PMIC、充电 IC 及所用电感、背光 IC 及所用电感。

- 合理的结构设计，能保证机器内部与外界空气有热交换途径；
- 整体布局时，大功耗或易产生热量的器件均匀分布，避免局部过热，建议 RK3588S 和 RK806 适当放置，不要太靠近也不能离的太远，建议间隔 20mm-50mm 之间，两者尽量不放置在板边，对散热不利；
- 建议采用 8 层板以上，尽量增加板子含铜量，建议采用 1oz 的铜厚，尽量多层为地平面，其它层满足电源以及信号走线外，也尽量铺成地平面，借助大面积的铜箔散热；
- RK3588S VDD_LOGIC, VDD_GPU, VDD_NPU, VDD_CPU, VDD_DDR, VDD_LIT 几路电流

比较大，走线或覆铜必须满足载流能力，否则可能会增加温升；

- 要求所以有 EPAD 的芯片，EPAD 上面尽量打满过孔，邻层必须为地平面，背面地铜皮尽量完整，背面铜皮建议做裸铜处理，有利于散热；
- RK3588S 芯片 GND 管脚在顶层走“井”字形，交叉连接，建议走线线宽 10mil，有利于芯片散热；
- RK3588S 芯片的 GND 管脚，建议尽量保证每个 ball 都有对应一个地过孔，至少保证每 1.5 个 ball 对应一个过孔，增加导热途径，邻层必须为地平面，有利于芯片散热；
- RK3588S 芯片背面去耦电容地焊盘，建议采用全覆铜，不要采用花孔连接，尽量使地铜皮完整，以提高散热；
- 空旷地方，在不破坏电源层条件下，尽量增加地过孔，增加导热途径，以提高散热。

5 ESD/EMI 防护设计

5.1 概述

本章对于 RK3588S 产品设计中的 ESD/EMI 防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

5.2 术语解释

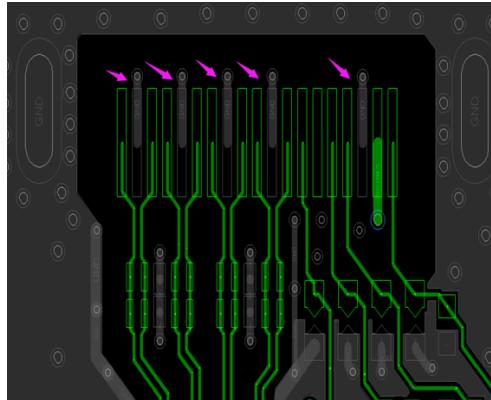
本章中的术语解释如下：

- ESD (Electro-Static discharge)：静电释放；
- EMI (Electromagnetic Interference)：电磁干扰，包括传导干扰和辐射干扰两部分。

5.3 ESD 防护

- 从模具上做隔离，接插件能内缩的尽量内缩于壳体内，让静电释放到内部电路上的距离变长，能量变弱，测试标准由接触放电条件变为空气放电等；
- 在 PCB 布局时做好敏感器件的保护，隔离；
- 布局时尽量将 RK3588S 芯片及核心部件放在 PCB 中间，不能放在 PCB 中间的需要保证屏蔽罩离板边至少 2MM 以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局 PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对 ESD 器件，一般要求摆在源头，即 ESD 器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB 表面一定要有良好的 GND 回路，各接插件在表层都要有较好的 GND 连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；
- 如果有经连接器实现板对板连接时，建议全部信号串接一定阻值的电阻(2.2ohm-10ohm 之间，具体以能满足 SI 测试为准)，以及预留 TVS 器件，可提升抗静电浪涌能力；
- RK3588S nPOR 管脚的 100nF 电容必须靠近管脚放置，电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- 关键信号比如 Reset，时钟，中断等敏感信号与板边距离不得小于 5mm；
- 其它外围芯片如果有带 Reset 管脚，建议增加 100nF 电容必须靠近管脚，电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- 整机设计为浮地设备时，建议各接口不要分地设计；

- 机器外壳为金属时，电源是三孔，要求金属外壳必须良好连接大地；
- 预留屏蔽罩位置，屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地，要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 从 PCB 上进行隔离，让静电只能释放在部分区域，比如座子地管脚单独过孔和内层的地层连接，对表层的 PCB 进行 Keepout，表层的地铜皮和管脚尽量远离，即让敏感信号远离静电易放电区域（表层地铜皮）等等，如图在表层隔离 HDMI 信号与 GND 的距离。



5.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理 EMI 就只能从干扰源跟耦合通道入手了。解决 EMI 问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB 上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对 EMI 材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如 SDIO, RBG, CIF 等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其 SI 许可范围。差分接口一般使用共模电感来抑制 EMI；
- PCB 上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3588S 展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见 RK3588S 展频说明；
- 所有时钟串接的匹配电阻，建议保留，提供匹配阻抗，提高信号质量的改善措施；
- DC 电源输入处，有条件可预留电源共模电感或 EMI 滤波器；
- USB, HDMI, VGA, 屏连接座等接口处增加预留共模电感或滤波电路；
- 有加散热器时，要注意散热器也有可能耦合 EMI 能量，产生辐射，在选用散热器时除了满足热设计要求，还应满足 EMI 测试要求。散热器要预留接地条件，当有需要接地时，将散热器接地，此处不好明确接地点个数及怎么选择接地点，需要第一个版本硬件在实验室实际测试时依据实际情况整改；

- EMI 跟 ESD 对 LAYOUT 的要求有高度一致性，前述 ESD 的 LAYOUT 要求，大部分适用于 EMI 防护。另外增加下面的要求：
 - 尽量保证信号完整性；
 - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免转化成引起 EMI 问题的共模信号；
 - 有插件器件等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；
 - 所有时钟串接的匹配电阻靠近 CPU 端（源端），CPU 管脚和电阻之间走线必须控制在 400mil 以内；
 - 如果 PCB 超过 4 层板，建议让所有时钟信号尽量走内层；
 - 防止电源辐射，电源层覆铜必须内缩，以一个 H（电源和地之间的介质厚度）为单位，建议内缩 20H。

6 焊接工艺

6.1 概述

RK3588S 芯片为 ROHS 指令认证产品，即均是 Lead-free 产品。本章规范了客户端在用 RK3588S 芯片 SMT 时各个时间段温度的基本设置，主要介绍客户在使用 RK3588S 芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

6.2 术语解释

本章中的术语解释如下：

- **Lead-free:** 无铅工艺；
- **Pb-free:** 无铅工艺，所有器件（主板、所有 IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- **Reflow profile:** 回流焊；
- **Restriction of Hazardous Substances (ROHS):** 关于限制在电子电器设备中使用某些有害成分的指令；
- **Surface Mount Technology (SMT):** 表面贴装技术；
- **Sn-Pb:** 锡铅混合工艺，指使用有铅锡膏和既有无铅 BGA 也有有铅 IC 的混合焊接工艺。

6.3 回流焊要求

6.3.1 焊膏成分要求

Solder 合金与 flux 比重为 90%: 10%；体积比为：50%: 50%，锡膏冷藏温度 2~10°C，使用前应常温下回温，回温时间 3~4 小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌 3~5 分钟或机械搅拌 3 分钟，搅拌后呈自然垂流状。

6.3.2 SMT 曲线

由于 RK3588S 芯片均采用环保材料，建议使用 Pb-Free 工艺。下图回流焊曲线仅为 JEDEC J-STD-020D 工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat & Soak		
Temperature min (T_{smin})	100 °C	150 °C
Temperature max (T_{smax})	150 °C	200 °C
Time (T_{smin} to T_{smax}) (t_s)	60-120 seconds	60-120 seconds
Average ramp-up rate (T_{smax} to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L)	183 °C	217 °C
Time at liquidous (t_L)	60-150 seconds	60-150 seconds
Peak package body temperature (T_p)*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time (t_p)** within 5 °C of the specified classification temperature (T_c)	20** seconds	30** seconds
Average ramp-down rate (T_p to T_{smax})	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.

* Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum.
** Tolerance for time at peak profile temperature (t_p) is defined as a supplier minimum and a user maximum.

图 6-1 回流焊曲线分类

Package Thickness	Volume mm ³ <350	Volume mm ³ 350 - 2000	Volume mm ³ >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 6-2 无铅工艺器件封装体耐热标准

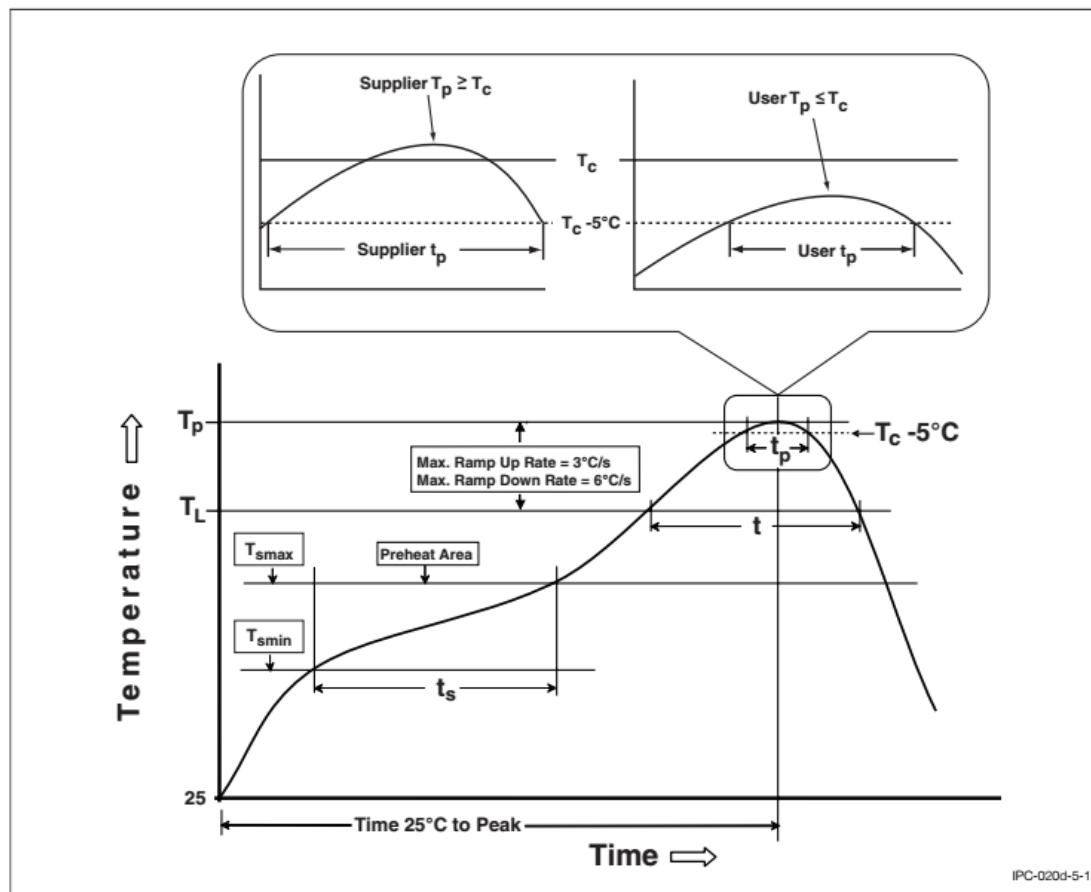


图 6-3 无铅回流焊接工艺曲线

6.3.3 SMT 建议曲线

我司建议的 SMT 曲线如图 6-4 所示：

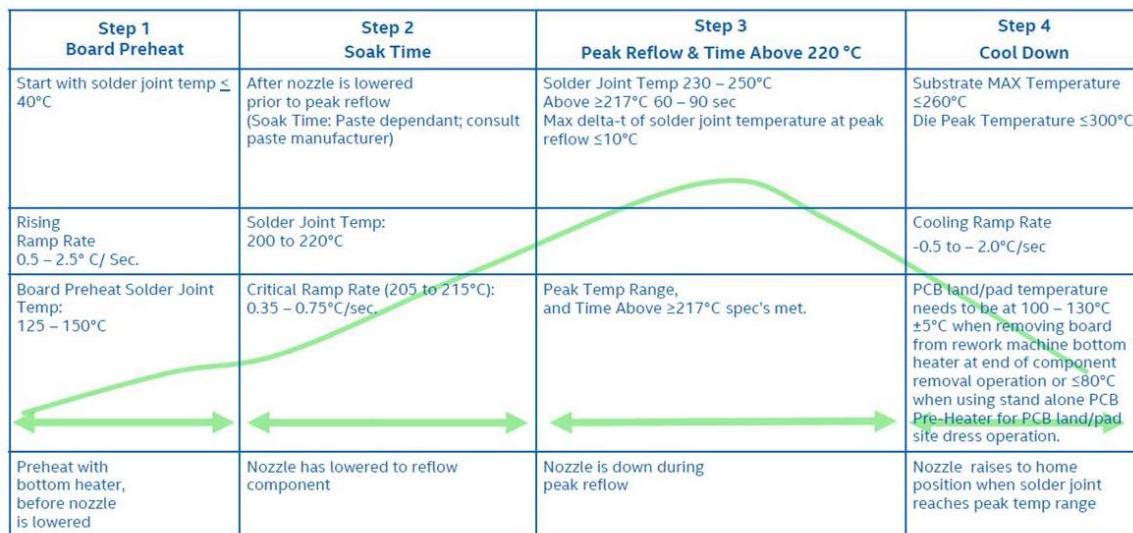


图 6-4 无铅回流焊接工艺建议曲线参数

7 包装和存放条件

7.1 概述

规定了 RK3588S 的存放和使用规范，以确保产品的安全和正确使用。

7.2 术语解释

本章中的术语解释如下：

- **Desiccant:** 干燥剂，用于吸附潮气的一种材料；
- **Floor life:** 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- **Humidity Indicator Card(HIC):** 湿度指示卡；
- **Moisture Sensitivity Level(MSL):** 潮敏等级；
- **Moisture Barrier Bag(MBB):** 防潮包装袋；
- **Rebake:** 重新烘烤；
- **Solder Reflow:** 回流焊；
- **Shell Life:** 存储期限；
- **Storage environment:** 存放环境。

7.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮袋，铝箔，银色不透明，带有湿敏等级的标识。

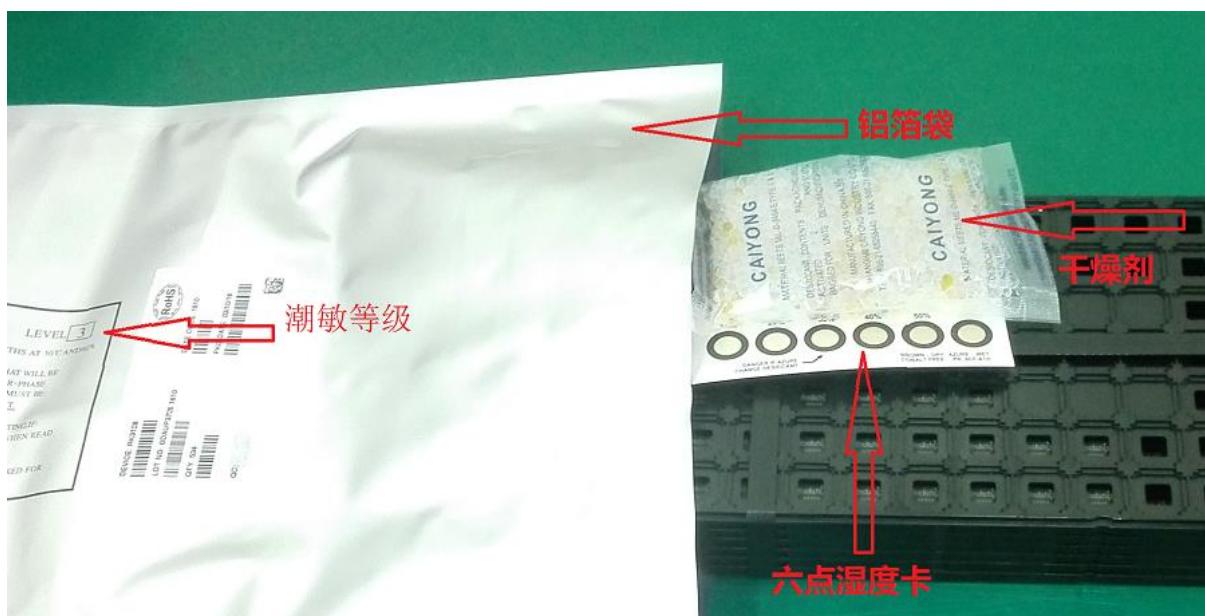


图 7-1 芯片干燥真空包装

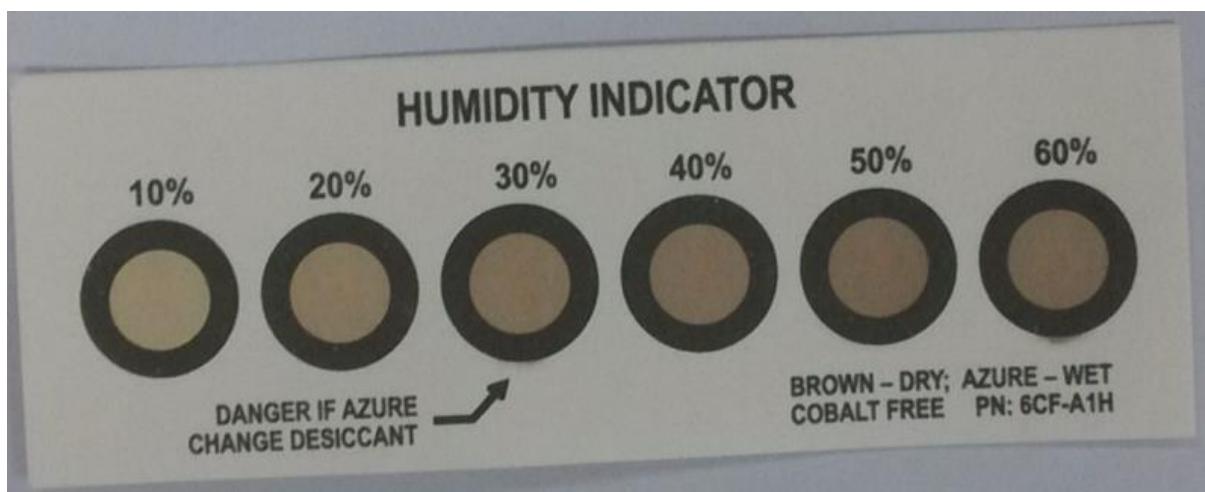


图 7-2 六点湿度卡

7.4 产品存放

7.4.1 存放环境

产品真空包装存放，在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，保存期限可达 12 个月。

7.4.2 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度 60% 下，请参照如下表 7-1。

RK3588S 芯片 MSL 等级为 3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 7-1 暴露时间参照表 (MSL)

MSL 等级	暴露时间 工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$	
	1 Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$	
2	1 年	
2a	4 周	
3	168 小时	
4	72 小时	
5	48 小时	
5a	24 小时	
6	Mandatory bake before use, and must be reflowed within the time limit specified on the label.	

7.5 潮敏产品使用

RK3588S 芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在 168 小时内，且工厂环境为 $\leq 30^{\circ}\text{C}/60\% \text{RH}$ ；
- 保存在 $< 10\% \text{RH}$ 环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $> 10\%$ 的点已变色。（颜色变化请参考湿度指示卡标示）；
- 未符合 2a 或 2b 的规范。

芯片重新烘烤的时间请参考如下表 7-2 所示：

表 7-2 RK3588S Re-bake 参考表

Package Body	MSL	High Temp Bake @ 125°C $+10/-0^{\circ}\text{C}$		Medium Temp Bake $@90^{\circ}\text{C} +8/-0^{\circ}\text{C}$		Low Temp Bake @ 40°C $+5/-0^{\circ}\text{C}$	
		Exceeding Floor Life by $> 72\text{h}$	Exceeding Floor Life by $\leq 72\text{h}$	Exceeding Floor Life by $> 72\text{h}$	Exceeding Floor Life by $\leq 72\text{h}$	Exceeding Floor Life by $> 72\text{h}$	Exceeding Floor Life by $\leq 72\text{h}$
Thickness $\leq 1.4\text{mm}$	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days



注意

此表中显示的均是受潮后，必须的最小的烘烤时间。

重新烘烤优先选择低温烘烤。