实验三 模型机中组合部件的实现 (二)

一、实验目的

- 1. 了解简易模型机的内部结构和工作原理。
- 2. 分析模型机的功能,设计8重3-1多路复用器。
- 3. 分析模型机的功能,设计8重2-1多路复用器。
- 4. 分析模型机的工作原理,设计模型机控制信号产生逻辑。

二、实验背景

1. 简易模型机结构

计算机的工作过程可以看作是许多不同的数据流和控制流在机器各部分之间的流动,数据流所经过的路径称作机器的数据通路。数据通路不同,指令执行所经过的操作过程就不同,机器的结构也就不一样。本模型机的结构如图 1 所示:

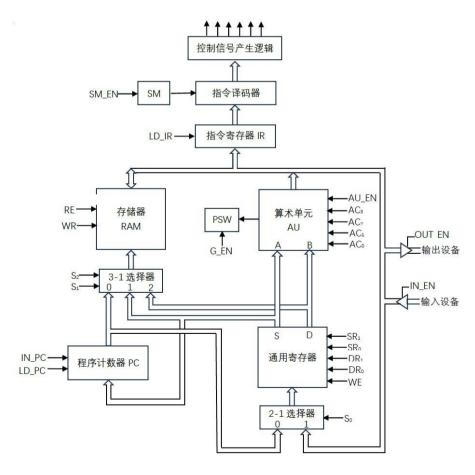


图 1 模型机的结构

2. 8 重 3-1 多路复用器,又名多路选择器

多路复用器是一个组合电路,它可以从多个输入中选择一个输入,将其数据 传输到输出。选择哪一路数据输入由一组选择输入变量控制。通常,2ⁿ条数据输 入要n个选择输入,选择输入的位组合决定选择哪个数据输入。

8 重 3-1 多路复用器有 3 个数据输入、2 位选择输入、1 个输出,每个数据输入和输出都是 8 位,所以称之为 8 重, S 选择将哪个数据输入传至输出,8 重 3-1 多路复用器的端口及功能如下所示:

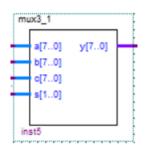


图 2 8 重 3-1 多路复用器端口

表	1	8	重	3-1	多路复用器功能
---	---	---	---	-----	---------

S[10]	Y
00	a
01	ь
10	С
其它	a

8 重 2-1 多路复用器有 2 个数据输入、1 个选择输入、1 个输出,每个数据输入和输出都是 8 位, S 选择将哪个数据输入传至输出,8 重 2-1 多路复用器的端口及功能如图所示:

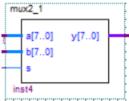


图 3 8 重 2-1 多路复用器端口

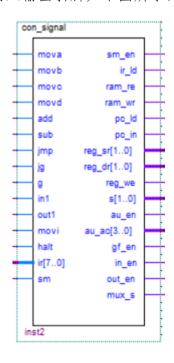
表 28 重 2-1 多路复用器功能

S	Y
0	a
1	ь

4. 控制信号产生逻辑

控制信号产生逻辑接收指令译码器的输出,在 SM、IR[7..0]以及状态位 G 的配合下产生每个模块所需要的控制信号。

控制信号产生逻辑的输入输出引脚如下图所示:



三、实验内容

- 1. 用 VERILOG 语言设计模型机的 8 重 3-1 多路复用器;
- 2. 用 VERILOG 语言设计模型机的 8 重 2-1 多路复用器;
- 3. 用 VERILOG 语言设计模型机的控制信号产生逻辑。

四、实验过程

- 1. 基于Quartus II创建工程,采用VERILOG语言编程实现指令译码器和AU 算术单元,编译(compilation)通过后,将代码提交至学习通平台的实验预习作业中。
 - 2. 基于Quartus II利用波形编辑进行仿真验证,以此验证电路的正确性。

- 3. 在Tool下用netlist viewer查看RTL viewer, 了解语句描述对应的RTL视图。
- 4. 仿真验证正确后,将两个.v文件压缩为.zip,提交至评测平台测试。
- 5. 撰写实验报告, 提交至学习通平台的实验报告作业中。

五、思考题

- 1、任选一条指令,介绍指令的执行过程、信息流动的情况以及执行时控制信号的值。
 - 2、如何产生正确的控制信号以及具体的编程实现?