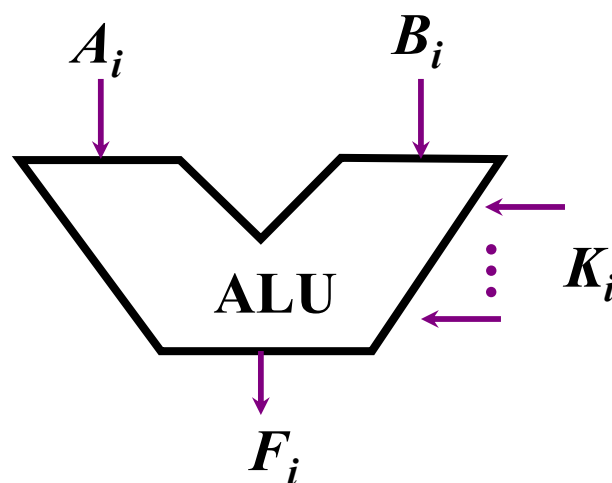


算术逻辑单元

算术逻辑单元是一种功能较强的组合逻辑电路，其简称ALU。

(1) ALU 电路



组合逻辑电路

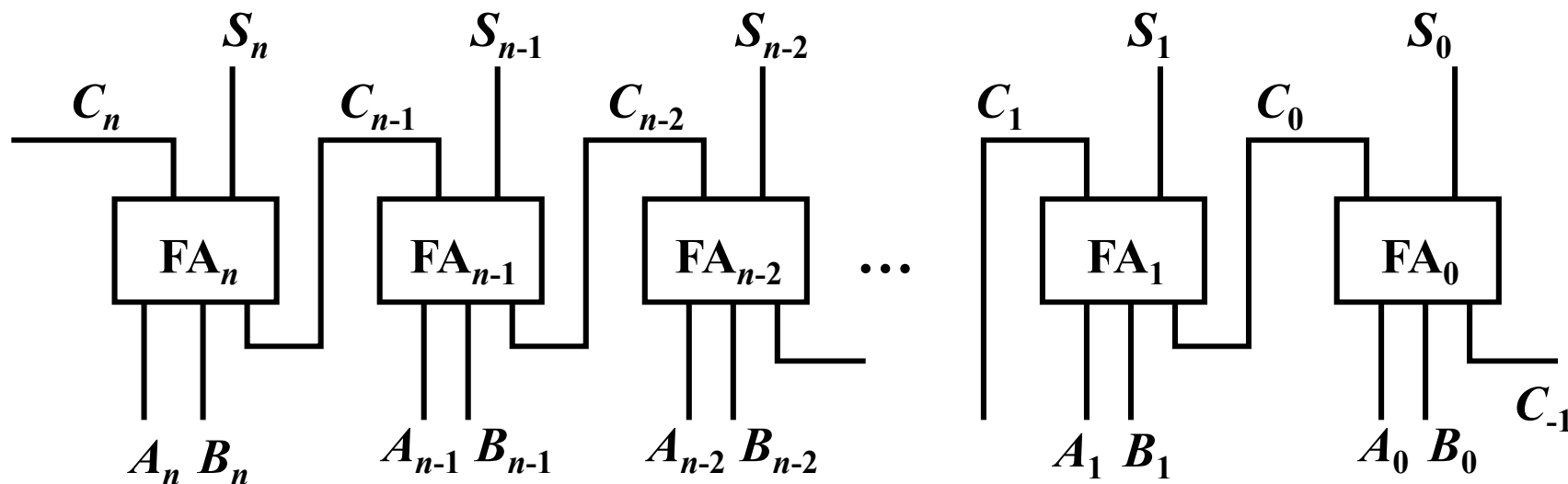
K_i 不同取值

F_i 不同

实例：四位 ALU74181

(2) 快速进位链

1) 并行加法器



$$S_i = \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1}$$

$$C_i = \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}} + A_i B_i C_{i-1}$$

$$= A_i B_i + (A_i \oplus B_i) C_{i-1}$$

$$d_i = A_i B_i \quad \text{本地进位} \quad t_i = A_i \oplus B_i \quad \text{传递条件}$$

$$\text{则 } C_i = d_i + t_i C_{i-1}$$

2) 串行进位链

进位链

传送进位的电路

串行进位链

进位串行传送

以 4 位全加器为例，每一位的进位表达式为

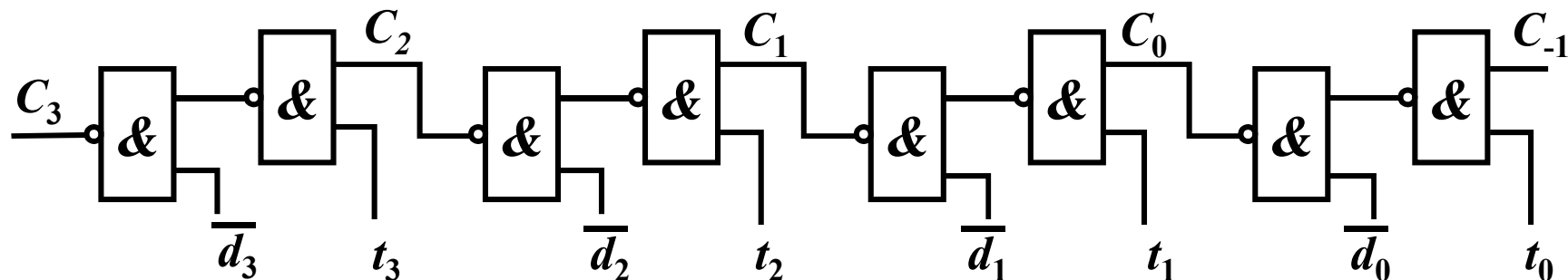
$$C_0 = d_0 + t_0 C_{-1} = \overline{\overline{d_0} \cdot \overline{t_0 C_{-1}}}$$

$$C_1 = d_1 + t_1 C_0$$

$$C_2 = d_2 + t_2 C_1$$

$$C_3 = d_3 + t_3 C_2$$

设与非门的级延迟时间为 t_y



4 位全加器产生进位的全部时间为 $8t_y$

n 位全加器产生进位的全部时间为 $2nt_y$

3) 并行进位链 (先行进位, 跳跃进位)

n 位加法器的进位同时产生 以 4 位加法器为例

$$C_0 = d_0 + t_0 C_{-1}$$

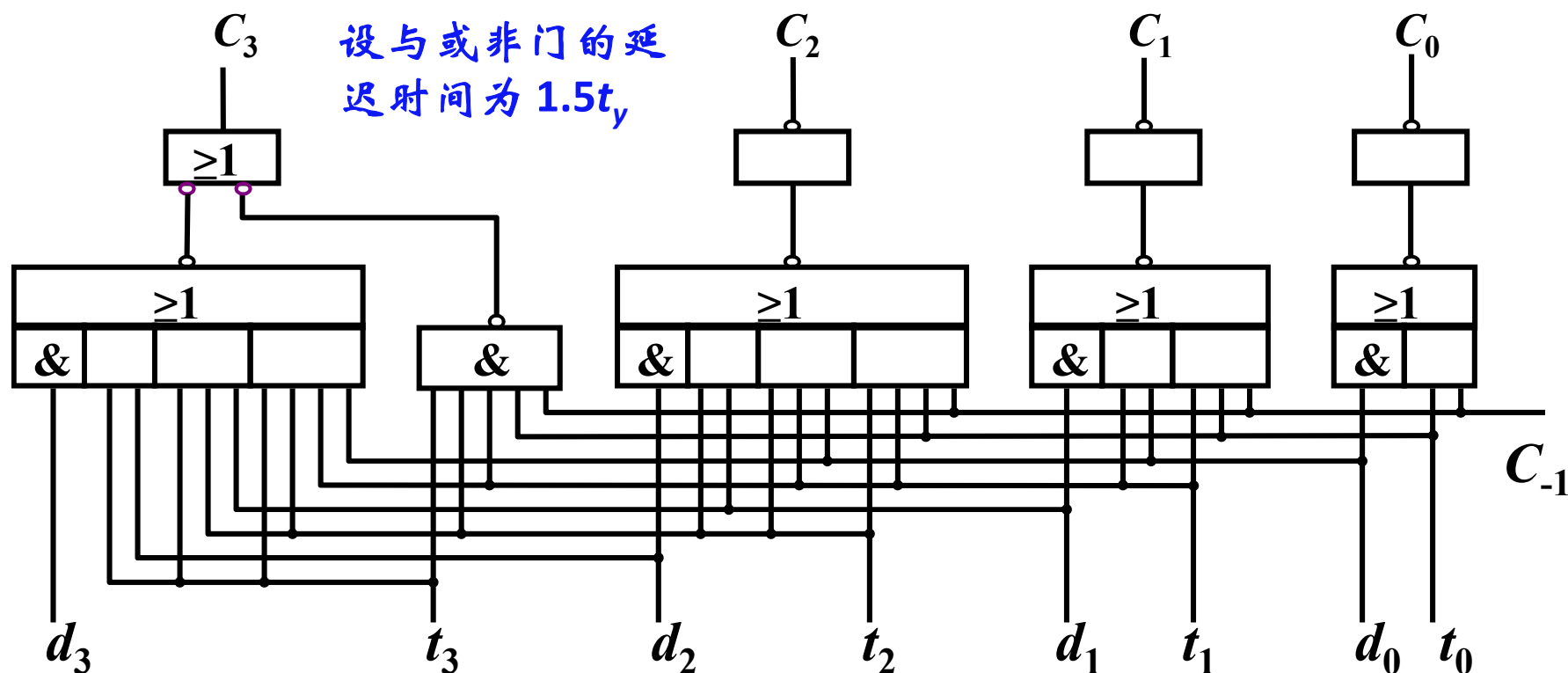
当 $d_i t_i$ 形成后, 只需 $2.5t_y$

$$C_1 = d_1 + t_1 C_0 = d_1 + t_1 d_0 + t_1 t_0 C_{-1}$$

产生全部进位

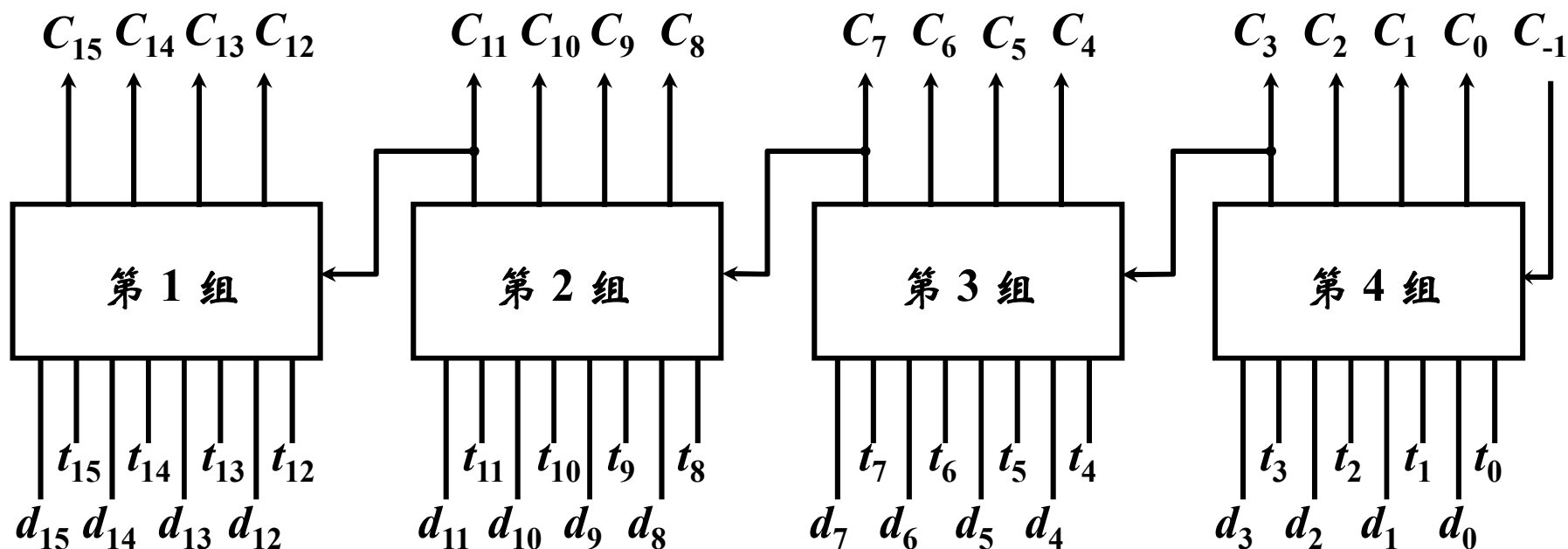
$$C_2 = d_2 + t_2 C_1 = d_2 + t_2 d_1 + t_2 t_1 d_0 + t_2 t_1 t_0 C_{-1}$$

$$C_3 = d_3 + t_3 C_2 = d_3 + t_3 d_2 + t_3 t_2 d_1 + t_3 t_2 t_1 d_0 + t_3 t_2 t_1 t_0 C_{-1}$$



a) 单重分组跳跃进位链

n 位全加器分若干小组，小组中的进位同时产生，
小组与小组之间采用串行进位 以 $n = 16$ 为例

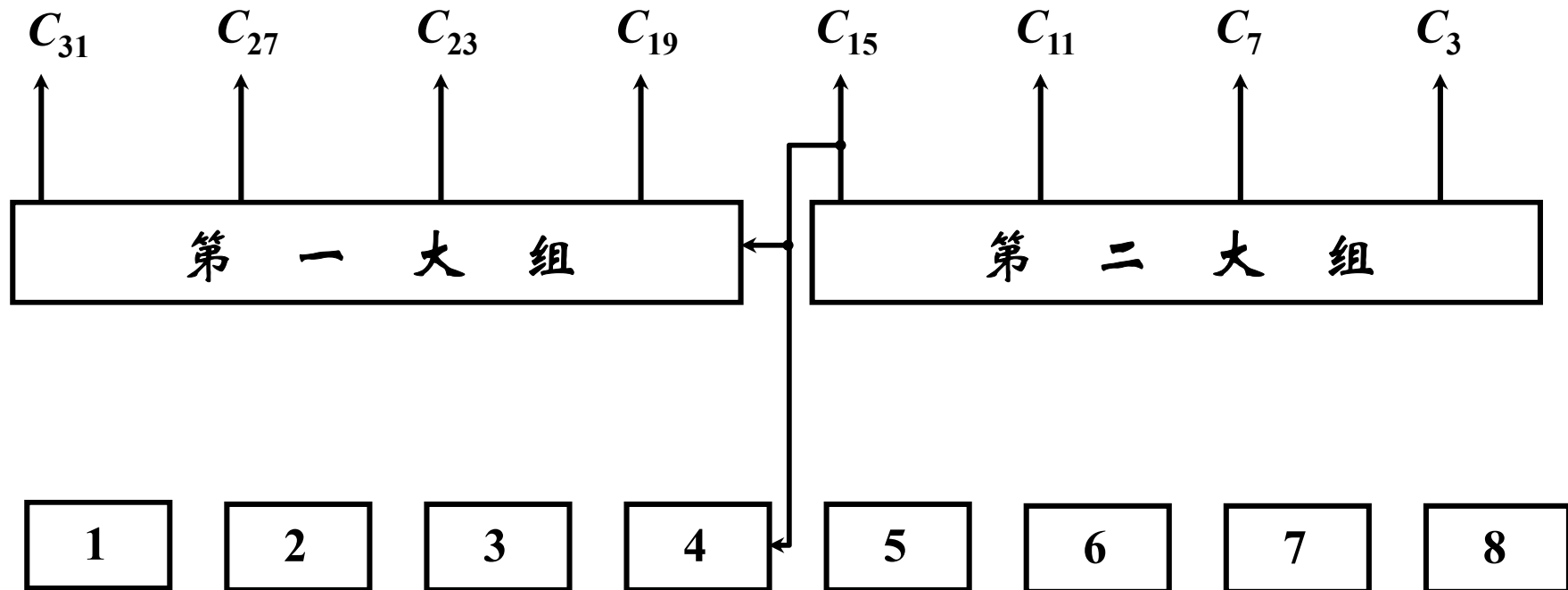


当 $d_i t_i$ 形成后	经 $2.5 t_y$	产生 $C_3 \sim C_0$
	$5 t_y$	产生 $C_7 \sim C_4$
	$7.5 t_y$	产生 $C_{11} \sim C_8$
	$10 t_y$	产生 $C_{15} \sim C_{12}$

b) 双重分组跳跃进位链

n 位全加器分若干大组，大组中又包含若干小组。每个大组中小组的最高位进位同时产生。大组与大组之间采用串行进位。

以 $n = 32$ 为例



c) 双重分组跳跃进位链 大组进位分析

以第 8 小组为例

$$\begin{aligned} C_3 &= d_3 + t_3 C_2 = d_3 + t_3 d_2 + t_3 t_2 d_1 + t_3 t_2 t_1 d_0 + t_3 t_2 t_1 t_0 C_{-1} \\ &= \underbrace{d_3 + t_3 d_2 + t_3 t_2 d_1 + t_3 t_2 t_1 d_0}_{D_8} + \underbrace{t_3 t_2 t_1 t_0 C_{-1}}_{T_8 C_{-1}} \end{aligned}$$

D_8 小组的本地进位 与外来进位无关

T_8 小组的传送条件 与外来进位无关 传递外来进位

同理 第 7 小组 $C_7 = D_7 + T_7 C_3$

第 6 小组 $C_{11} = D_6 + T_6 C_7$

第 5 小组 $C_{15} = D_5 + T_5 C_{11}$

进一步展开得

$$C_3 = D_8 + T_8 C_{-1}$$

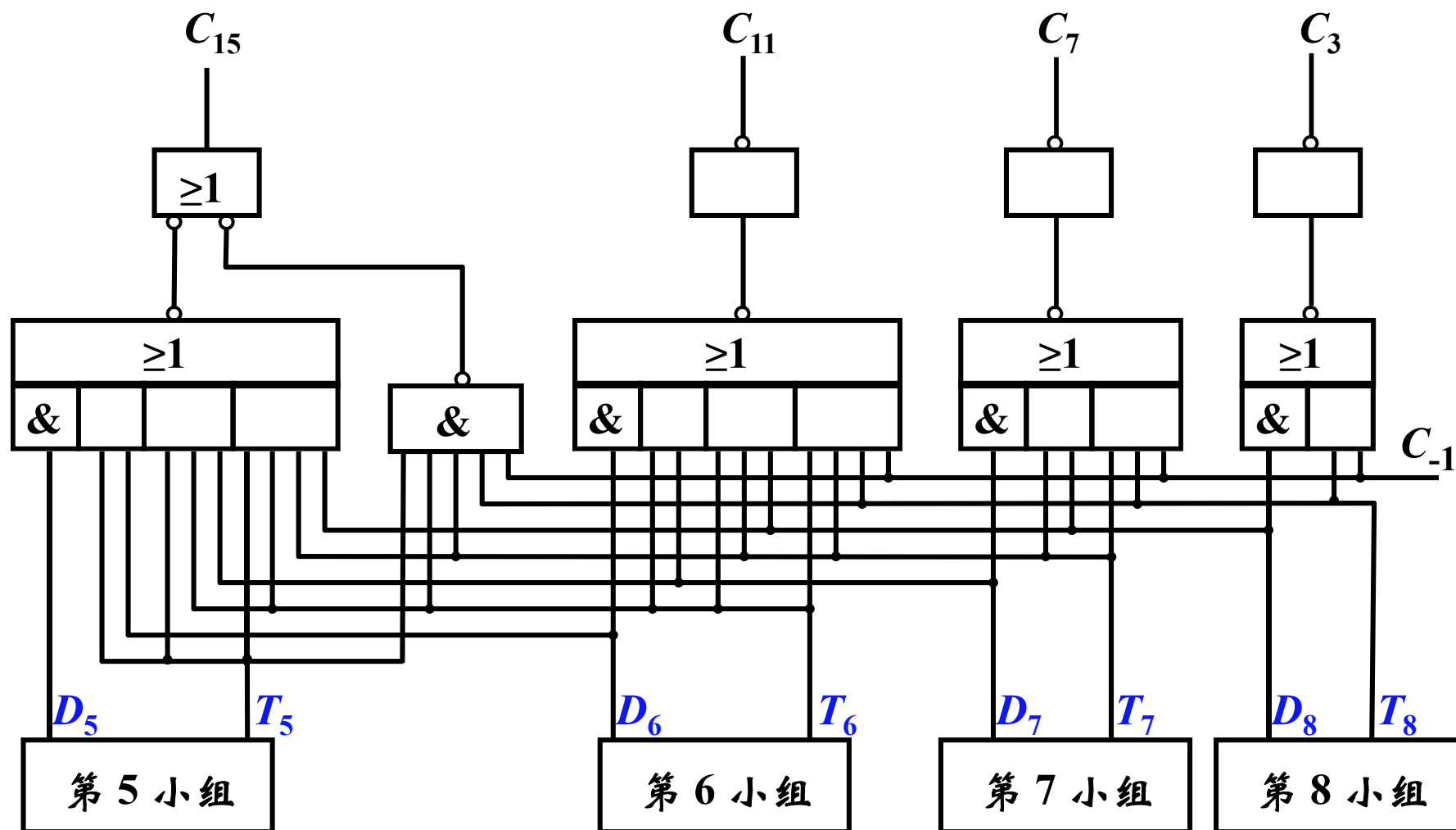
$$C_7 = D_7 + T_7 C_3 = D_7 + T_7 D_8 + T_7 T_8 C_{-1}$$

$$C_{11} = D_6 + T_6 C_7 = D_6 + T_6 D_7 + T_6 T_7 D_8 + T_6 T_7 T_8 C_{-1}$$

$$C_{15} = D_5 + T_5 C_{11} = D_5 + T_5 D_6 + T_5 T_6 D_7 + T_5 T_6 T_7 D_8 + T_5 T_6 T_7 T_8 C_{-1}$$

d) 双重分组跳跃进位链的 **大组** 进位线路

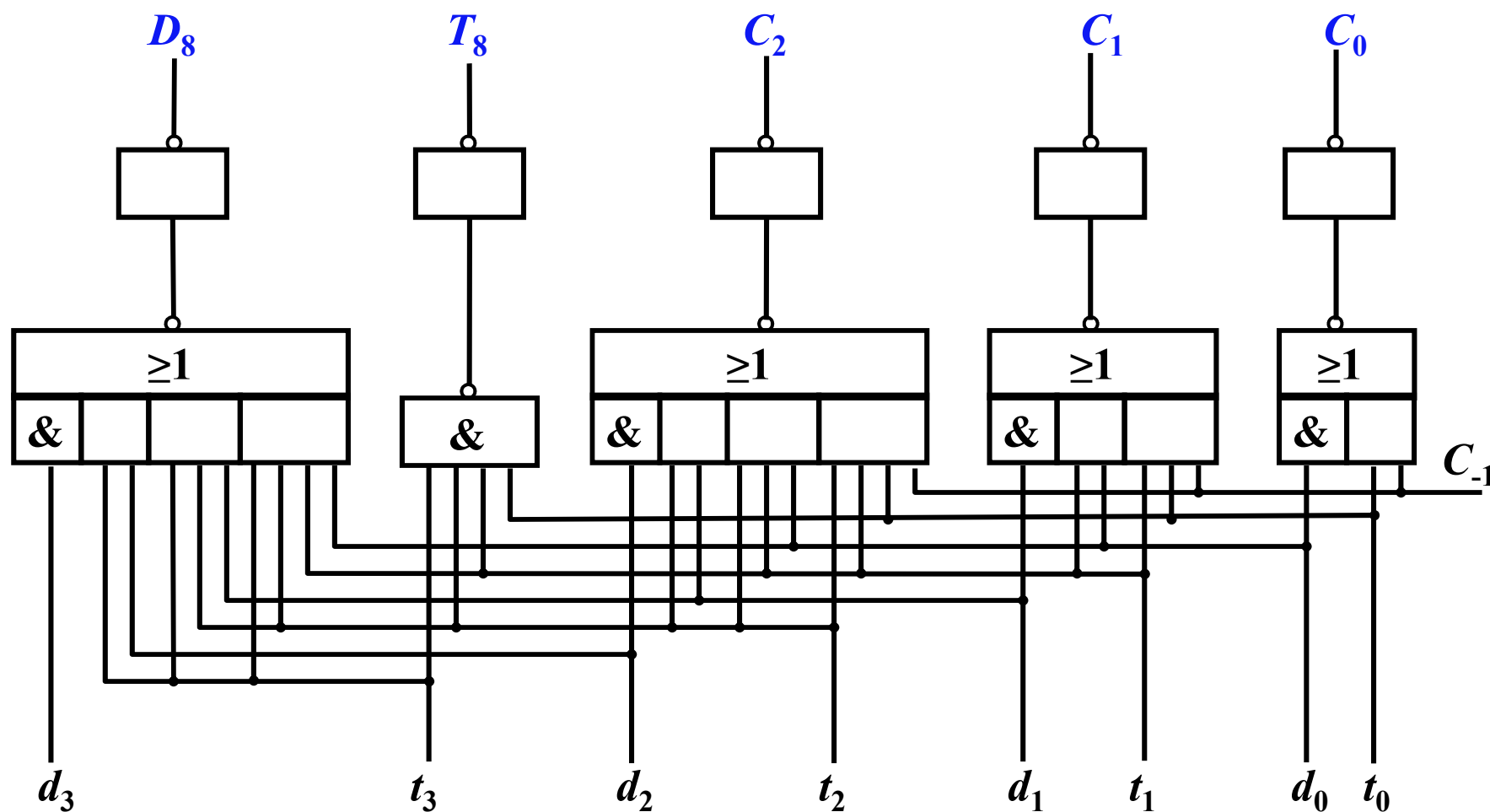
以第 2 大组为例



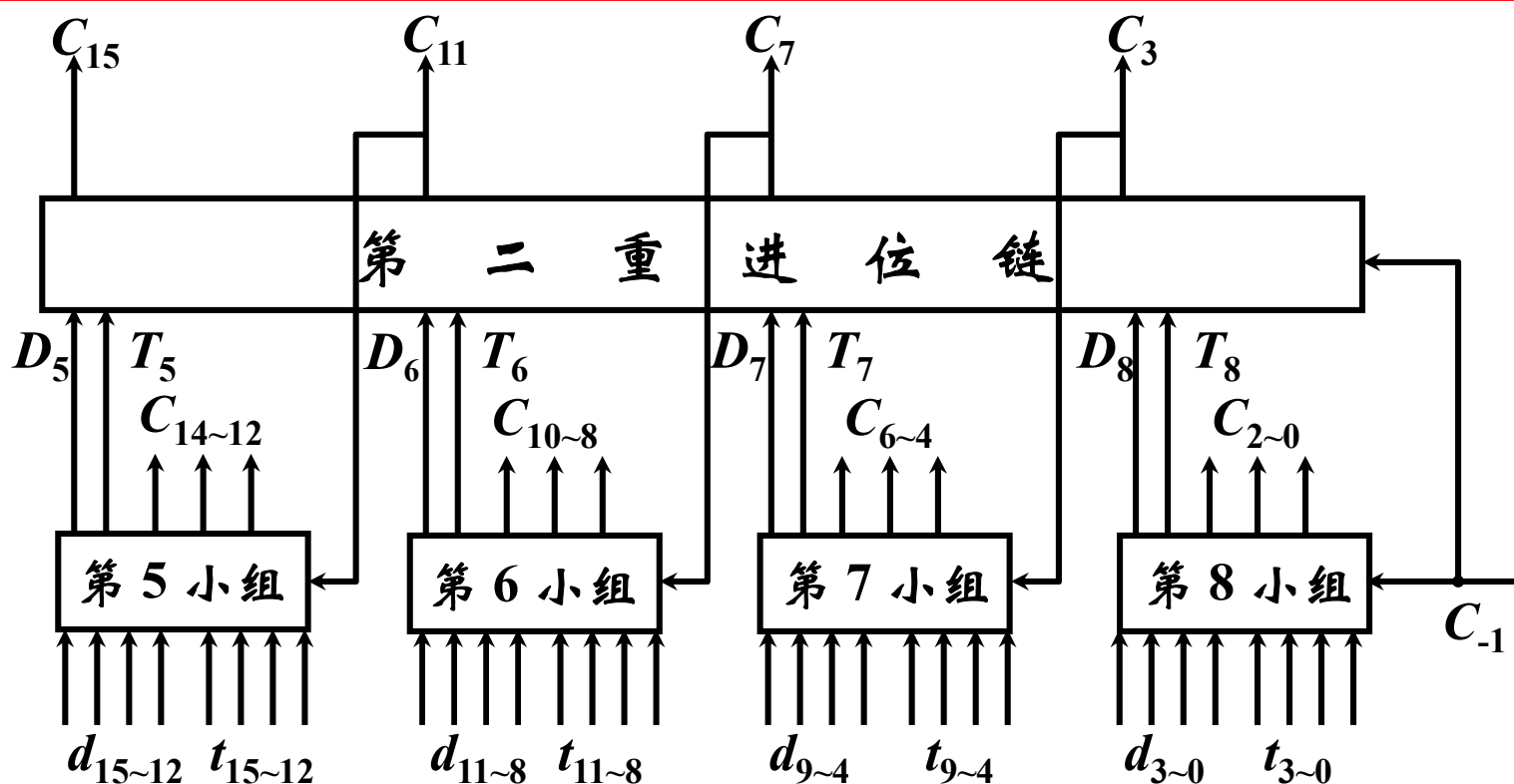
e) 双重分组跳跃进位链的 **小组** 进位线路

以第 8 小组为例

只产生 **低 3 位** 的进位和 **本小组** 的 $D_8 T_8$



f) $n=16$ 双重分组跳跃进位链



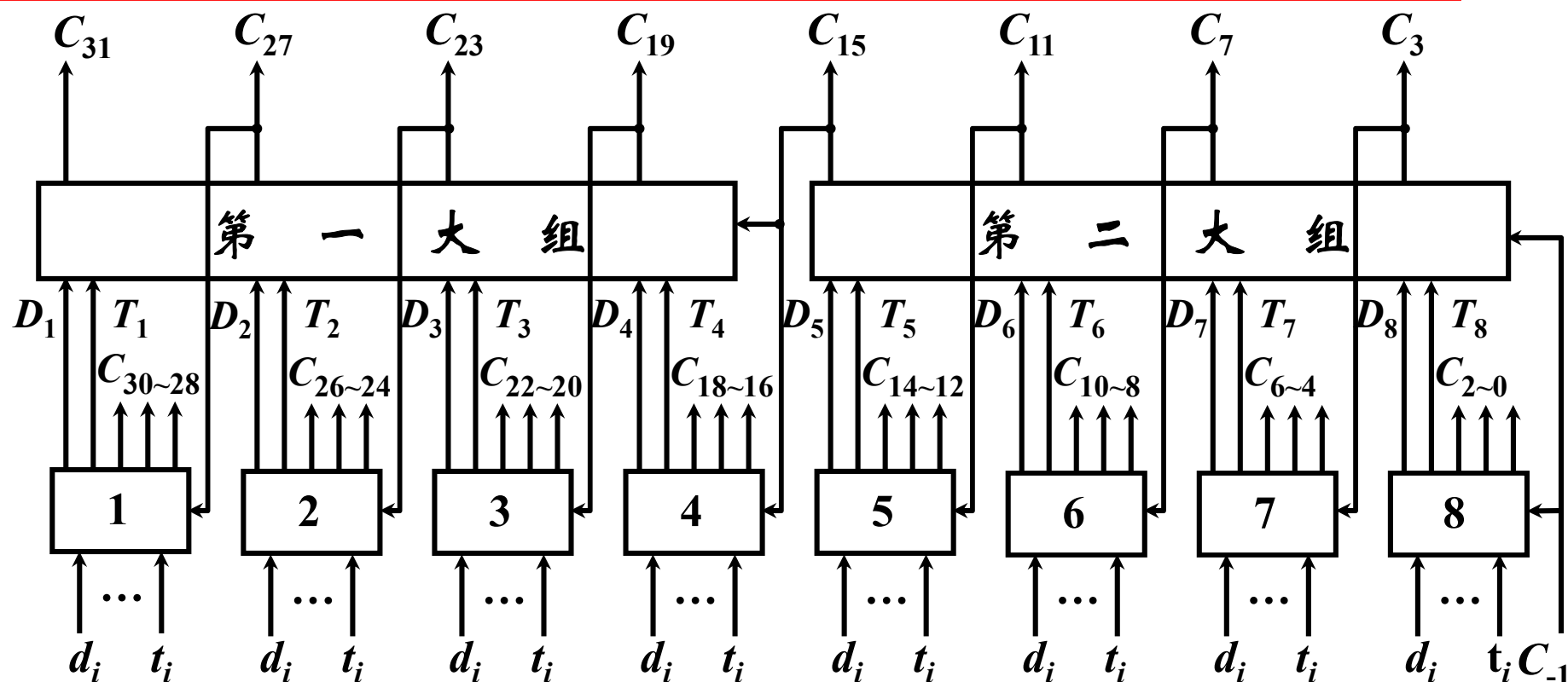
当 d_i, t_i 和 C_{-1} 形成后

经 $2.5 t_y$	产生	$C_2, C_1, C_0, D_5 \sim D_8, T_5 \sim T_8$
经 $5 t_y$	产生	C_{15}, C_{11}, C_7, C_3
经 $7.5 t_y$	产生	$C_{14} \sim C_{12}, C_{10} \sim C_8, C_6 \sim C_4$

串行进位链 经 $32 t_y$ 产生 全部进位

单重分组跳跃进位链 经 $10 t_y$ 产生 全部进位

(7) $n=32$ 双重分组跳跃进位链



当 $d_i t_i$ 形成后 经 $2.5 t_y$ 产生 $C_2, C_1, C_0, D_1 \sim D_8, T_1 \sim T_8$

$5 t_y$ 产生 C_{15}, C_{11}, C_7, C_3

$7.5 t_y$ 产生 $C_{18} \sim C_{16}, C_{14} \sim C_{12}, C_{10} \sim C_8, C_6 \sim C_4$
 $C_{31}, C_{27}, C_{23}, C_{19}$

$10 t_y$ 产生 $C_{30} \sim C_{28}, C_{26} \sim C_{24}, C_{22} \sim C_{20}$

图中片内进位是快速的，而片间进位是逐片传递的，因此形成 $F_0 \sim F_{15}$ 的时间比较长。

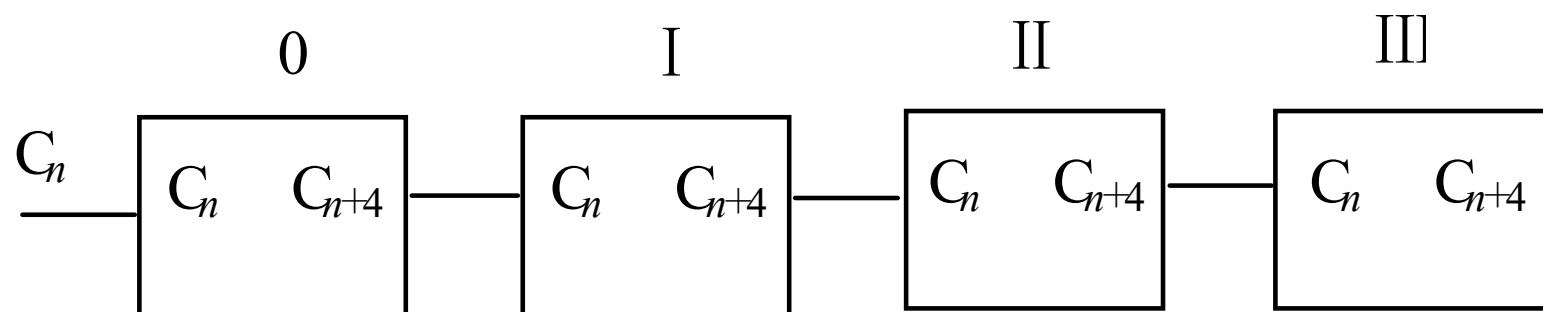
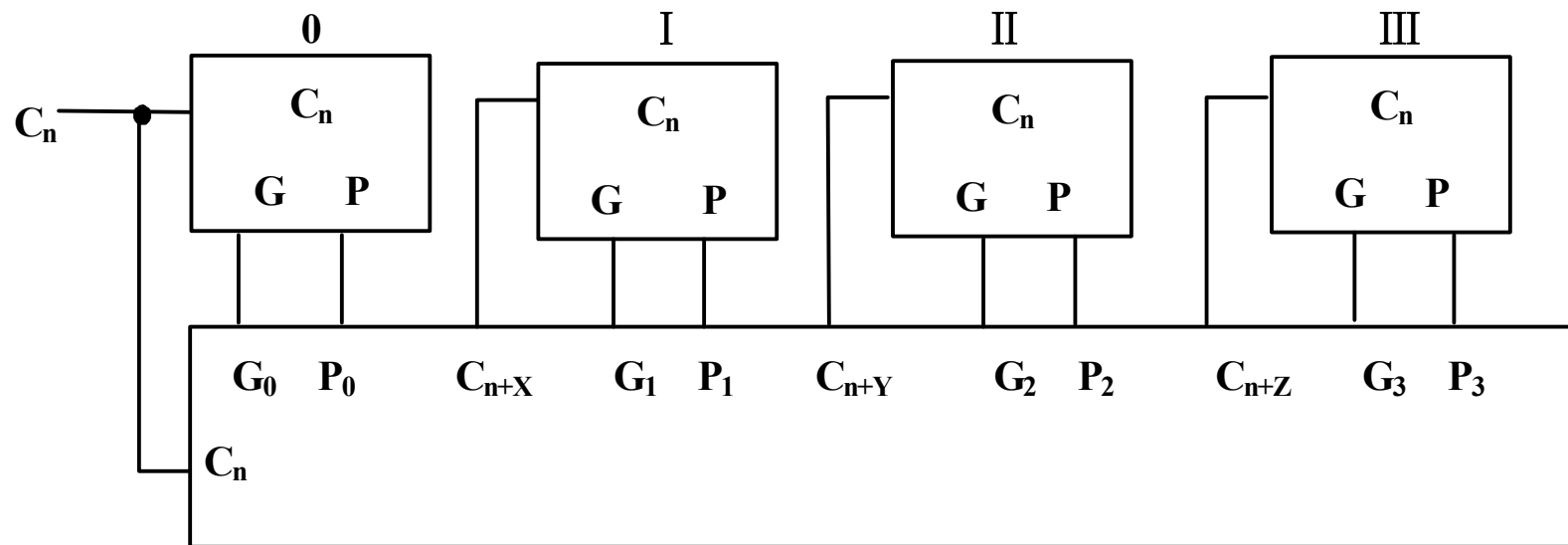


图 4片74181 构成16位ALU

若把16位ALU中的每4位作为一组，用类似四位超前加法器“位间快速进位”的形成方法来实现16位ALU中的“组间快速进位”，那么就能得到16位快速ALU，如下图所示：



16位快速ALU